

주문형 IPM을 통한 Inverter 최적화 설계 및 Conducted EMI 노이즈 저감에 관한 연구

조수억, 최 철, 박한웅*, 김철우
부산대학교, 해군사관학교*

A Study of Inverter Optimization Design and Minimization Conducted EMI Noise by Customizing IPM

Cho Su Eog, Choi Cheol, Park Han Woong*, Kim Cheol Woo
Pusan National Univ., the Naval Academy*

ABSTRACT

This paper deals with the optimization inverter design and minimization Conducted EMI noise by customizing IPM(Intelligent Power Module). Generally, In case of IPM, we realized that the trade-off relation between switching loss and spike voltage. Higher gate resistor causes the lower spike voltage and the higher turn-off switching loss. But we know that the life cycle of inverter and the susceptibility of noise, so we optimized the gate resistor. Proposed method is that optimized the gate resistor suitable for the inverter and motor. The simulation and experimental results show that the spike voltage and Conducted EMI noise can be reduced without the additional circuit.

1. 서 론

IGBT의 경우, 높은 스위칭 주파수, 저 구동전류, 중대형 용량의 전력정격 등의 장점으로 인해 다양한 전력변환 시스템(Power Converter System)의 주요 소자가 되었다. 하지만 IGBT소자의 높은 주파수에서의 스위칭 동작 중에 발생하는 과도한 dv/dt로 인한 노이즈(noise)가 발생되어 심각한 문제로 대두되고 있고 그러한 문제들은 국제 EMC 규격에 의해 규제가 되고 있다.

이러한 종류의 노이즈를 저감하기 위하여 IGBT 게이트 드라이브 회로에 추가적인 회로를 추가하여 스위칭 손실의 과도한 증가 없이 dv/dt 및 dIc/dt를 감소하는 연구가 진행되어 왔다.[1]~[3]

노이즈 저감의 대표적인 방법은 IGBT가 턴 오프하는 경우 일정한 컬렉터(collector) 전류가 흐르고 일정 기간 후에 급속하게 감소하는데 일정한 컬렉터 전류가 흐르는 동안은 낮은 게이트 저항으로

구동하여 게이트 on 전압 구간을 짧게 하고 환류 다이오드로 흐르는 구간에서는 컬렉터 전류가 급속하게 감소하는데 이 구간에서는 높은 게이트 저항으로 구동하여 과도한 스위칭 손실 증가 없이 dv/dt 및 dIc/dt의 감소를 가져왔다.[1] 또 다른 방법은 게이트 구동회로에 부가의 회로를 추가하여 게이트에 충전되고 방전되는 시간을 조절하여 dIc/dt의 감소를 가져왔다.[2]

본 논문에서 제안하는 내용은 추가적인 회로의 추가 없이 IGBT의 게이트 저항을 시스템에 최적화된 값으로 선정하여 dv/dt 및 dIc/dt를 감소하고 이로 인한 노이즈를 저감하는 시스템에 최적화된 전력변환장치 설계이다. IGBT의 경우 스위칭 손실과 Spike voltage가 Trade-off관계이다. 하지만 시스템에 적용하는 전력변환장치 개발자는 시스템이 요구하는 전력변환장치 수명과 시스템의 노이즈 내량을 알고 있다. 그러므로 게이트 저항을 시스템이 요구하는 전력변환장치 수명과 Noise 양으로 최적화된 값으로 선정하여 전력변환장치를 설계한다면 부가의 추가회로 없이 dv/dt 및 dIc/dt 저감에 따른 노이즈 저감을 가져올 수 있다.

시스템에 최적화 하기 위하여 본 논문에서는 먼저, 시스템에 적용될 전력변환장치의 게이트 저항에 따른 Spike 전압 및 전동기 서지(surge) 전압, 스위칭 손실을 시뮬레이션 및 계측하였다.

그 결과로, IPM의 게이트 저항을 시스템에서 요구하는 수명으로 최적화 하여 전도되는 EMI 노이즈를 실측한 결과 특정 주파수 대역에서 약 10[dB μ V] 저감하였다.

2.주문형 IPM을 통한 Inverter 최적화 설계

2.1 IPM 전력 손실 최적화 시뮬레이션

그림 2.1은 IPM의 부하인 엘리베이터의 시스템 개략도를 나타내었다.

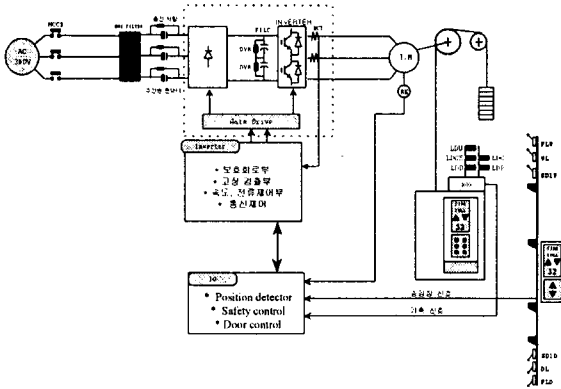


그림 2.1 IPM이 적용된 엘리베이터 시스템 개략도
Fig. 2.1 Elevator system outline drawing of IPM

표 2.1 주문형 IPM이 적용된 엘리베이터 시스템 사양
Table. 2.1 Elevator system specification of customizing IPM

인승		11
속도	[m/min]	105
정격 하중	[kg]	750
전동기	[kw]	11
sheve 직경	[m]	0.6
엘리베이터 무게	[kg]	842
균형추 무게	[kg]	1217
로핑		1

IPM을 적용한 전력 변환 장치는 그림 2.1의 점선 부분으로 전력 반도체의 열 손실을 최소화 하기 위해서는 부하의 프로파일이 정확하게 정의하여야 한다.

게이트 저항이 증가할수록 노이즈는 저감되나 스위칭 로스의 증가로 수명은 감소합니다. 시스템에서 요구하는 수명에 최적화된 게이트 저항을 산정하기 위하여 증가된 게이트 저항에 의한 스위칭 로스 및 정션 온도 변화분이 정확하게 시뮬레이션 되어야한다.

본 논문에서는 IPM의 정션 온도 변화 분 시뮬레이션을 Matlab으로 하였으며 시뮬레이션에 사용된 엘리베이터 사양은 표 2.1 과 같고 표 2.2는 사용된 유도 전동기의 사양을 나타내었다.

그림 2.2는 IPM에 인가되는 전류 프로파일 및 엘리베이터의 속도를 나타내었다.

표 2.2 11[kw] 유도기 사양
Table. 2.2 Specification of 11[kw] induction motor

출력[kw]	11	R1	0.22
극수	4	X1	0.45
주파수[hz]	50	R2	0.21
전압[V]	310	X2	0.49
정격 전류[Arms]	30.19	RM	0.17
여자 전류[Arms]	18.15	XM	9.57
정격 토크[kgf·m]	7.36	L2	32.05

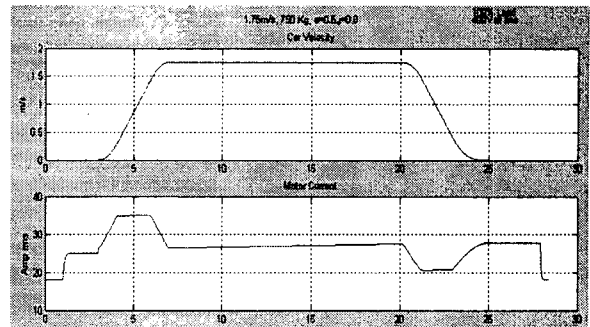


그림 2.2 전동기 속도 및 전류
Fig. 2.2 Motor speed and Output current.

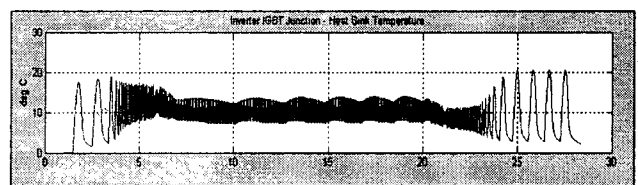


그림 2.3 표준 IPM (PM100 RSE120)의 접합 온도 및 스위칭 주파수

Fig. 2.3 Junction temp. and switching frequency of the standard IPM

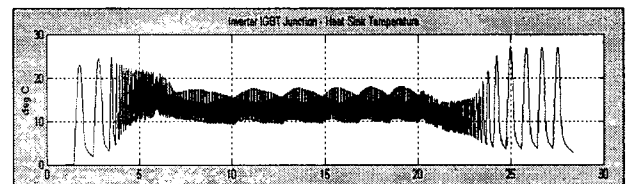


그림 2.4 주문형 IPM (PM100 RSE120)의 접합 온도 및 스위칭 주파수

Fig. 2.4 Junction temp. and switching frequency of the customizing IPM

그림 2.4 주문형 IPM의 내부 접합온도는 엘리베이터가 1회 주행 시 약 27[°C]의 온도 변화가 발생한다. 게이트 저항을 표준 IPM보다 약 2배 증가하면 스위칭 온 손실 및 스위칭 오프 손실은 약 30[%] 증가되어 전력 반도체의 접합 온도는 그림 2.3 표준 IPM의 약 20[°C]에서 약 27[°C]로 7[°C]증가하나 시스템에서 요구하는 전력 반도체의 접합 온도는 30[°C] 이내이므로 게이트 저항을 표준형의 2배로 최적화하였다.

2.2 Conducted EMI 노이즈 비교 측정 및 분석

시스템에 최적화 된 게이트 저항이 장착된 주문형 IPM에서의 EMC의 일부인 전도 노이즈를 그림 2.5의 회로로 측정하였다.

시스템의 입력측 에 LISN을 설치하여 스펙트럼 아날라이저로 측정하였습니다. 그림 2.6은 이때 적용된 주문형 IPM이 적용된 전력변환장치이다.

그림 2.7 및 2.8은 표준형 IPM과 최적화된 주문형 IPM을 1[MHz]~30[MHz]의 측정 대역에서의 전도 노이즈를 보여주고 있다. 게이트 저항을 변경하여 최적화 한 경우 상기 주파수 대역에서 약 10~5[dB μ V] 저감되었음을 볼 수 있다.

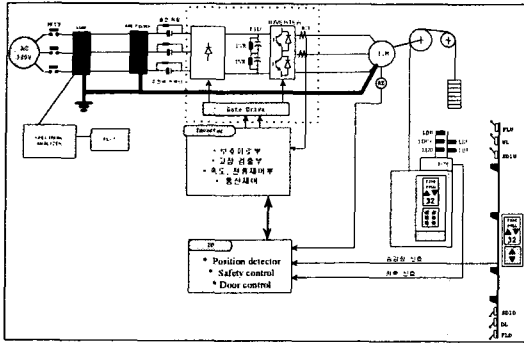


그림 2.5 Conducted EMI 노이즈 측정 방법
Fig. 2.5 Measurement method of conducted EMI noise

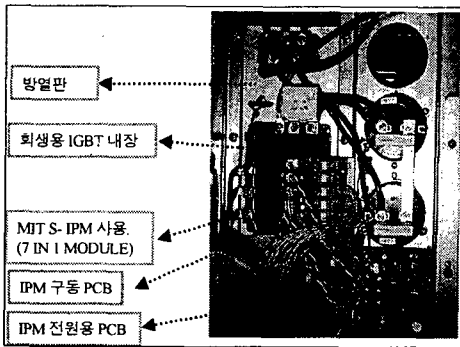
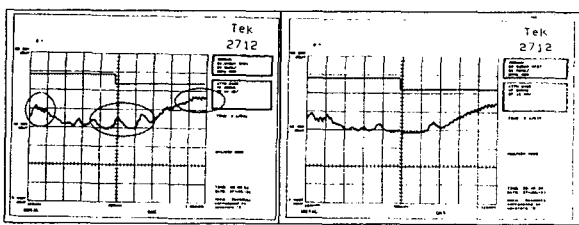
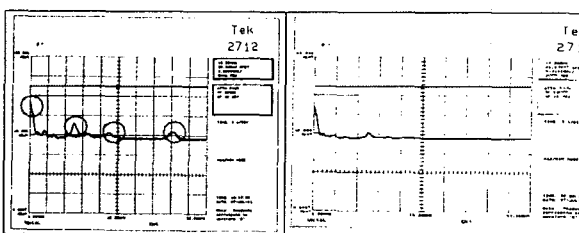


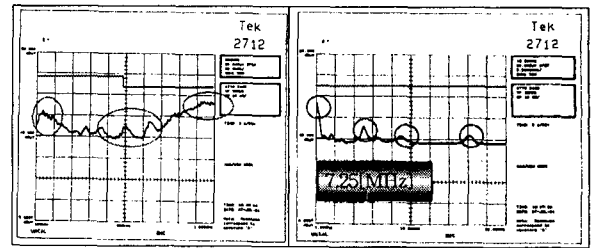
그림 2.6 주문형 IPM을 사용한 전력 변환 장치
Fig. 2.6 Inverter used customizing IPM



(a) 표준형 IPM (b) 주문형 IPM
그림 2.7 EMI 전도 노이즈(150[kHz]~1[MHz])
Fig. 2.7 Conducted Emission of IPM



(a) 표준형 IPM (b) 주문형 IPM
그림 2.8 EMI 전도 노이즈(1[MHz]~30[MHz])
Fig. 2.8 Conducted Emission of IPM



(a) 100[kHz]~1[MHz] (b) 1[MHz]~30[MHz]

그림 2.9 표준형 IPM의 EMI 전도 노이즈
Fig. 2.9 Noise of Conducted Emission of standard IPM

표준형 IPM의 전도 노이즈의 주요 주파수 대역을 보면 그림 2.9에서 100[kHz], 1[MHz], 7.25[MHz], 15[MHz] 대역에서 높은 노이즈를 보이고 있다. 원인을 찾기 위해 Oscillation Mode를 측정하였다. 측정된 파형 중 DC Link부의 Spike 전압 상승 시간은 7.25[MHz]대역과 일치하였다.

전도 노이즈 대역 중에서 7.25[MHz]대역이 그림 2.10의 DC LINK단의 Spike 전압 상승시간 137[ns]의 영향을 받는다는 것을 알 수 있다. 7.25[MHz] 대역의 전도 노이즈를 감소시키기 위해 주문형 IPM에서 게이트 저항을 약 2배 증가시켜 상승시간을 249[ns]로 변경하여 전도 노이즈를 약 10[dB μ V]저감하였다.

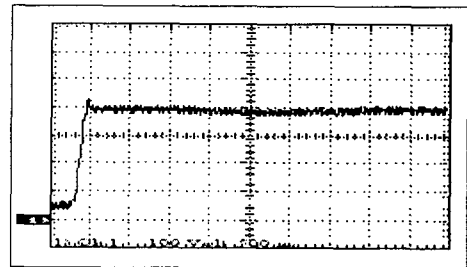
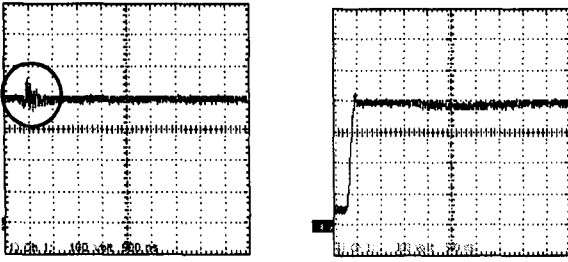


그림 2.10 주문형 IPM을 사용한 인버터의 Spike 전압
Fig. 2.10 Spike voltage of customizing IPM for inverter

2.3 Spike 전압 및 전동기 서지 전압의 비교 해석

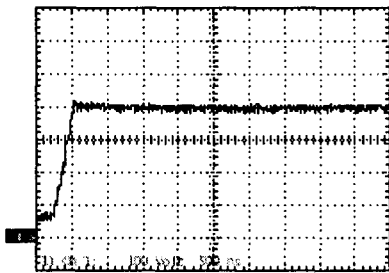
노이즈원의 하나인 Spike 전압 및 모터 서지 전압을 실측하여 비교하였다. 표준형 IPM의 경우 그림 2.11에 보여지는 바와 같이 DC Link Spike 전압실측결과 상승 시간은 137[ns]이며, spike 전압은 920[V]이다. 반면 그림 2.12에 나타난 최적화된 게이트 저항을 사용한 주문형 IPM을 사용한 전력 변환 장치에서는 상승 시간은 249[ns]이며, spike 전압은 824[V]로 DC Link의 Spike 전압을 약 100[V] 저감하였다. DC Link Spike 전압의 저감은 Conducted EMI 노이즈 저감과 전력 반도체의 스트레스 완화하는 효과를 가진다.

전동기 서지 전압의 경우 그림 4.3에 보여지는 바와 같이 표준형의 경우 상승 시간이 590[ns]이고, 서지 전압이 1116[V]이나 주문형 IPM의 경우 상승 시간이



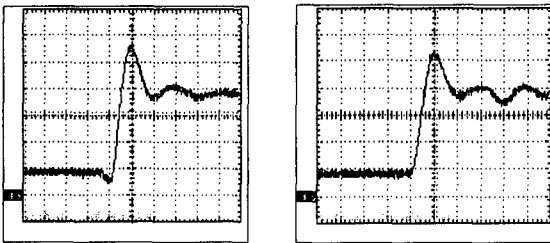
200V/div, 500[ns]/div

그림 2.11 표준 IPM을 사용한 인버터의 Spike 전압
Fig. 2.11 Spike voltage of standard IPM for inverter



200V/div, 500[ns]/div

그림 2.12 주문형 IPM을 사용한 인버터의 Spike 전압
Fig. 2.12 Spike voltage of customizing IPM for inverter



200V/div, 500[ns]/div

(a) Standard IPM (b) Customizing IPM

그림 2.13 전동기의 서지 전압
Fig. 2.13 Motor surge voltage

633[ns]이고, 서지 전압이 1072[V]이다. 최적화 된 주문형 IPM의 경우 상승 시간의 증가로 전동기 서지 전압을 약 40[V] 저감하여 전동기 절연 파괴를 방지하여 신뢰성을 상승하였다.

3. 결 론

본 논문에서는 부가적인 회로의 추가 없이 IPM 내부의 IGBT의 Gate 저항을 시스템에 최적화 된 값으로 선정하여 dv/dt 및 dIc/dt를 감소하고 이로 인한 노이즈를 저감하여 최적화 인버터를 설계하고 시뮬레이션과 실험을 통하여 타당성을 검토하였다.

* 수명, 온도 상승을 고려한 게이트저항 값의 최적 선정을 통한

1. DC Link Spike 전압과 전동기 서지 전압의 저감
 - 전력 반도체의 스트레스 저감하고 전동기 신뢰성을 향상.
2. DC Link Spike 전압의 상승 시간이 전도 노이즈원의 한 부분임을 실험을 통하여 증명.
 - 전도 노이즈의 저감.

참 고 문 헌

- [1] Masahiro Kimata, Satoru Chikai, Takeshi Tanaka, Kazufumi Ishii, "High Performance Gate Drive Circuit of High Voltage IPMs (HVIPMs)", IEEE 1998. pp. 1196-1200.
- [2] S. Igarashi, S. Takizawa, M. Tabata, M. Takei, K. kuroki, "An Active Control Gate Drive Circuit for IGBTs to Realize Low-noise and Snubberless System", IEEE 1997, pp. 69-72.
- [3] Shihong Park, Thomas M. Jahns, "Flexible dv/dt Control Method for Insulated Gate Power Switches", IEEE 2001, pp. 1038-1045.
- [4] Wu Xin, C. M. Lee, M. H. Pong, "A novel approach based on electric field analysis to reduce crosstalk problem on PCB", IEEE PESC 1999, pp. 845-849.