

시비율 비대칭 하프 브릿지 컨버터의 소신호 해석 및 전압 제어 루우프 설계

방상현, 임원석, 강용한, 최병조
경북대학교 전자공학과

Small-Signal Modeling and Control Design of Asymmetrical Half Bridge DC/DC Converter

Sang-Hyun Bang, Wonseok Lim, Yonghan Kang, Byungcho Choi
Kyungpook National University

ABSTRACT

Dynamic analysis and compensation design for an asymmetrical half bridge dc-dc converter are presented. A small-signal model is developed using the averaging method. Based on the proposed small-signal average model, the open loop transfer functions of the power stage were obtained and used for the compensation design. All theoretical predictions are validated by experiments on a prototype converter.

1. 서 론

최근 정보통신용 기기들이 점차 소형화 되어감에 따라 경량, 소형 직류/직류 컨버터의 요구가 증대되었다. 스위치모드 파워 서플라이를 소형화 하기 위해서는 스위칭 주파수를 높여 수동소자들의 크기를 소형화 하여야 한다. 컨버터를 높은 스위칭 주파수에서 구동시킬 때 스위치의 스위칭 손실이 심각해 진다. 이러한 스위칭 손실 문제를 최소화하기 위한 노력으로 공진형 컨버터와 같은 영전압 스위칭 방식을 응용한 컨버터가 많이 연구되었다. 그러나 공진형 컨버터의 경우 도통 손실이 큰 단점이 있다. 시비율이 비대칭으로 동작하는 시비율 비대칭 하프 브릿지 컨버터는 도통 손실이 적은 기존의 펄스 폭 변조 컨버터와 스위칭 손실이 적은 공진형 컨버터의 장점들을 모두 가지고 있어 고효율 컨버터 구현을 위해 주목받고 있다^[1]. 그러나 정상상태 해석에 대한 연구는 활발히 발표되고 있으나 동특성에 대한 연구는 미흡한 실정이다^{[2][3]}. 따라서 본 논문에서는 시비율 비대칭 하프 브릿지 컨버터의 소신호 등가 회로를 평균화 방식을 이용하여 유도하고 유도된 등가 회로로부터 제어 대 출력, 입력 대 출력과 같은 소신호 전달함수를 유도한다. 또한 유도한 소신호 전달함수를 통해 입력 전압 변동이

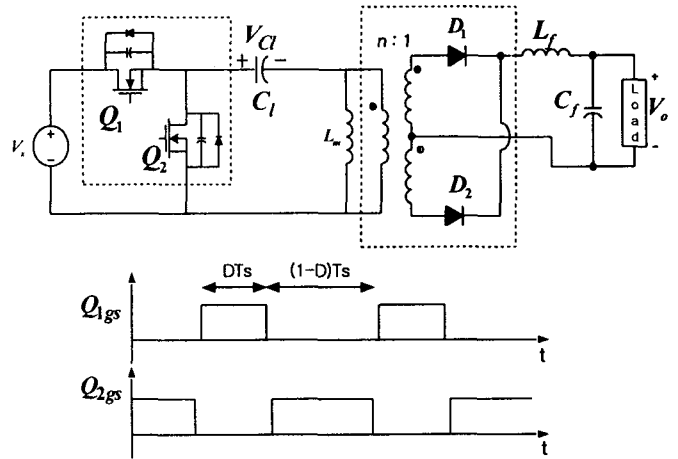


그림 1 시비율 비대칭 하프 브릿지 컨버터
Fig. 1 Asymmetrical half bridge converter

나 부하의 변동에도 안정된 출력 전압을 유지하기 위한 전압제어 루우프 설계방법을 제안한다. 또한 실험을 통하여 그 타당성을 입증한다.

2. 시비율 비대칭 하프브릿지 DC-DC 컨버터의 구성과 소신호 모델

2.1 구성 및 동작

그림1은 시비율 비대칭 하프 브릿지 DC-DC 컨버터의 회로 구성과 각 스위치의 게이트 신호이다. 스위치 Q1, Q2의 도통시간이 서로 상보적으로 다르게 동작된다. 그리고 변압기의 자화인덕터(Lm)를 통하여 흐르는 전류 im과 클램프 커패시터(C1) 양단 간 전압은 직류 성분을 포함하고 있어 변압기 (volt-sec balance) 및 C1(current-sec balance)의 평형조건을 만족시킨다. 이때 C1 양단 간 평균전압 Vc1과 Lm을 통해 흐르는 평균전류 Im에 대한 식을 (1), (2)에 나타내었다.

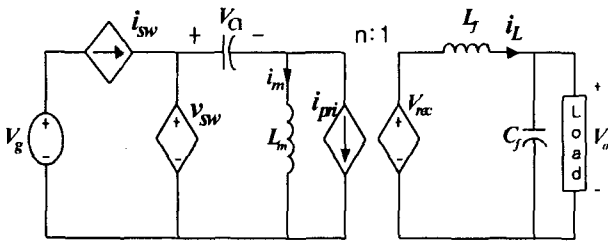


그림 2 평균화 등가 회로 모델
Fig. 2 Averaged model of AHBC

표 1 평균화 모델의 종속전원 평균값
Table 1 Averaged values of dependent sources

	평균 값
i_{sw}	$di_m + \frac{di_L}{n}$
v_{sw}	dv_g
i_{pri}	$\frac{i_L(2d-1)}{n}$
v_{rec}	$\frac{dv_g}{n} + \frac{(1-2d)v_{Cl}}{n}$

$$V_{Cl} = D V_g \quad D: \text{시비율 (duty ratio)} \quad (1)$$

$$I_m = \frac{I_L(1-2D)}{n} \quad I_L: L_f \text{를 지나는 전류} \quad (2)$$

2.2 평균화 모델

소신호 모델을 유도하기 위해 먼저 평균화 모델을 유도한다. 그림 1에 점선으로 표시된 스위치 네트워크 부분과 센터탭 변압기 및 다이오드 D_1, D_2 로 구성된 정류기 부분을 종속전원으로 대체하고, 한 스위칭 주기 동안의 평균값을 취하여 그림 2와 같은 평균화 모델을 얻었다. 종속전원이 나타내는 평균값들은 표 1에 나타내었다.

2.3 소신호 모델

소신호 모델을 유도하기 위해 평균화 모델의 전류, 전압원에 외란을 가하고 소신호 성분을 얻는다. 이때 소신호 교류 성분이 대신회 직류 성분에 비해 매우 작다고 가정 한다면 소신호 간의 곱으로 표현되는 비선형 요소들은 크기가 매우 작아 무시할 수 있으므로 선형화 할 수 있다. 이렇게 유도된 소신호 등가 모델을 그림 3에 나타내었고, 소신호 종속전원의 표현식은 표 2에 나타내었다. 여기서 R_{Cl}, R_{Lf}, R_{Cf} 는 각각 C_l, L_f, C_f 의 esr 성분이고 기호 ' $\hat{}$ '는 소신호 성분을 나타낸다.

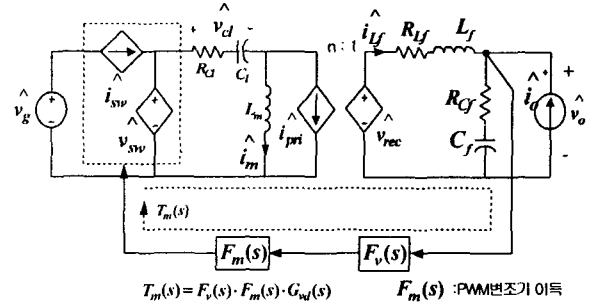


그림 3 전압 제어 시비율 비대칭 하프 브릿지 컨버터의 소신호 등가 회로 모델
Fig. 3 Small-signal model for voltage-mode controlled AHBC

표 2 소신호 모델의 종속전원 표현식
Table 2 The expressions of dependent sources for small signal circuit model

$$\begin{aligned} \hat{i}_{sw} &= D \hat{i}_m + I_m \hat{d} + D \frac{\hat{i}_L}{n} + \frac{I_L}{n} \hat{d} \\ \hat{v}_{sw} &= D \hat{v}_g + V_g \hat{d} \\ \hat{i}_{pri} &= \frac{(2D-1) \hat{i}_L + 2 \hat{d} I_L}{n} \\ \hat{v}_{rec} &= \frac{(D \hat{v}_g + V_g \hat{d}) + (1-2D) \hat{v}_{Cl} - 2 V_{Cl}}{n} \end{aligned}$$

3. 시비율 비대칭 하프브릿지 DC-DC 컨버터의 소신호 해석

3.1 개루프 소신호 전달함수

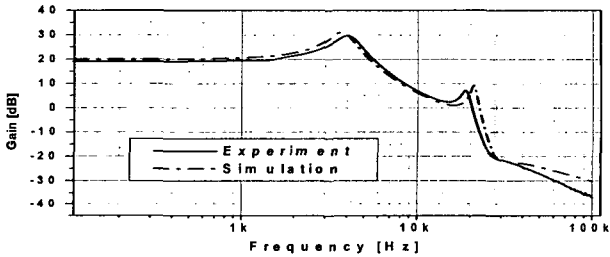
평균화 방식으로 유도한 소신호 등가 모델과 표 2와 식(1),(2)등의 관계식들로부터 제어 대 출력 $G_{vd}(s)$, 입력 대 출력 $G_{vg}(s)$, 그리고 출력 임피던스 $Z_o(s)$ 등의 개루프 소신호 전달함수를 유도할 수 있다. 또한 근사화 인수분해 기법을 이용하여 인수분해하였고 그 결과식을 표 3에 나타내었다^[4]. 출력 임피던스의 전달함수는 생략되었으나 유사한 유도방법으로 구할 수 있었다. 여기서는 식의 계수들을 간략화하기 위해 $V_G n \gg 2R_{Cf} I_{Lf}$ 와 $L_f C_f \gg L_m C_l$ 를 가정하였다. 그림 4, 5, 6은 유도된 전달함수들로 시뮬레이션한 결과와 실험실용 컨버터를 제작 하고 실험한 결과와의 비교이다. 시뮬레이션으로 예측한 값과 큰 오차없이 일치함을 확인할 수 있다.

3.2 전압 제어 루우프 설계

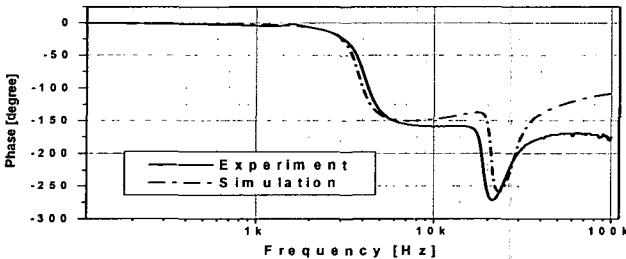
안정된 전압 제어 루우프 전달함수를 얻기 위해 다음과 같이 3극점 2영점 구조의 전달함수 특성을 가지는 보상회로 $F_v(s)$ 를 사용하였다.

표 3 비대칭 하프 브릿지 컨버터의 소신호 전달함수
Table 3 Small-signal transfer functions

제어 대 출력 전달함수:		
$G_{vd}(s) = \frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{K_d(1 + \frac{s}{\omega_{dz1}})(1 + \frac{s}{Q_{dz2}\omega_{dz2}} + \frac{s^2}{\omega_{dz2}^2})}{(1 + \frac{s}{Q_{dp1}\omega_{dp1}} + \frac{s^2}{\omega_{dp1}^2})(1 + \frac{s}{Q_{dp2}\omega_{dp2}} + \frac{s^2}{\omega_{dp2}^2})}$		$K_d = \frac{2(1-2D)V_G}{n}$
$\omega_{dz1} = \frac{1}{R_{cf}C_f}$	$\omega_{dz2} = \sqrt{\frac{2}{L_m C_l}}$	$Q_{dz2} = \frac{nV_g}{(L_m I_{L_f} + nV_g R_{Cl} C_l)} \omega_{dz2}$
$\omega_{dp1} = \sqrt{\frac{1}{L_f C_f + L_m C_f (1-D)^2 / n^2}}$	$\omega_{dp2} = \sqrt{\frac{L_f + L_m (1-2D)^2 / n^2}{L_f L_m C_l}}$	
$Q_{dp1} = \frac{1}{(R_{L_f} + R_{C_f})C_f} \omega_{dp1}^{-1}$	$Q_{dp2} = \frac{L_f C_f + L_m C_f (1-2D)^2 / n^2}{L_f C_f R_{Cl} C_l + (R_{L_f} + R_{C_f})C_f C_l L_m + L_m C_f R_{Cl} C_l (1-2D)^2 / n^2} \omega_{dp2}^{-1}$	
입력 대 출력 전달함수:		
$G_{vg}(s) = \frac{\hat{v}_o(s)}{\hat{v}_g(s)} = \frac{K_g(1 + \frac{s}{\omega_{gz1}})(1 + \frac{s}{Q_{gz2}\omega_{gz2}} + \frac{s^2}{\omega_{gz2}^2})}{(1 + \frac{s}{Q_{dp1}\omega_{dp1}} + \frac{s^2}{\omega_{dp1}^2})(1 + \frac{s}{Q_{dp2}\omega_{dp2}} + \frac{s^2}{\omega_{dp2}^2})}$		$K_g = \frac{2D(1-D)}{n}$
$\omega_{gz1} = \frac{1}{R_{cf}C_f}$	$\omega_{gz2} = \sqrt{\frac{2(1-D)}{L_m C_l}}$	$Q_{gz2} = \frac{1}{R_{Cl}C_l} \omega_{gz2}^{-1}$



(a)



(b)

그림 4 제어 대 출력 전달함수: (a) 이득 (b) 위상
Fig. 4 Control-to-output transfer function:
(a) Magnitude (b) Phase

$$F_v(s) = \frac{\omega_m(1 + s/\omega_{z1})(1 + s/\omega_{z2})}{s(1 + s/\omega_{p1})(1 + s/\omega_{p2})} \quad (3)$$

ω_m/s 은 직류 레귤레이션을 위한 것으로 충분한 위상이득을 고려하여 조절한다. ω_{p1} 은 전원단 esr영

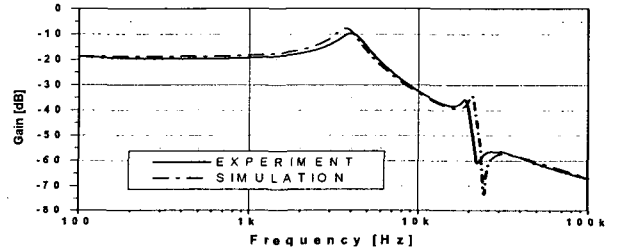


그림 5 입력 대 출력 전달함수 $G_{vg}(s)$

Fig. 5 Input-to-output transfer function

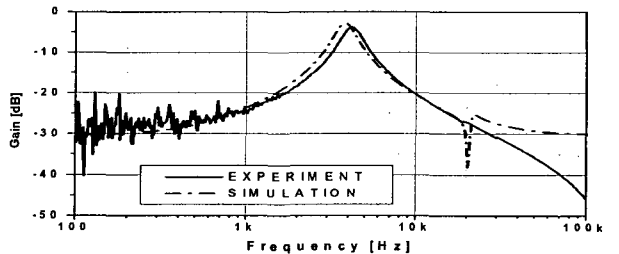


그림 6 개루프 출력 임피던스 전달함수 $Z_p(s)$

Fig. 6 open-loop output impedance

점을 나타내는 ω_{dz1} 에 위치시켜 상쇄시킨다. ω_{p2} 는 제어대 출력 전달함수의 두 번째 이중극점 ω_{dp2} 로 인한 피킹을 감쇄시키기 위해 ω_{dp2} 앞에 위치시킨다. ω_{z1} 과 ω_{z2} 는 제어 대 출력 전달함수의 적분기 (1/s)와 첫 번째 이중극점 ω_{dp1} 의 영향으로 인한 위상지연을 보상하기 위해 ω_{dp1} 의 앞, 뒤로 위치시

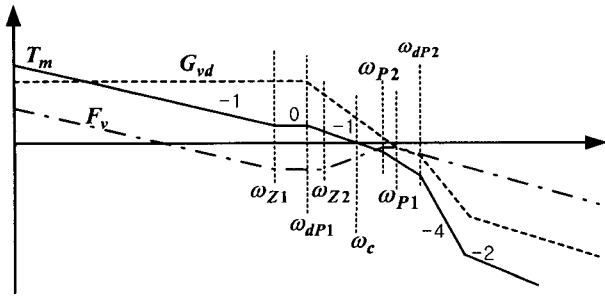
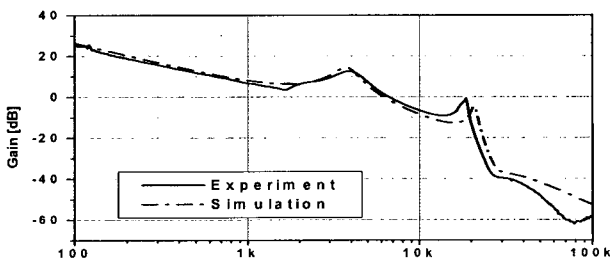
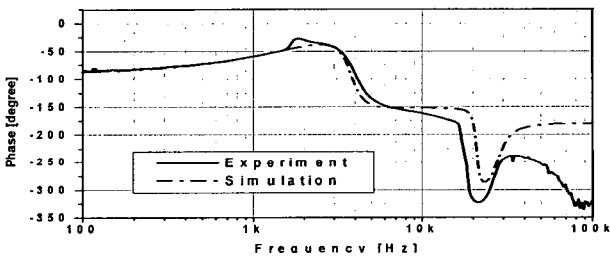


그림 7 $T_m(s)$, $F_v(s)$, $G_{vd}(s)$ 의 점근선
Fig. 7 Asymptotes of $T_m(s)$, $F_v(s)$, $G_{vd}(s)$



(a)



(b)

그림 8 루프 이득: (a) 이득 (b) 위상
Fig. 8 Loop gain: (a) Magnitude (b) Phase

킨다. 그림 7에 제어 대 출력 (G_{vd}), 보상기 (F_v), 그리고 전압제어루프이득(T_m) 전달함수들을 점근선을 이용하여 나타 내었다. 시비율 비대칭 하프 브릿지 컨버터의 경우, 제어 대 출력 전달함수는 두 개의 이중 극점을 포함하고 이것은 L_m 과 C_f 그리고 L_f 와 C_f 에 의해 우세하게 결정되어진다. 본 논문에서는 시간 영역에서의 빠른 응답시간을 고려하여 0dB 교차주파수(ω_c)를 두 피킹 사이에 위치시켰다. 이득여유는 3[dB]이고 위상여유는 30° 로 충분한 여유를 두어 설계하기 힘들었다. 그림 8에 시뮬레이션으로 예측한 루우프 이득 곡선과 실험용 컨버터를 이용한 실험 결과를 비교하여 나타내었다. 보상기 설계시 문제점으로 제어 대 출력 전달함수의 이중 극점에 의한 피킹은 컨버터를 조건부 안정상태에 들게 할 수 있다. 비록 보상기의 극점 ω_{P2} 가 첫 번째 피킹과 두 번째 피킹의 사이에 위치하여 두 번째 피킹을 감쇄시킬수 있으나 제한적인 영향으로 충분한 감쇄는 어렵다. 따라서 궁극적으로 충분한 위상여유와 함께 이득여유를 얻기 위

해서는 두 피킹을 모두 0dB 아래에 위치하도록 전달함수의 0dB 교차 주파수(ω_c)를 낮추거나 전류제어 루우프와 같이, 추가 루우프를 통해 피킹을 상쇄시키는 등의 개선이 요구된다. 또한 전달함수에 나타난 바와 같이 esr로 인한 맴핑 성분에 대한 고려가 필요하다.

이상 시뮬레이션과의 비교에 사용된 실험실용 컨버터의 동작 범위와 사용된 소자는 다음과 같다.

입력	48[V] (40[V]~60[V])		
출력	5[V], 10[A]		
Q1,Q2	IRF3415s	Cl	3 [μ F]
	$R_{ds(on)}$: 41[m Ω]		esr: 30[m Ω]
Lm	22.1[μ H]	Lf	7.75[μ H]
D1,D2	42CTQ030s		esr: 30[m Ω]
		V_F :0.38[V]	n
Cf	200[μ F]	fs	150[kHz]
	esr: 30[m Ω]		제어IC

5. 결 론

본 논문에서는 시비율 비대칭 하프 브릿지 컨버터의 소신호 특성 해석을 위해 평균화 기법으로 평균값 등가 회로 모델 및 소신호 등가 회로 모델을 유도하였고 이 모델로부터 소신호 전달함수들을 유도하였다. 이를 바탕으로 안정된 동특성을 얻기 위한 전압제어 보상기를 설계하였으며 루우프이득을 포함한 소신호 해석 결과의 타당성을 실험용 컨버터를 이용한 실험을 통해 검증하였다.

본 논문은 한국전력공사의 지원에 의하여 기초전력공학공동연구소의 주관으로 수행된 과제임

참 고 문 헌

- [1] R. Oruganti, P.C. Heng, J.T. Kian Guan, and L.A. Choy, "Soft-switched dc/dc converter with PWM control," IEEE Transactions on Power Electronics, Vol.13, No.1, pp 102-114, 1998, Jan.
- [2] J. Sebastian, J.A. Cobos, O. Garcia and J. Uceda, "Small-signal modelling of the half-bridge complementary-control dc-to-dc converter," IEEE CIEP'95, pp44-50, 1995, Oct.
- [3] S. Korotkov, V. Meleshin, A. Nemchinov and S. Fraidlin, "Small-Signal modeling of soft-switched asymmetrical half-bridge dc/dc converter" ,APEC 1995, pp.707-711.
- [4] R. W.Ericson, and D. Maksimovic, "Fundamentals of Power Electronics".Kluwer Academic-Publication ,2001, 2nd Edition.