

Gate-LDD구조를 가진 LDMOS 전력소자의 전기적 특성

오정근, 김남수

충북대학교 반도체공학과

Electrical Characteristics of LDMOS Power Device with LDD Structure

Jung-Keun Oh and Nam-Su Kim

School of Semiconductor Engineering, Chungbuk National University

ABSTRACT

LDL구조를 가진 LDMOS 전력소자의 LDD영역과 채널영역변화에 의한 전기적 특성을 비교 조사하였다. MEDICI 시뮬레이션 tool을 이용하여 hot-carrier의 특성, ON 저항의 변화, breakdown 전압의 특성과 switch transient 특성을 조사하였다. Gate-drain 사이의 불순물도핑 영역 및 농도에 따른 소자의 특성해석은 LDL구조를 가진 LDMOS가 hot-carrier resistance 및 전력소모 관점에서 우수한 특성을 나타낼 것으로 사료된다.

1. 서 론

LDMOSFET 전력소자는 최근 RF power amplifier용으로 많이 이용되고 있다(1-3). 소자가 작아짐으로써 전력소모, 스위칭 타임의 개선 등 여러 장점이 있지만, 채널영역과 캐리어의 drift 영역이 작아짐으로써, 스위칭 ON저항의 변화, breakdown 전압 및 SOA영역의 감소 등 전력소자의 응용측면에서 고려하여야 할 문제점을 가지고 있다(4,5). 소자의 breakdown 전압을 높이기 위해서는 carrier의 depletion영역을 크게 하여야하고, 결과적으로 drift영역을 길게 하고, 불순물농도를 낮추어야한다. 그러나 breakdown 전압이 커짐으로써 majority carrier에 의한 허용 전류밀도는 작아지는 경향이 있다. 본 논문에서는 drift영역과 channel영역의 불순물 농도분포와 길이의 변화에 의한 소자의 전기적 특성을 조사하고자 한다. 소자 simulation은 MEDICI simulator를 이용하여, 전류, 전압의 특성, ON 저항의 변화, OFF transient특성 등을 조사하였다.^[1]

2. 본 론

그림 1의 LDD MOSFET은 크게 channel영역, drift영역, npn BJT영역의 3영역으로 나뉘어져있다. 그림에서

drift영역은 lightly doping된 영역이므로 소자가 작아지거나, 드레인 전압이 커지더라도 hot carrier에 의한 degradation, 소자의 신뢰성 저하 등의 문제점은 없는 것으로 사료되고, IGBT나 VDMOS에 비교하여 latch-up 특성이 우수하다.

그림 2는 소자의 X-section에서의 등전위선 (equipotential line) 및 전계선(electric field line)을 나타내고 있는데, 등전위선은 LDD영역의 gate쪽 표면에 밀집되어 있고, LDD영역에서 상대적으로 높은 전계를 나타내고 있다.

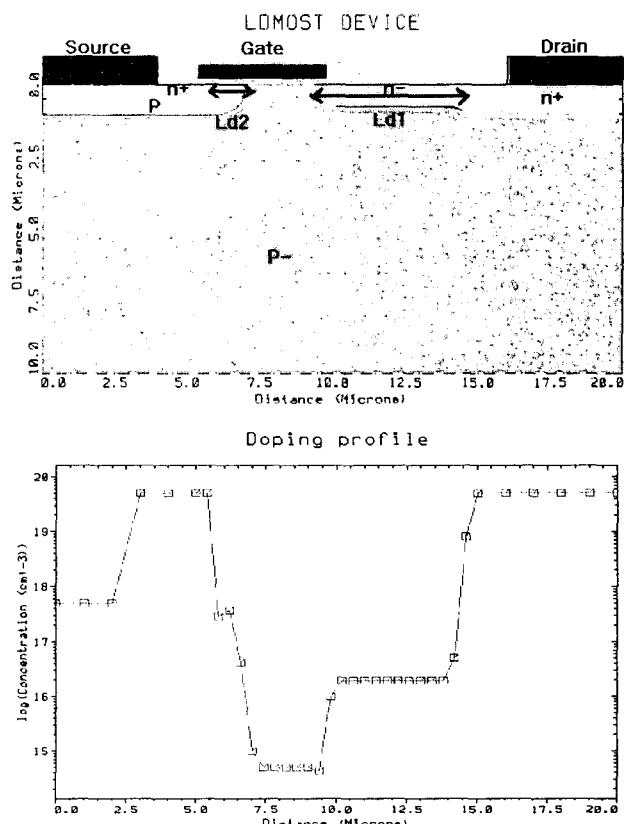


그림 1 LDD MOSFET 소자의 단면도와 도핑농도

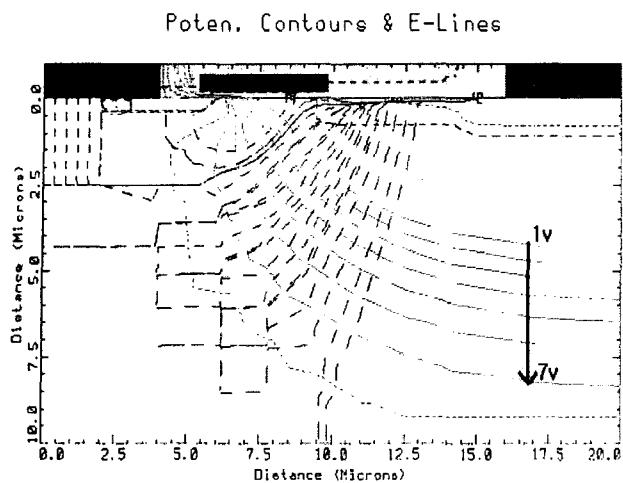


그림 2 소자의 X-section에서의 등전위선과 전계선

드레인 전압이 증가할수록, junction의 공핍영역(depletion region)은 커지게 되어 전류가 흐를 수 있는 유효면적은 감소하게 된다. 그리하여, carrier는 드레인 근처에서 최대로 포화된 drift속도를 갖게되고, 드레인 전류는 일정해진다.

그림 3은 drift영역의 길이(LDD 길이)변화에 의한 드레인 전압 및 전류특성을 나타내고 있는데, LDD 길이가 변화하더라도 드레인 전류는 상대적으로 변화가 적은 값(5%이하)을 나타내고 있고, 5V이하의 낮은 드레인 전압에서 계산된 스위칭 ON저항은 거의 일정한 값을 나타내고 있다.

그림 4는 LDD 길이를 일정하게 하고, 불순물 농도 분포를 변화 시켰을 때의 드레인 전압 및 전류특성을 보여주고 있다. 불순물 농도가 증가할수록, 드레인 전류는 증가함을 나타내는데, LDD영역의 majority캐리어인 전자의 전류는 drift current(표동전류)이며, 불순물 농도의 2배승에 비례하는 것으로 보고되어있다. 드레인 전류는 증가하나, breakdown전압은 반비례로 감소할 것으로 사료된다.

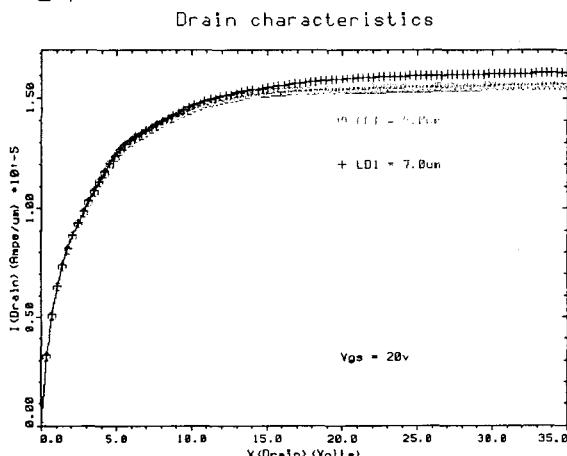


그림 3 Drift영역인 Ld1의 길이에 대한 I-V특성

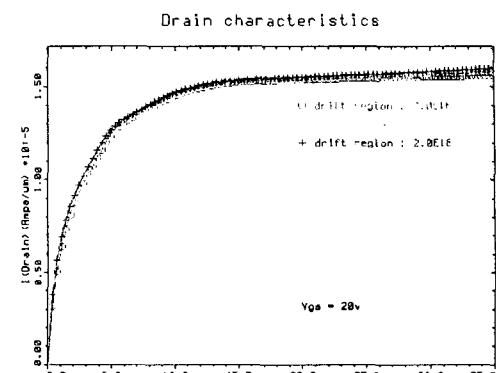


그림 4 LDD영역의 농도에 따른 I-V특성

그림 5와 6은 채널길이(Ld2)가 변화할 때의 드레인 전압 및 게이트전압 변화에 대한 드레인 전압 변화의 특성을 나타내는데, 그림5에서는 active영역에서의 포화된 드레인 전류는 채널길이가 작아질수록 증가하고 있고, 포화된 드레인 전압도 증가함을 나타낸다. 그림에서 ON상태의 채널저항은 채널길이(Ld2)가 증가할수록, 비례해서 증가함을 알 수 있다. 그림 6에서는 채널길이가 증가할수록, 문턱전압도 같이 증가함을 보이고 있는데, 이는 공핍영역의 acceptor에 의한 전하밀도가 상대적으로 증가하기 때문으로 사료된다.

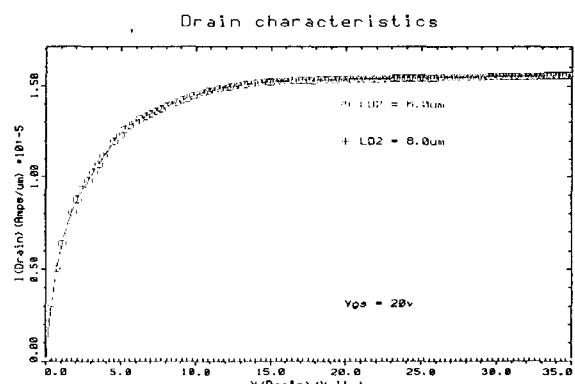


그림 5 channel영역의 Ld2의 길이에 대한 I-V특성

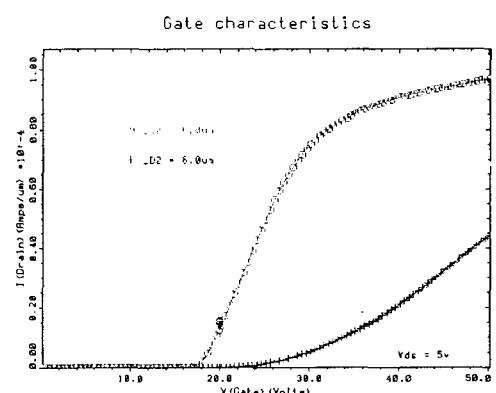


그림 6 channel영역의 Ld2의 길이에 대한 Gate특성

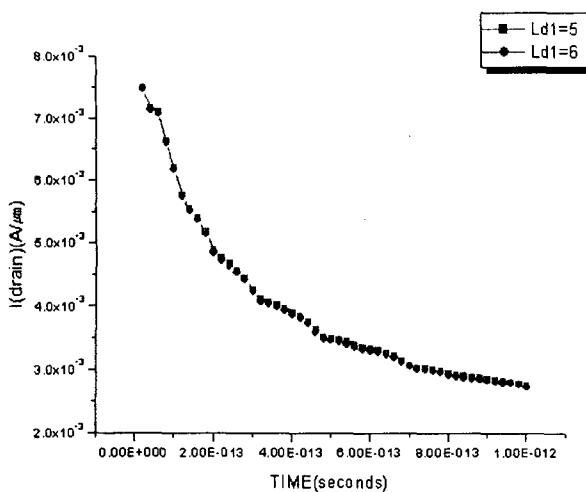


그림 7 드레인 전류의 transient 특성

그림 7은 전력소자의 OFF상태의 드레인 전류의 transient특성을 나타내고 있는데, transient 시간은 LDD 길이에 거의 영향을 받지 않는 것으로 보여 진다.

3. 결 론

LDMOSFET 전력소자의 채널과 LDD영역의 길이와 불순물 농도가 변화할 때, 전기적 특성을 조사하였다. MEDICI를 이용한 2차원 simulation에서 LDD영역의 길이와 불순물 농도는, 소자의 ON저항이나 드레인 전류의 특성에 큰 변화를 주지 못한 반면, 채널길이는 많은 영향을 주었다. 포화된 드레인 전류는 채널길이가 증가할 때, 감소하였으며, ON상태의 채널저항은 증가하였다. 그리고, OFF상태의 transient특성은 LDD 길이에 거의 영향을 받지 않는 것으로 나타났다. drift영역의 불순물 농도는 breakdown전압을 높이기 위해서는 증가시키는 것이 바람직하나, ON저항도 상대적으로 커지는 단점이 알려져 있으므로, 전력소자의 전기적 특성을 향상시키기 위해서는 채널 영역에 대한 연구가 보다 더 필요할 것으로 사료된다.

참 고 문 현

- [1] Cheonsoo Kim, Joungwoo Park, Hyunkyu Yu, "Trenched sinker LDMOSFET structure for high power amplifier application above 2 GHz," IEDM Tech. Digest 2001, pp. 887-890.
- [2] A. Wood, C. Dragon, and W. Burger, "High performance silicon LDMOS technology for 2GHz RF power applications," IEDM Tech. Digest 1996, pp. 87-90.
- [3] G. Ma, W. Burger, C. Dragon and T. Gillenwater, "High efficiency LDMOS power FET for low voltage wireless communication," IEDM Tech. Digest 1996, pp. 91-94.
- [4] Yutaka Hoshino, et. al., "High performance scaled down Si LDMOSFET with thin gate bird's beak technology for RF power amplifiers," IEDM Tech. Digest 1999, pp. 205-208.
- [5] S. Xu, P. Foo, J. Wen, Y. Liu, F. Lin, and C. Ren, "RF LDMOS with extreme low parasitic feedback capacitance and hot-carrier immunity", IEDM Tech.Digest 1999, pp. 201-204.