

PDP 구동을 위한 ZVS Half-Bridge 컨버터 개발에 관한 연구

정진범*
한양대 전자전기제어계측공학과

김희준
한양대 전자·컴퓨터 공학부

A Study on the Development of ZVS Half-Bridge Converter for PDP Drive

Cin-Beom Ceong
Dept. of Electronic & Electrical
& Control & Instrumentation Engineering
Hanyang Univ.

Hee-Jun Kim
School of Electrical Engineering
& Computer Science
Hanyang Univ.

Abstract - In this paper, we have developed a ZVS half-bridge converter with a clamping circuit for the DC power source of PDP circuit. The clamping circuit in the developed converter reduces the oscillating current of the switch by resonant inductor and parasitic parameters in output rectifier diodes. Finally, comparing the experimental results of the developed converter to the conventional ZVS half-bridge converter, it is clarified that the developed converter is more efficient and lower noise than the conventional one.

1. 서론

다양한 평판 디스플레이 장치 중에서 최근에 가장 주목 받고 있는 디스플레이 소자인 PDP의 구동회로를 구성함에 있어서 큰 전력 소모를 갖는 PDP 특성으로 인하여 고효율과 높은 안정성을 갖는 전원회로가 요구되고 있다.^[1]

본 논문에서는 이 점을 고려하여 PDP 구동부 전원인 가회로서 그림 1에 나타난 영전압 스위칭(ZVS)이 적용된 540W 급의 Half-Bridge 방식의 컨버터를 구성하였으며 변동이 큰 부하에 유리하도록 Dead-time이 일정하며 두 스위치의 도통시간이 다른 비동기 스위칭 방식을 사용하였다. 그러나 이 회로는 영전압 스위칭 동작에 관여되는 공진 인덕터와 출력측 정류 다이오드 기생 커패시터의 공진으로 인하여 스위치 전류의 진동 현상(oscillation)과 다이오드 전압의 오버슈트(overshoot)이 발생하게 되며 경부하시 영전압 스위칭이 깨어지거나 다이오드 양단에 정격이상의 과전압이 가해지는 현상을 초래한다.^{[2],[3]}

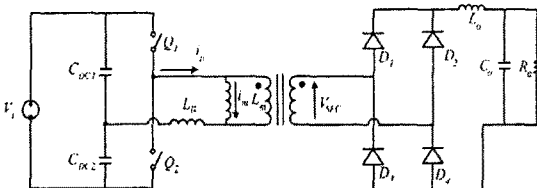


그림 1. ZVS Asymmetrical Half-Bridge 컨버터

일반적으로 그림 2와 같은 저항-커패시터(RC) 혹은 저항-커패시터-다이오드(RCD)로 구성된 스너버 회로를 이용하여 과전압을 제한하지만 스너버 구성 소자들에서의 손실로 인해 전체적인 컨버터의 효율이 감소하는 단점을 지니고 있다. 또한 스너버 회로를 사용하더라도 공진인덕터와 기생 커패시터의 공진현상은 다소 저감은 되

나 여전히 존재하게 되어 PDP 구동 전원에 요구되는 안정도를 충족시키기 어렵게 된다. 그러므로 본 논문에서는 고효율 및 안정도를 고려하여 공진현상을 저감시킬 수 있는 방식인 트랜스포머 1차측에 다이오드를 사용한 클램프 회로가 첨가된 방식을 적용하여 PDP 구동부 전원 공급을 위한 컨버터를 설계·제작하였다.

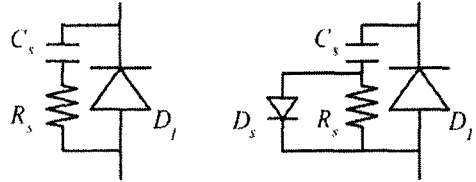


그림 2. RC(좌) 및 RCD(우) 스너버 회로

아래의 그림 3에서와 같이 1차측에 첨가한 클램프 회로인 다이오드 DC1과 DC2에 의해 출력측 다이오드들의 전류(轉流)기간동안 공진 인덕터와 출력측 다이오드 기생 커패시터의 공진에 의해 상승한 전압이 제한되게 된다. 또한 전체적인 컨버터의 특성변화가 거의 없기 때문에 이상적인 클램프 회로라 가정한다면 공진 인덕터와 기생 커패시터에 의해 발생하는 공진현상을 손실이 발생하지 않으면서도 효과적으로 저감시킬 수 있게 된다.

본 논문에서는 PDP 구동회로 전원에 요구되는 고효율과 안정성을 얻기 위해 ZVS Half-Bridge 컨버터에 RC 스너버 회로를 적용하여 경부하시에도 영전압 스위칭을 안정화 시키는 방식과 효율적인 공진현상의 저감을 얻을 수 있는 다이오드 클램프 회로 적용 방식을 시뮬레이션과 실험을 통하여 비교하였다.

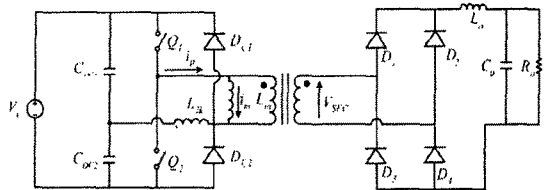


그림3. 클램프회로가 포함된 ZVS Half-Bridge 컨버터

2. 본론

2.1 동작특성

ZVS Half-Bridge 컨버터의 영전압 스위칭 동작에 있어서 공진 인덕터의 크기는 그림 4에 나타난 것과 같이 스위치에서 영전압 스위칭 동작이 가능한 범위를 확보하게 해준다. 즉, 공진인덕터에 가해지는 전압과 공진

인덕터의 인덕턴스 값에 의해 전류 변화의 기울기가 결정되어지는 것이다.

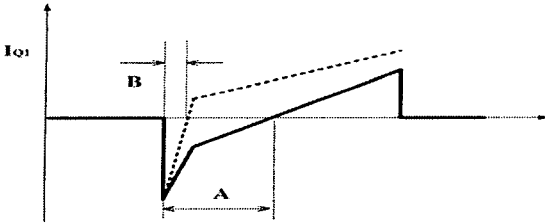


그림 4. 공진인덕터값 변화에 따른 스위치 전류의 변화

$$L_{lk} \frac{di}{dt} = V_{lk} \Rightarrow \frac{di}{dt} = \frac{V_{lk}}{L_{lk}} \quad (식1)$$

위의 식1에서 알 수 있듯이 인덕턴스 값이 증가함에 따라 공진 인덕터에 흐르는 전류의 변화율은 감소하게 되므로 스위치의 역병렬 다이오드를 통해 전류가 흐르는 범위가 B에서 A로 변하게 되어 보다 넓은 영전압 스위칭 가능 구간을 확보하는 것이다.

그러나 넓은 영전압 스위칭 가능구간 확보만을 위해 공진 인덕터 L_{lk} 의 값을 너무 크게 하는 것은 바람직하지 못하다. 공진 인덕턴스의 증가는 컨버터 출력측 정류 다이오드 $D_1 \sim D_4$ 의 기생 커패시턴스와 공진하여 발생하는 영향이 더 커지는 결과를 초래하기 때문이다. 또한 본 실험에서는 출력측 정류회로를 구성함에 있어 다이오드에 가해지는 역전압을 저하시켜 낮은 정격의 다이오드를 사용할 수 있도록 하기 위해 Bridge 방식을 취하였기 때문에 기생 커패시턴스 값이 두배로 증가하게 되는 형태이므로 공진 인덕턴스의 증가로 인한 영향은 보다 커지게 되는 것이다.

공진의 영향으로 다이오드 전압이 상승하게 되면 이를 억제하기 위한 스너버 회로등의 추가적인 회로가 요구되어지며 이로 인해 설계 비용의 상승과 스너버 손실에 따른 컨버터 효율의 감소등을 야기하게 됨으로 보다 개선된 방식의 적용이 요구된다.

그림 5에 공진 인덕터와 기생 커패시터에 의해 발생하는 스위치 전류의 공진 파형을 나타내었다.

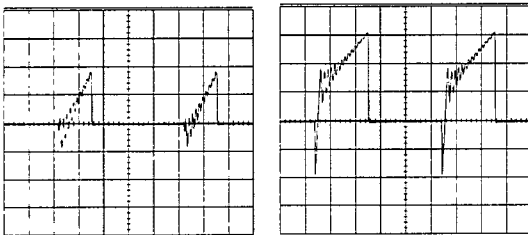


그림 5. 경부하(좌) 및 중부하(우)시의 스위치 Q_1 전류 ($2A, 2\mu s/DIV$)

위 그림에 나타난 것과 같이 스위치 전류에 미치는 공진현상으로 인하여 경부하에서는 영전압 스위칭이 가능한 구간을 설정하기가 어렵다. 이를 해결하기 위하여 일반적인 다이오드에 RC 스너버를 사용하여 과전압 억제를 함으로써 공진현상을 저감 시키지만 본 실험에서는 공진인덕터와 트랜스포머의 1차측 사이에 클램프 역할을 하는 다이오드들을 연결함으로써 공진인덕터와 2차측 정류 다이오드의 기생커패시터와의 공진현상을 억제하게 된다.

클램프가 포함된 ZVS Half-Bridge 컨버터의 개략적

인 동작특성 및 파형 시뮬레이션을 통하여 분석하였으며 시뮬레이션 결과 파형을 그림 6에 나타내었다.

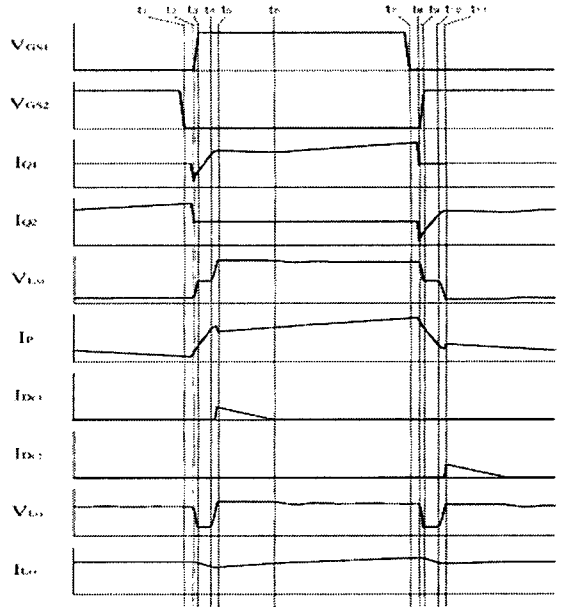


그림 6. 클램프가 포함된 회로의 시뮬레이션 파형

그림6의 시뮬레이션 파형에 나타난 것과 같이 다이오드 클램프회로가 포함된 ZVS Half-Bridge 컨버터의 동작은 일반적인 ZVS Half-Bridge 컨버터의 동작과 크게 다르지 않다. 단지 클램프 회로를 구성하는 다이오드의 첨가로 인하여 출력측 다이오드들의 전류(轉流)가 끝난 시점에서 공진에 인하여 트랜스포머 1차측 사이의 전압이 $D \cdot V_i$ 이상 상승하려 하면 클램프 다이오드 DC_2 가 도통이 되어 트랜스포머 1차측 전압이 $D \cdot V_i$ 값으로 클램프 되는 것이다. 또한 출력측 다이오드가 전류(轉流)되는 다른 시점에서 트랜스포머 1차측 전압이 공진에 의해 $(1-D) \cdot V_i$ 이상으로 상승하려 하면 클램프 다이오드 DC_1 이 도통함으로써 트랜스포머 1차측 전압을 클램프하게 된다. 그러므로 트랜스포머 2차측 전압 및 정류 다이오드에 걸리는 전압들도 일정 전압 레벨로 클램프 되게 되어 공진으로 인한 다이오드의 과전압 현상이 억제되고 스위치 전류 또한 진동현상이 없는 선형적인 변화를 보이므로 확실한 영전압 스위칭 구간확보에 용이하게 된다.

이는 일반적인 ZVS Half-Bridge 컨버터에서 높은 입력전압이 주어지고 경부하가 걸렸을 경우에 영전압 스위칭 구간을 확보하기 어려웠던 점을 해결하고 출력측 다이오드 $D_1 \sim D_4$ 에 걸리는 전압의 오버슈트(overshoot) 현상을 다이오드 정격 이내로 클램프 시킴으로써 안정적인 회로 동작을 얻을 수 있게 하였다.

그리고 클램프 회로의 추가는 전체적인 시스템 동작 특성에 거의 영향을 미치지 않기 때문에 전체 시스템의 제어에 있어서도 할 수 있는 그대로 적용할 수 있어서 효과적이라 할 수 있다.

2.2 실험 결과 및 비교

PDP 구동 회로 전원으로 사용될 ZVS Half-Bridge 컨버터의 안정적인 동작 및 고효율을 얻기 위해 1차측에 다이오드를 이용한 클램프 회로를 아래의 설계사양에 적합하도록 제작하였으며 다이오드 클램프 회로를 사용하지 않고 출력측 다이오드에 RC 스너버 회로만을 사용

하였을 때와 비교하였다. 또한 스위치에서의 영전압 스위칭이 전부하에 걸쳐 안정적으로 동작함을 그림 7~9의 측정파형을 통하여 알 수 있다.

● 설계사양

- 입력전압: 350~400 [V]
- 출력전압: 180 [V]
- 정격 출력전류: 3A
- 스위칭 주파수: 100 kHz

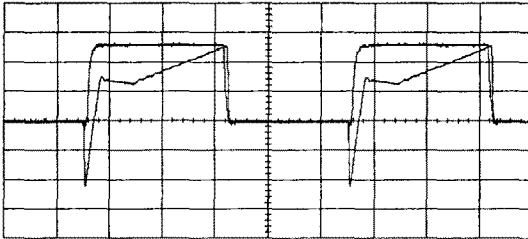
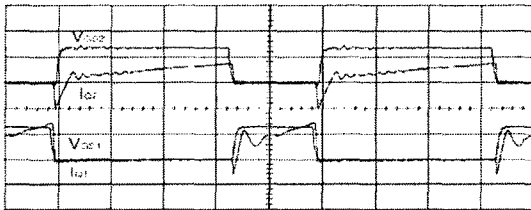
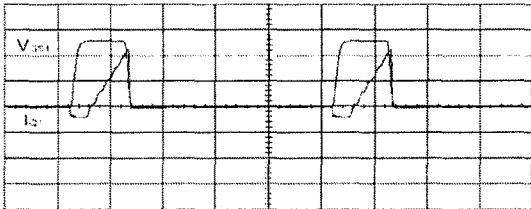


그림 7. 스위치 Q1에서의 영전압 스위칭 동작 (다이오드 클램프 첨가회로, 2A, 2 μ s/DIV)



(a) 스너버 회로 사용 (부하전류 0.3A)



(b) 클램프 회로 첨가 (부하전류 0.2A)

그림 8. 경부하시 스위칭 동작 비교 (2A, 2 μ s/DIV)

그림 7과 8에서 나타난 것과 같이 다이오드 클램프를 적용한 회로의 경우에 적용이전에 발생하였던 진동현상이 억제되었으며 스너버를 사용한 회로에 비해 경부하시에는 확실한 영전압 스위칭이 가능하도록 넓은 영전압 스위칭 가능 범위를 가지게 된다. 또한 스너버 회로의 첨가로 인해 발생하였던 손실을 저감할 수 있으므로 전체적인 시스템의 효율 개선을 가져온다.

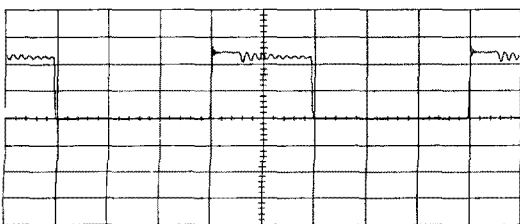


그림 9. 출력측 정류 다이오드전압 V_{Di}(100V, 2 μ s/DIV)

그림 9에서는 출력 다이오드 전압이 클램프 다이오드 DC1, DC2가 도통되었을 때 클램프 되어 나타남을 보여 주고 있는데 클램프 다이오드 오프(off)시점 이후에 발생하는 약간의 진동현상(oscillation)은 클램프 레벨 전압 이내로 전압 감소시 발생하는 것으로 트랜스포머의 자체 누설 인덕턴스를 낮춤으로써 저감시킬 수 있으며 스위치에서의 영전압 스위칭 동작에는 영향을 미치지 않는다.

다이오드 클램프 회로 적용시 부하변동에 따른 컨버터의 효율을 스너버 적용 회로와 비교하여 그림 10에 나타내었다.

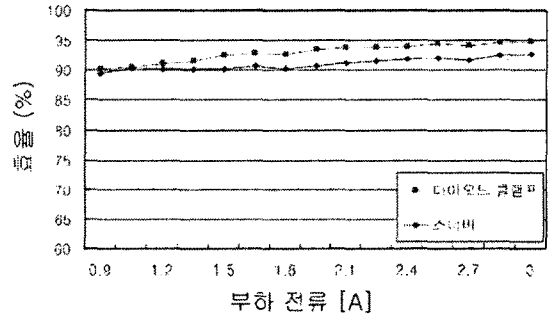


그림 10. 다이오드 클램프 및 스너버 적용회로의 효율

3. 결 론

본 논문에서는 PDP 구동 전원부에 적용될 540W급의 ZVS Asymmetrical Half-Bridge 컨버터를 개발하였으며 공진 인덕터와 기생 커패시터에 의해 발생하는 공진현상을 저감시키기 위한 RC 스너버 회로와 다이오드 클램프 적용 회로를 시뮬레이션과 실험을 통하여 비교하였으며 그 결과로부터 다이오드 클램프 적용회로의 안정적인 영전압 스위칭 동작과 다이오드 과전압 저감 및 효율 개선등의 효과를 확인하였다.

[참 고 문 헌]

- [1] 권오경 "플라즈마 디스플레이 패널의 구동방식 및 구동회로", 전기전자재료학회지 제13권, 15~26, 2000.08
- [2] N.MOHAN and P.IMBERTSON, "Asymmetrical duty cycle permits zero switching loss in PWM circuit with no conduction loss penalty" IEEE-IAS ANN.MEETING '91 Conference vol1.1066~1067, 1991
- [3] Mangat,S. & Xi,Y. & Jain,P.K. & Liu, Y.F, "A modified asymmetrical pulse width modulated resonant DC-DC converter topology", Power Electronics Specialists Conference, 1998, PESC 98 Record, 29th Annual IEEE, Vol1, 662-668, 1998