

실시간 전력품질분석시스템을 위한 FFT 프로세서의 설계

이정복, \*박해원, 강민수, 전희종  
 송실대학교 전기제어시스템공학부, \*(주)로템

The Design of FFT Processor for Real-time Power Quality Analysis System

Jeong-Bok Lee, \*Hae-Won Park, Min-Soo Kang, Hee-Jong Jeon  
 Dept. of Electrical Eng. Soong-Sil Univ. and \*ROTEM

**Abstract** - In this paper, power quality analysis system is proposed where voltage or current waveforms are nonsinusoidal. The proposed system relies on the FFT algorithm to compute real and reactive power. The advantage of system is that harmonic analysis is carried out on a period of the input signal. The proposed system is based on FFT processor which is designed using VHDL(Very high-speed integrated circuit Hardware Description Language). In the design of FFT processor, radix-2<sup>2</sup> is adopted to reduce several complex multipliers for twiddle factor. Complex multiplier is implemented as only shifters and adders. Therefore, the system is able to have both high hardware efficiency and high performance.

1. 서 론

최근 전력용 반도체 소자에 관한 기술혁신과 더불어 반도체 소자가 소형화, 고성능화 되면서 전력전자산업의 발달을 이룩할 수 있었던 반면에 전력소자에 의해 생성되어지는 전압, 전류 파형의 특성이 정현적인 파형을 유지하지 못한다. 전압, 전류의 고조파는 전력계통에 좋지 않은 영향을 줄뿐만 아니라 산업과 통신장비에도 좋지 않은 영향을 끼친다.[1],[2]

그러므로 고조파를 포함한 전력계통에서 전력품질을 분석하기 장치가 필요하며 일반적으로 전압과 전류의 스펙트럼 정보를 측정한다. 본 논문에서는 비 선형적인 특성을 갖는 전력계통에서 전력 품질을 분석하기 위한 전력품질분석시스템을 제안한다. 제안된 시스템을 설계하기 위해 SOC(System On Chip)를 위한 FPGA(Field Programmable Gate Array)와 고속의 데이터 저장장치로서 IBM 호환 PC가 채택되어 졌다. 전압과 전류의 스펙트럼정보는 FFT 알고리즘을 수행함으로써 얻어 질 수 있다.[3]-[5] 입력 데이터의 샘플링이 시작되면서 전압, 전류의 실효치, 역률, 전 고조파 왜곡율등의 데이터를 얻을 수 있다. 제안된 전력분석시스템은 고조파 분석에 있어서 입력신호의 기본파 성분외 한 주기동안 측정 및 분석이 완료 될 수 있다는 장점을 가진다.

2. 본 론

2.1 시스템 구조 및 이론적 배경

2.2.1 제안된 시스템의 구조

본 논문에서 제안된 전력 품질 분석시스템은 계속 또는 제어 시스템의 응용에서 일반 범용 마이크로 프로세서나 DSP(Digital Signal Processor)를 이용하여 설계된 시스템과 비교해 빠른 응답 속도, 불필요한 하드웨어

의 최소화, 시스템의 확장 및 변경이 용이하며 또한 시스템이 차지하는 면적을 최소화 할 수 있기 때문에 다른 시스템의 적용이 쉽다는 등 많은 장점을 가지고 있다. 제안된 전력품질 분석 시스템의 전체적인 블럭도는 그림 1에 보인다. 제안된 시스템을 위해 SRAM 기반의 FPGA인 Altera사의 EPF10k이 채택되어 졌으며 호스트 컴퓨터로서 IBM 호환 PC를 사용하였다.

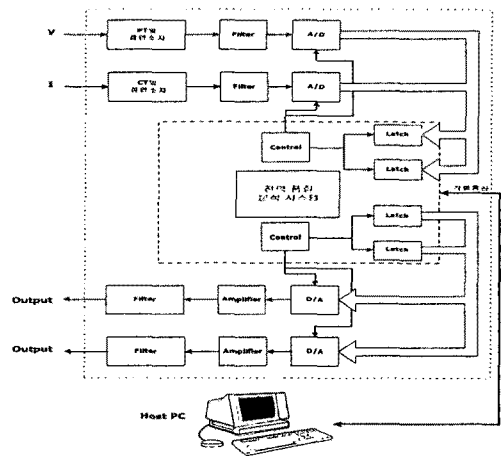


그림 1 전력 품질 분석시스템의 블럭선도

속도를 개선하기 위하여 A/D 변환기는 데이터 전송 시간 동안 변환을 시작한다. 출력 채널로서는 D/A 변환기가 사용된다. D/A 부분은 능동전력 필터, UPS나 컨버터 등의 전력변환기의 제어 또는 아날로그 디스플레이 등의 많은 응용분야에 사용되어 질 수 있다.

전력 품질 분석시스템은 HMI(Human Man Interface) 프로그램을 사용하여 PC에 인터페이스 되어 사용자가 직접 시스템을 제어할 수 있고 또한 결과 값을 읽을 수 있다. 이는 전력 품질 분석시스템을 일반 IBM 호환 PC와 직렬통신을 이용함으로써 구현되어 질 수 있다.

2.1.2 샘플링 주파수의 선택

전력 품질 분석시스템에서 측정되어지는 고조파 성분은 고 정밀의 정확도를 요구한다. 이것은 계측을 위한 전기적인 부분의 정확성뿐만 아니라 충분히 높은 샘플링 주파수를 요구한다. 샘플링 주파수는 크기오차에 따라 결정하였으며 주로 측정될 고조파의 주파수에 의해 결정되어졌다. 샘플링 비율이 작아지게 되면 안티 에일리어싱 필터의 차단 주파수 또한 작아져야만 한다. 안티 에일리어싱 필터의 사용을 피하기 위해서는 디지털 필터를 구현하여야 하며 샘플링 주파수에 따라 신호의 대역폭이

감소하게 된다. 측정 신호의 고조파 주파수를  $f$  라 하고 측정 신호의 크기는  $A$ 라 한다. 크기의 왜곡률은 10% 보다 크지 않아야 한다. 그림 2에서 보는바와 같이  $\alpha$  점에서 고조파의 크기 강도가 0.90A 라 가정하면

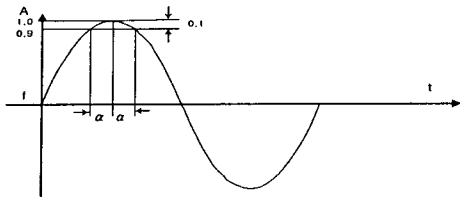


그림 2. 크기오차에 따른 샘플링 주파수

10% 이내의 크기의 왜곡일 때  $\alpha$  값은 다음과 같이 선택되어진다.

$$A - A \times \sin(90^\circ \pm \alpha) \leq 0.10A$$

$$1 - \cos \alpha \leq 0.10$$

$$\alpha \leq 25.84^\circ$$

또한 주기에서 샘플링 시간은 다음과 같이 나타낸다.

$$360^\circ \div \alpha \approx 14 \text{ (times)}$$

따라서 샘플링 주파수가 측정된 주파수의 14배가된다 면 신호의 크기 오차는 10% 이내로 제한할 수 있다.

## 2.2 고속 푸리에 변환

FFT 알고리즘은 길이  $N$ 인 수열의 이산 푸리에 변환을 보다 적은 이산 푸리에 변환으로 분해하여 계산하는 것을 기본으로 한다. 이 원리를 구현하는 방식은 다양한 알고리즘들로 발전하여, 계산 속도를 증가시킨다. 대표적인 알고리즘으로 크게 두 가지 방법으로 나눌 수 있는데 시간 데시메이션(Decimation-In Time)이라 하는 첫째방법은, FFT 변환을 더 작은 변환으로 배열하는 과정에서, 수열  $x(n)$ 을 연속적인 더 적은 길이의 수열로 분할하기 때문에 붙여진 이름이다. 두 번째 알고리즘에서는 이산 푸리에 변환의 계수  $X(k)$ 가 보다 작은 수열로 분할되는데, 이러한 이유로 주파수 데시메이션(Decimation-In-Frequency) 알고리즘이라 한다.

본 논문에서는 복소 곱셈기의 수를 줄이고 속도를 향상시킨 radix-2<sup>2</sup> 알고리즘을 사용하였다.

### 2.2.1 radix-2<sup>2</sup> 알고리즘

$$X(k) = \sum_{n=0}^{N-1} x(n) e^{-j2\pi/Nnk} \quad k=0,1,2,\dots,N-1$$

$$X(k) = \sum_{n=0}^{N-1} x(n) W_N^{nk} \quad (1)$$

3차원 인덱스 맵에 의해 인덱스  $n$ 과  $k$ 를 분해하여 다음과 같이 나타낸다.

$$n = \frac{N}{2} n_1 + \frac{N}{4} n_2 + n_3$$

$$0 \leq n_1 \leq 1, 0 \leq n_2 \leq 1, 0 \leq n_3 \leq \frac{N}{4} - 1$$

$$k = k_1 + 2k_2 + 4k_3$$

$$0 \leq k_1 \leq 1, 0 \leq k_2 \leq 1, 0 \leq k_3 \leq \frac{N}{4} - 1 \quad (2)$$

DFT의 정의식인 식(1)에 식(2)를 대입하여 분해를 정을 진행하면 식(3)과 같다.

$$X(k) = X(k_1 + 2k_2 + 4k_3)$$

$$\begin{aligned} &= \sum_{n_3=0}^{\frac{N}{4}-1} \sum_{n_2=0}^1 \sum_{n_1=0}^1 x\left(\frac{N}{2}n_1 + \frac{N}{4}n_2 + n_3\right) W_N^{(k_1+2k_2+4k_3)\left(\frac{N}{2}n_1 + \frac{N}{4}n_2 + n_3\right)} \\ &= \sum_{n_3=0}^{\frac{N}{4}-1} \sum_{n_2=0}^1 \left[BF_2\left(\frac{N}{4}n_2 + n_3, k_1\right)\right] W_N^{\left(\frac{N}{4}n_2 + n_3\right)k_1} W_N^{\left(\frac{N}{4}n_2 + n_3\right)(2k_2 + 4k_3)} \end{aligned} \quad (3)$$

여기서,  $BF_2\left(\frac{N}{4}n_2 + n_3, k_1\right)$ 는 아래와 같다.

$$\begin{aligned} BF_2\left(\frac{N}{4}n_2 + n_3, k_1\right) &= \sum_{n_1=0}^1 x\left(\frac{N}{2}n_1 + \frac{N}{4}n_2 + n_3\right) W_N^{\frac{N}{2}n_1 k_1} \\ &= x\left(\frac{N}{4}n_2 + n_3\right) + (-1)^{k_1} x\left(\frac{N}{4}n_2 + n_3 + \frac{N}{2}\right) \end{aligned}$$

윗 식은 radix-2 DIF 버터플라이 연산자에 해당하며,  $W_N^{\left(\frac{N}{4}n_2 + n_3\right)k_1}$ 는 첫단계 분해과정의 트위들 팩터에 해당한다. 이 트위들 팩터를 승산한 후  $n_2$  대한 연산을 수행하고 이어서 분해과정을 진행한다. 이는 일반적인 Cooley-Turkey radix-2 DIF FFT 알고리즘이 된다. radix-2<sup>2</sup> 알고리즘은 식(3)에서의 트위들 팩터를 바로 연산하지 않고, 이 연산을 다음 분해과정 즉,  $n_2$ 의 연산에서 수행함으로써 radix-2와 같은 버터플라이 구조를 가지며 복소 곱셈기의 수를 줄이는 알고리즘이다. 이를 수식을 통해 유도해 보면 우선 식(3)의 트위들 팩터는 식(4)와 같다.

$$\begin{aligned} W_N^{\left(\frac{N}{4}n_2 + n_3\right)(k_1+2k_2)} &= W_N^{Nn_2 k_3} W_N^{\frac{N}{4}n_2(k_1+2k_2)} W_N^{n_3(k_1+2k_2)} W_N^{n_3 k_3} \\ &= (-j)^{n_2(k_1+2k_2)} W_N^{n_2(k_1-2k_2)} W_N^{n_3 k_3} \end{aligned} \quad (4)$$

식(4)을 식(3)에 대입하면 식(5)를 구할 수 있다.

$$\begin{aligned} X(k) &= X(k_1 + 2k_2 + 4k_3) \\ &= \sum_{n_3=0}^{\frac{N}{4}-1} \left\{ \sum_{n_2=0}^1 \left[ BF_2\left(\frac{N}{4}n_2 + n_3, k_1\right) \right] (-j)^{n_2(k_1+2k_2)} \right\} W_N^{n_2(k_1-2k_2)} W_N^{n_3 k_3} \\ &= \sum_{n_3=0}^{\frac{N}{4}-1} \left[ H(k_1, k_2, n_3) W_N^{n_3(k_1-2k_2)} \right] W_N^{n_3 k_3} \end{aligned} \quad (5)$$

식(5)에서  $H(k_1, k_2, n_3)$ 는 식(6)과 같다.

$$\begin{aligned} H(k_1, k_2, n_3) &= \sum_{n_2=0}^1 \left[ BF_2\left(\frac{N}{4}n_2 + n_3, k_1\right) \right] (-j)^{n_2(k_1-2k_2)} \\ &= BF_2(n_3, k_1) + (-j)^{(k_1+2k_2)} BF_2\left(n_3 + \frac{N}{4}, k_1\right) \end{aligned} \quad (6)$$

식(6)은 2개의 버터플라이 연산으로 구성되어진다. 따라서 식(5)는 두 단계의 버터플라이 연산과  $N/4$ -point DFT로 나타내어진다. 그림 3은 이의 신호 흐름도를 보여준다.

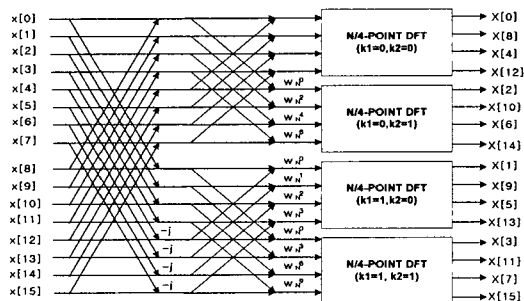


그림 3. 16-point radix-2<sup>2</sup> FFT의 흐름도

그림 3을 보면 첫 번째 stage의 트위들 팩터가 단순 승산인  $(-j)$ 로 교체됨으로써 복소 승산기의 개수가 줄

어 들었으며, 버터플라이 연산자의 구조는 일반적인 radix-2 DIF 버터플라이 연산자와 같음을 확인 할 수 있다. 그림 4는 완전한 16-point radix-<sup>2</sup> FFT 프로세서의 신호 흐름도를 보여주고 있다.

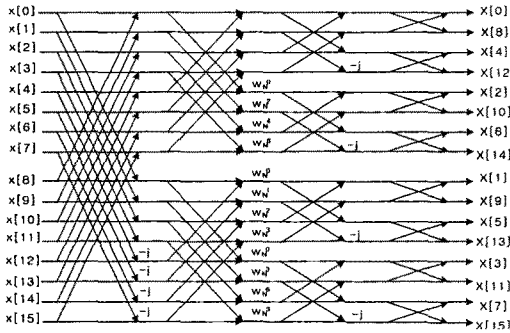


그림 4. 완전한 16-point radix-<sup>2</sup> FFT의 흐름도

### 2.3 전력 품질 분석시스템의 설계 및 검증

본 장에서는 전력 품질 분석 시스템을 위한 FFT 프로세서 설계하며 또한 이를 시뮬레이션을 통하여 검증한다. 본 연구에서 설계한 FFT 프로세서는 radix-<sup>2</sup> 알고리즘 사용하였으며 데이터 처리속도 및 하드웨어 설계 자원을 효율적으로 사용하기 위해 파이프라인 구조를 채택하였다. 프로세서의 설계에 앞서 본 장에서는 수의 체계 및 비트 수 등을 결정하며 또한 효율적인 하드웨어 사용을 위한 복소 곱셈기의 구조를 설명한다.

#### 2.3.1 FFT 프로세서의 설계

##### (1) 설계사양의 결정

FFT 프로세서의 구현에 있어서, 널리 이용되는 수 체계로는 부동 소숫점 방식(floating point)과 고정소숫점 방식(fixed point)이 있다. 본 논문에서는 하드웨어 자원의 효율적인 사용을 위해 고정소숫점 방식을 채택하였으며 고정 소숫점 방식 중 양수와 음수의 표현방식이 가장 명확한 2의 보수법을 사용하였다.

또한 비트 수의 결정은 연산의 오버플로와 관계가 있다. 본 논문에서는 AD 컨버터에 의해 받는 데이터의 비트수와 또한 연산에 의한 오버플로(overflow)를 고려하여 데이터의 크기를 12비트로 결정하였으며 2의 보수법에 의해 부호 비트를 추가하여 총 데이터 비트는 13비트로 결정하였다.

FFT 프로세서의 하드웨어 구현을 위한 방법으로는 크게 단일 버터플라이 연산자를 이용하는 방법, 파이프라인 구조를 이용하는 방법, 병렬 구조를 이용하는 방법등이 있다. 데이터 처리 속도의 측면에서 병렬 구조가 가장 큰 이점을 갖지만, 하드웨어 복잡도가 너무 커지는 단점이 있다. 단일 버터플라이 연산자구조는 가장 작은 하드웨어 복잡도를 가지나 반면 데이터 처리 속도가 떨어지는 단점이 있다. 따라서 데이터 처리속도와 하드웨어 복잡도의 교환관계를 가장 잘 만족시키는 파이프라인 방식이 FFT프로세서의 구현방법으로 적합하다.



그림 5. 파이프라인방식의 FFT 프로세서의 구조

그림 5에서 볼수 있는 것처럼, 파이프라인 방식의 FFT 프로세서는 지연교환기(Delay switch)에 의해 분

리된 여러개의 버터플라이 연산자로 구성되어 진다.

##### (2) radix-2 버터플라이 연산자

트위들 팩터를 승산하는 기능을 별도의 모듈로 설계하였기 때문에, radix-2 버터플라이 연산자 모듈은 단지 입력 데이터의 가산 및 감산 기능을 수행하면 된다. 그림 6은 radix-2 버터플라이 연산자의 시뮬레이션을 보여준다.

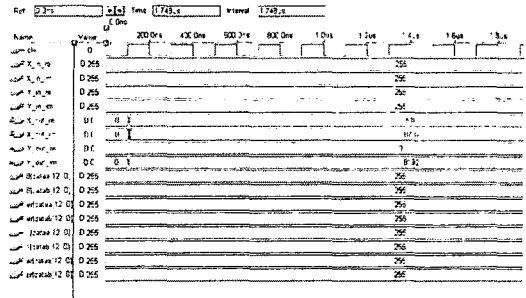


그림 6. radix-2 버터 플라이 연산자의 시뮬레이션도

##### (3)복소곱셈기의 구현

설계된 FFT 프로세서는 트위들 팩터  $W_N^k$  를 위한 복소 곱셈기가 필요하다. 본 논문에서는 하드웨어 설계자원의 효율을 높이기 위해 곱셈기의 사용하는 대신 쉬프트(shift)와 덧셈기(adder)만으로 복소 곱셈기를 대신 하였다.

트위들 팩터  $W_N^k$ 에 의한 복소곱셈은 다음의 식으로 나타내어 질 수 있다.

$$A W_N^{\pm k} = (x + jy)(\cos \theta \pm j \sin \theta) = x' + jy'$$

여기서  $A = x + jy$  이다.

위의 식은 다음과 같은 식으로 조합 될 수 있다.

$$x' = f_1(x) \mp f_2(y), \quad y' = f_1(y) \pm f_2(x)$$

트위들 팩터가 복소 곱셈기의 사용 없이 단순하게 구현되어지기 위해서는 트위들 팩터가 덧셈, 뺄셈 그리고 2'(shift)에 의한 곱셈으로 구성되어진 동차 함수  $f_1$  과  $f_2$  로 표현되어질 수 있어야 한다. 주어진 함수  $f_1$  과  $f_2$  의 결과에 의한 각  $\theta$  는 다음과 같다.

$$\theta = \tan^{-1} \left( \pm \frac{f_2(\cdot)}{f_1(\cdot)} \right)$$

또한 복소수 A에 이득 값은 다음 식으로 표현된다.

$$G = \sqrt{f_1^2(\cdot) + f_2^2(\cdot)}$$

$f_1$  과  $f_2$  는 동차 함수 이기 때문에 다음과 같이 단순하게 표현될 수 있다.

$$f_1(t) = t \quad f_2(t) = t \sum_{n=1}^M 2^{-n}$$

그러므로 각  $\theta$  는 다음과 같이 표현되고

$$\theta = \tan^{-1} \left( \sum_{n=1}^M 2^{-n} \right)$$

이득 값 G는 식 (5.6)과 같이 표현 될 수 있다.

$$G = \sqrt{1 + \left( \sum_{n=1}^M 2^{-n} \right)^2}$$

트위들 팩터  $W_N^k$ 의 곱셈은 그림 4-12의 두 번째 스테이지에서 사용된다. 트위들 팩터의 각  $\theta$  는  $\pi/16$ 의 배수가 되고 표 2에서와 같이 4개의 연속적이면서 부분적인 각으로 나타낼 수 있다.  $\theta_3, \theta_4$ 에 의한 변환은 다음과 같으며 단순히 부호 그리고 실수와 허수의 값을 교환해 줌으로써 구현되어 질 수 있다.

$$\theta_3 \Rightarrow (x' = -y, \quad y' = +x), \quad \theta_4 \Rightarrow (x' = -x, \quad y' = -y)$$

그림 7은  $\theta_3$ 에 의한 시뮬레이션 결과를 보여주고 그림 8은  $\theta_4$ 에 의한 시뮬레이션 결과를 보여준다.

### 3. 결 론

본 논문에서는 비 선형적인 특성을 갖는 전력계통에서 전력 품질을 분석하기 위한 전력 품질 분석시스템을 제안하였다.

전력 품질 분석시스템은 SOC (System On Chip)을 적용함으로써 범용 마이크로 프로세서와 DSP등에서는 얻을 수 없는 하드웨어 자원의 효율성과 시스템의 최적화 및 데이터 처리 속도를 얻을 수 있었고 또한 크기 오차에 따른 샘플링 이론에 의해 샘플링 주파수를 선정함으로써 샘플링 주파수 선정에 타당성을 보였으며 전력 품질 분석시스템의 핵심이 되는 FFT 프로세서의 설계에 있어서는 3차원 인덱스 분해법에 의한 radix-2<sup>2</sup> 알고리즘을 적용함으로써 하드웨어자원에서 가장 많은 비중을 차지하는 복소 곱셈기의 수를 줄이고 또한 복소 곱셈기를 쉬프트와 가산기만으로 구현함으로써 효율적인 하드웨어의 사용을 가능하게 하였다.

또한 VHDL로 시스템을 설계함으로써 다른 ASIC 칩과 호환이 가능하며 부가적으로 기존 VHDL 설계를 다른 설계 환경에 그대로 다시 사용하거나 달라진 설계 요건을 만족시키도록 수정하여 재 사용할 수 있으며, 이를 통해 새로운 응용에 적합한 기술로 합성할 수 있는 장점을 가지고 있다.

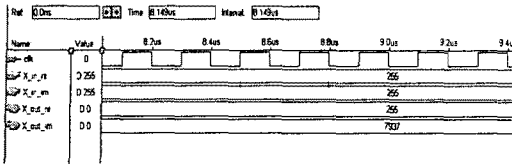


그림 7.  $\theta_3$ 에 의한 시뮬레이션도

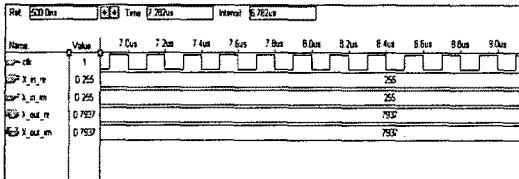


그림 8.  $\theta_4$ 에 의한 시뮬레이션도

#### (4) FFT 프로세서의 설계 및 시뮬레이션

본 논문에서는 Radix-2<sup>2</sup> 알고리즘을 적용한 파이프라인 구조를 설계하였다. 앞서 설계된 하위 모듈들을 그림 9와 같은 계층구조로 설계하여 수행하였다.

설계는 VHDL을 이용하여 모델링 하고 기능을 검증하였으며 ALTERA사의 Max+PlusII에서 설계하였다. 그림 10은 FFT 프로세서의 시뮬레이션 결과를 보여 주고 있다.

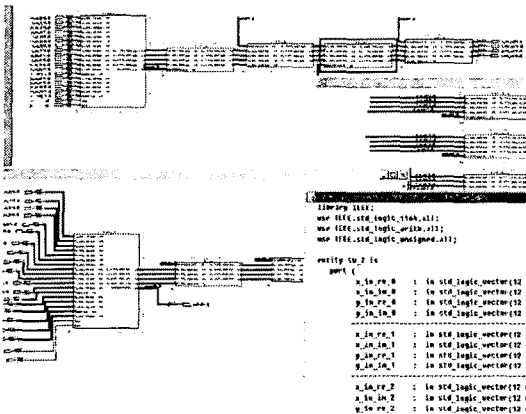


그림 9. FFT 프로세서의 계층구조

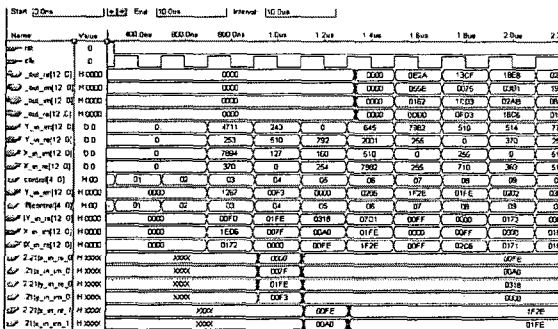


그림 10. FFT 프로세서의 시뮬레이션도

#### [참고 문헌]

- [1] G. Bucci and C. Landi, " On Line Digital Measurement for the Quality Analysis of Power Systems under Nonsinusoidal Conditions," IEEE Transactions on Instrumentation and Measurement, Vol. 48, No 4, pp.853-857, August 1999.
- [2] Scott C. Smith M.S.E.E and Dr.Michael J.Devaney " Fourier Based Three Phase Power System," 2000 IEEE, pp.30-35, 2000
- [3] A. V. Oppenheim and R.W. Schaffer, Discrete-Time Signal Processing. Englewood Cliffs, NJ: Prentice-Hall, 1989.
- [4] G. Bucci and C.Landi, " On-line power measurement in nonsinusoidal condition by using A FRLS Algorithm," in Proc. IMEKO-TC4.95 Prague, Czech Republic, Sept. 13-14, 1995.
- [5] Zhang Liyi, Li Qiang and Wang Huaki, " Studies on Sampling and Algorithms of DSP-based Parameters Measuring Instrumentation of Low-voltage Power Net," proceedings of ICSP2000, pp1995-1999, 2000
- [6] Hou Jianjun and Lou Shuqin, " An alternative Approach to Using An FPGA to Implement DSP Algorithms," proceedings of ICSP 2000 pp623-626, 2000
- [7] Ediz Cetin, Richard C. S. Morling and Izzet Kale, " An Extensible Complex Fast Fourier Transform Processor Chip for Real-Time Spectrum analysis and Measurement," IEEE Transactions on Instrumentation and Measurement, Vol. 47, No 1, pp.95-99, February 1998.