

디지털 PWM 입력 D급 음향 증폭기를 위한 새로운 제어기법

박종후, 김창균, 조노형
서울대학교 전기공학부

A novel controller for switching audio power amplifier with digital input

Jong-Hu Park, C. G. Kim and B.H. Cho
School of Electrical Engineering, Seoul National University

Abstract - A new controller for switching audio power amplifier with digital PWM input is proposed - Bi-directional Saw-tooth Error Correction (BSEC). This control method for high quality switching amplifier is based on a pulsed edge correction approach using PWM audio signal input as a reference of power switching digital to analog converter. The proposed controller has excellent features such as wide error correction range and no limitation on the modulation index. The controller is implemented in the half-bridge class D amplifier and the performance is verified through hardware experiments. It delivers 100W into 4Ω load with less than 0.2% of total harmonic distortion (THD) all over operating range and an maximum efficiency of 82%.

동안의 전력단의 전력 소모가 최소화 된다.

- 적은 부피로 구현 가능: 효율의 향상은 방열판의 크기를 감소시키므로 오디오 시스템의 부피를 크게 경감시킨다.

그러나, 높은 선형성을 지닌 고성능 디지털 변조부가 있다 할지라도, 전력 증폭단에서 많은 신호 왜곡이 발생하므로, 전력단 자체의 피드백을 이용한 보정없이 앞단 신호원의 선형성을 유지할 수 없다. 따라서 이러한 클래스 D 오디오 앰프 전력단의 선형성을 개선하려는 연구가 최근에 진행되고 있다[3,6,7].

1. 서 론

디지털 형태의 오디오신호 저장방식은 고음질 녹음의 상용화를 가능하게 하였다. 콤팩트 디스크나 디지털 오디오 테이프와 디지털 방송 및 DAT, DCC등은 모두 디지털 형태로 신호를 처리하고 있다. 그러나, 기존의 사운드 재생은 아날로그 증폭방식을 사용하므로, 디지털 신호에서 아날로그 신호로의 변환을 필요로 한다. 이것은 기능 향상에 많은 제약을 주며, 특히 낮은 잡음과 높은 다이나믹 특성을 구현하기 위해서는 많은 비용이 든다[1]. 그러나 최근에, D/A 컨버터를 쓰지 않고 전력을 증폭하려는 시도들이 있었다.

이를 위한 한 방법으로, 디지털 음원을 PCM/PWM 변환기로 변환한 뒤, 클래스 D 타입 스위칭 앰프를 사용하여 직접 PWM 신호를 증폭하는 방식에 대한 연구가 진행되었다[1-4]. 이러한 접근은 기본적으로 전력 증폭단의 reference를 아날로그 신호 대신에 PCM/PWM 변환기의 출력으로 대체하는 것이다. 따라서, 깨끗한 음질의 reference를 얻기 위해서 PCM/PWM 변환기의 성능 향상에 연구가 집중되었다. 이 방법은 기존의 스위칭 증폭기에 사용되던 D/A 변환기와 PWM 발생용 캐리어 변조부를 대체하는 DSP를 사용하여 디지털 PCM 신호를 직접 PWM 신호로 변환함으로써, 간단한 구조와 가격절감이라는 장점을 얻을 수 있다. 이 방법은 에러를 보정하기 위한 피드백 처리를 간단하게 할 수 있으므로, 증폭기 전체 시스템을 집적화하는데도 도움을 준다.

디지털 신호 처리부 이후에는 PWM 신호를 직접 증폭하기 위해서, 보통 클래스 D 타입 스위칭 앰프가 사용되는데, 스위칭 앰프는 다음과 같은 장점이 있다[5].
- 높은 효율: PWM 신호는 high 혹은 low의 2가지 레벨만 가지고 있기 때문에, PWM 증폭을 위해서는 전력단이 단지 스위칭 동작을 하는 것으로 충분하다. 이것은 앰프의 능동소자가 cut-off 영역과 saturation 영역을 번갈아 동작하는 것이다. 이러한 스위칭 방식 증폭으로 클래스 D 음향증폭기는 클래스 A, B 혹은 AB가 도달할 수 없는 80%이상의 높은 효율이 가능하게 된다.

- 낮은 대기 전력 소모: 클래스 D 타입 인버터는 대기 시간에 부하로 흐르는 전류가 작으므로 신호 대기시간

2. 본 론

2.1 기존의 제어기법 - PEDEC

앞 절에 언급한대로, 고음질의 PWM reference가 있을지라도, 전력단에서 유입되는 비선형적 왜란에 의해서 펄스 왜곡이 발생하게 되고 이것이 음의 충실도(fidelity)를 떨어뜨리게 된다. 클래스 D 타입의 게우프 파워 앰프는 일반적으로 0.1% - 2%정도의 THD를 보이게 된다. 전력단에 존재하는 왜곡발생원이 이러한 THD 레벨을 결정하게 되는데, 이 때 발생하는 왜곡은 펄스 진폭 에러(power supply perturbation, finite power switch impedance)와 펄스 시간폭 에러(turn-on 과 turn-off 지연, dead time, finite rise and fall time)으로 분류된다[3]. 따라서, 이를 보상하기 위한 적절한 피드백 루프 구성을 필요로 한다.

이와 관련해서 먼저 생각할 수 있는 것이, 출력을 디지털 PCM 신호로 직접 피드백을 해서 음향신호가 DSP 전단의 디지털 음원을 reference로 하여 동작할 수 있도록 하는 방법이다. 그러나, 이러한 접근은 피드백 경로에 아날로그 오디오 출력을 디지털 PCM 신호와 비교하기 위한 A/D 컨버터를 필요로 한다[3]. 이것은 D/A 컨버터와 마찬가지로 가격과 성능에 많은 제약을 준다. 따라서, 이러한 방법 대신에 DSP 출력이 무시할만큼 작은 왜곡을 포함하고 있다는 전제하에서 DSP 출력단인 PWM 신호측으로 피드백을 구성하는 것이 바람직하다.

이러한 연구로서, Nielsen은 Pulse Edge Delay Error Correction(PEDEC) 기법을 제안했다[3]. 이 기법은 아날로그 음원 없이 PWM 신호를 reference로 하여 증폭기를 피드백 제어하는 것이 성능 개선에 효과가 있음을 시뮬레이션을 통하여 보여주었다. 그러나, 제한된 왜곡보정 영역을 가지고 있고, 앰프의 동작가능한 도통률에도 한계가 있음을 보여주었다. 따라서, 이 방법은 입력의 변동 범위가 넓거나, 큰 왜란이 들어올 경우 적합하지 않음을 알 수 있다. 뿐만아니라, PEDEC 제어기는 변조 파형에 높은 경사도가 있으므로(그림 3.(b)), 실제 회로 구현시, 최대 스위칭 주파수에 제약을 주게 된다.

다음장에서는, 양방향 톱니파 에러 보정방식(BSEC)으로 명명된 디지털 변조방식 전력 증폭기에 적합한 새로

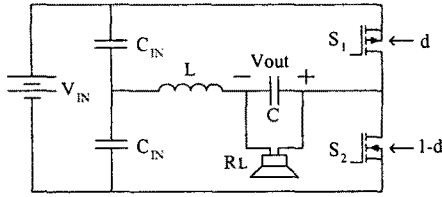


그림 1 전력단 회로 - 하프브리지형 클래스 D급 앰프

은 제어방식을 소개한다. 이 방법은 넓은 보정영역, 에러 보정부의 높은 이득, 제약 없는 최소/최대 시비율 등과 같은 장점이 있다. 이러한 특징들은 제안된 기법이 PEDEC의 훌륭한 대안이 될 수 있음을 보여준다. 자세한 분석과 비교는 다음장에서 다룬다.

2.2 새로운 제어기법 - BSEC

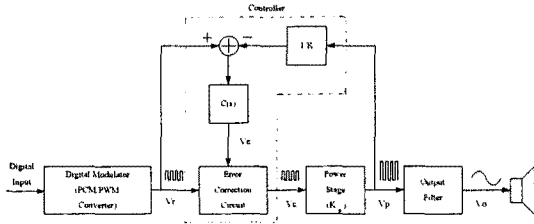


그림 2 제어부 블록 다이어그램

본 논문의 실험에 사용된 전력단 회로는 하프브리지형 클래스 D 타입으로서 그림 1과 같다. 출력 전압 V_{out} 은 다음과 같다.

$$V_{out} = \frac{V_{IN}}{2} \cdot d - \frac{V_{IN}}{2} \cdot (1-d) = V_{IN} \cdot \left(d - \frac{1}{2}\right) \quad (1)$$

단, d 는 S_1 스위치의 시비율이고, $1-d$ 는 S_2 의 시비율이다. 만약 시비율이 오디오 음원에 따라 변조되고, 스위칭 주파수가 오디오 밴드에 비해서 월등히 높다면, 스위칭 리플은 출력단 LC 필터에 의해서 제거되고, 펄스의 평균값만 스피커에 전달된다. 따라서, 출력 전압은 오디오 음원 정보를 좇아갈 수 있다. D급 증폭기의 경우, 만약 전력단에서 발생하는 펄스 에러가 적절히 보정된다면, 클래스 AB 앰프가 가지는 THD 레벨인 0.1-2%를 능가한 선형성을 확보할 수 있다. 또한, 본 하프브리지 회로의 경우, 동기 정류 모드로 동작시킴으로써, 최대 부하에서 80%이상의 효율을 보인다.

위에서 언급한 전력단의 피드백 제어를 위해서, 새로운 에러 보정 방법인 BSEC을 적용하였다. 이 제어기의 블록 다이어그램과 원리가 그림 2와 3에 각각 나와있다. 고성능의 PCM/PWM 컨버터가 PWM 신호인 V_r (그림 2)을 발생한다. BSEC 유닛은 이 신호를 에러보정을 위한 reference로 사용하게 된다. 부궤환 회로를 위해 전력단의 V_p 가 sensing 되어 $1/K$ 로 축소되고, V_r 과 비교된다. 그림 2의 compensator 블록 $C(s)$ 는 V_p 의 오차를 적절히 증폭하여 전압 V_e 를 발생한다. 에러 보정부가 V_e 와 V_r 을 받아서, 전력단 스위치를 구동하는 보정된 펄스 V_c 를 발생한다.

제안된 제어기의 원리를 설명하기 위해서, 그림 3에 에러 보정부의 주요 파형들을 나타내었다. BSEC은 PEDEC과 유사한 pulse-edge retiming 방식에 의해서

에러를 보정한다. 출력 전압의 평균값은 V_c 의 펄스폭에 따라 결정되기 때문에, V_c 의 pulse edge 타이밍을 제어함에 따라 출력단의 에러를 보정하는 것이 가능해진다. BSEC의 동작원리가 그림 3의 (a)의 파형으로 구체적으로 잘 나타나있다.

에러 정보에 의한 시비율의 변화를 주기 위해서는 경사파형(BSEC의 경우 그림 3의 양방향 톱니파 V_m)이 필요하다. 경사파형을 쉽게 구현하기 위해서 그림 3과 같이 reference(V_r)를 이용한다. V_r 이 양이면, V_m 이 $-k_a$ 의 경사도로 가다가 V_r 이 레벨을 바꾸는 순간, V_m 을 0으로 만든다. V_r 이 음이면, 반대로 k_a 의 경사로 올라가는 파형을 이룬다. BSEC 유닛은 이러한 변조파와 V_e 를 비교하여 V_c 를 만들게 된다. V_c 에 의해서 전력단이 구동되고 증폭된 신호 V_p 가 저주파 필터를 통과하면, 깨끗한 음향신호의 재생이 이루어진다. 이렇게 하여, V_p sensing 피드백 회로가 LC필터를 제외한 전역역의 왜곡을 보상하게 된다.

PEDEC의 파형도 그림 3의 (b)에 나와있다. PEDEC의 경우 T_w 의 최소가 V_m 의 과도시간 T_o 보다 커야 하는 제약이 있다. 또한, 보정된 펄스폭 ($T_b - T_w$)은 T_o 를 넘을 수 없다. 이러한 제약 때문에 PEDEC은 제한된 에러 보정능력과, 정상적인 동작이 가능한 최대/최소 시비율의 한계를 가진다. 변조율의 한계는 다음과 같다[3].

$$M_{max} = 1 - \frac{2T_o}{T} \quad (2)$$

또한, PEDEC의 이득 FM은 아래와 같다.

$$FM = \frac{\Delta V_{C,AVE}}{\Delta V_e} = \frac{2 \cdot T_o}{V_M \cdot T} \quad (3)$$

단, V_{M1} 은 V_m 의 진폭이고, $V_{C,AVE}$ 는 V_c 의 진폭이 1일 때, 평균값이다. (2)와 (3)을 보면, 주어진 스위칭 주파수와 V_{M1} 에서, 과도시간(T_o)이 변조율과 FM 사이에 trade-off를 주는 것을 알 수 있다. 따라서, 넓은 변조율로 설계시 이득을 높게 하는데 제약을 주는 것을 알 수 있다.

제안된 BSEC의 경우, 펄스폭 변화량은 다음과 같다.

$$\Delta T_w = T_a - T_w = \begin{cases} (1-D)T & (V_e > k_a(1-D)T) \\ \frac{V_e}{k_a} & (-k_aDT \leq V_e \leq k_a(1-D)T) \\ -DT & (V_e < -k_aDT) \end{cases}$$

따라서, T_w 와 V_e 의 관계는 (5)와 같이 정리된다.

$$\frac{\Delta T_w}{\Delta V_e} = \frac{1}{k_a} \quad (5)$$

결국 BSEC의 이득은 아래식과 같이된다.

$$FM = \frac{\Delta V_{C,AVE}}{\Delta V_e} = \frac{2}{k_a \cdot T} \quad (6)$$

최종적인 페루프 이득은 아래와 같다.

$$G_c(s) = \frac{K_p}{K} \cdot C(s) \cdot FM \quad (7)$$

단, K_p 는 V_c 진폭이 1일 때의 전력단 이득이다. 이러

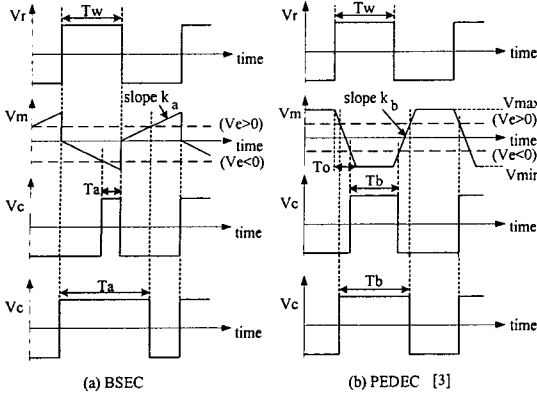


그림 3 BSEC과 PEDEC 에러보정부의 주요 파형 비교
 (Vr : reference 전압, Vm : 도통률 변화를 위한 경사파 전압,
 Vc (위) : Ve > 0일 때 에러보정부 출력전압,
 Vc(아래) : Ve < 0일 때 에러보정부 출력전압)

한 특성은 앞에서 언급한 PEDEC의 단점을 보완한다. BSEC의 경우 변조율에 제한이 없으며, 에러보정영역도 제한이 없다. 이것은 넓은 입력을 가지는 시스템 설계를 가능하게 한다. 또한 변조율과 제어기 이득 사이의 trade-off 가 없으므로, 높은 이득과 높은 변조율의 동시 설계가 가능해진다. 구현상의 특징을 비교하면, 같은 동작점에서(같은 reference 도통률과 같은 제어기이득) BSEC의 양방향 톱니파형은 0에서 양의 첨각까지 경사가 있지만, PEDEC은 음의 첨각에서 양의 첨각까지 경사가 유지되어야 하므로, PEDEC의 변조파의 기울기가 BSEC의 기울기의 2배가 된다. 이것은 같은 기울기의 파형 구현시, BSEC이 2배의 스위칭 주파수를 갖는 것이 가능함을 의미한다. 따라서, 주파수를 높일수록 BSEC이 유리하고 할 수 있다.

앰프의 루프설계를 살펴보면, 오디오 시스템은 20kHz 이상의 밴드를 요구하므로, cut-off 주파수가 이 이상으로 높아야 한다. 또한, 페루프 이득이 오디오 밴드의 전 영역에서 가능한 최대로 커야 하고, 위상 마진이 45도 이상이 되도록 하는 것이 좋다. 이와 더불어, 밴드보다 높은 주파수에서는 노이즈를 감소하기 위하여 이득이 낮아야 한다. 본 논문에서는 C(s)가 높은 DC 이득과 2 pole을 갖게 함으로써, 위에서 언급한 조건을 만족하고, 회로를 간소화하며, 우수한 리플 제거특성을 보이도록 하였다. C(s)까지 고려한 페루프 식은 아래와 같다.

$$G_{cl}(s) = \frac{K_p}{K \cdot T \cdot k_a} \cdot \frac{K_C}{\left(1 + \frac{s}{\omega_{P1}}\right) \cdot \left(1 + \frac{s}{\omega_{P2}}\right)} \quad (8)$$

위의 식에서 보면, 에러 보정능력 향상을 위해서는 Kc를 크게 설계하여 페루프 이득을 높게 해야 한다. 또한, 스위칭 주기가 이득에 반비례함을 알 수 있다. 일반적인 개루프 회로의 THD가 -30dB에서 -40dB 수준이므로, 페루프 이득이 최소한 30dB가 되어야 산업계가 요구하는 수준인 -60dB를 만족할 수 있다.

2.3 새로운 제어기법의 구현

앞 절에서는 주로 BSEC의 원리에 대해서 살펴보았다. BSEC부의 실제적인 구현은 그림 4에 잘 나타나 있다.

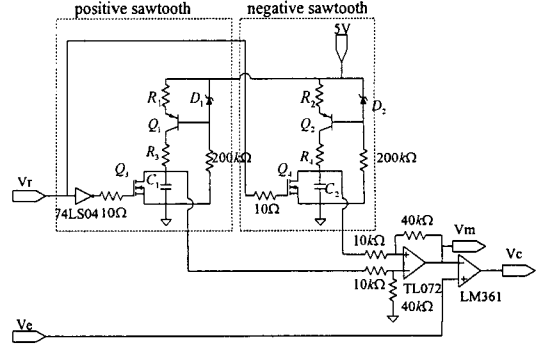


그림 4 BSEC부를 구현한 회로

BSEC부는 비교기 및 한 쌍의 톱니파 발생기와 차동증폭기로 구성되어 있다. 회로의 동작은 2가지 모드로 되어 있는데, 각각이 positive와 negative 톱니파를 발생시킨다. 각각의 모드를 살펴보면 다음과 같다.

- Vr이 1일 때(high): Q3 턴-오프, Q4 턴-온이 되고, Q1, R1, R3로 구성된 정전류 회로가 C1을 충전한다. 반대로 C2는 Q4를 통해서 방전되고 0V를 유지하게 된다. C1전압은 선형적으로 상승하면서, 차동증폭기의 출력은 선형적으로 감소한다. Vr이 0(low)으로 전환되는 순간 Q3이 턴-온이 되면서 순간적으로 C1을 방전시킨다. 따라서, 차동증폭기의 출력 Vm도 동시에 0으로 올라가면서 음의 톱니파를 얻을 수 있다.

- Vr이 0일 때(low): C2의 전압이 선형적으로 증가하고 C1은 0V를 유지하면서, 차동증폭기의 출력 Vm은 선형적으로 증가한다. Vr이 high로 전환되는 순간, Vm은 0으로 떨어지고, 양의 톱니파가 얻어진다. 이러한 동작이 매 주기마다 반복되어 양방향 톱니파가 발생하게 된다. 톱니파의 기울기는 정전류 회로의 변수와 충전전 커패시터값 및 차동증폭기의 이득에 의해서 결정된다. 따라서, BSEC 유닛의 이득을 높게 하기 위해서는 큰 충전전 커패시터나 낮은 전류의 전류원을 사용하여, Vm의 기울기를 작게 해준다. 혹은 차동증폭 이득을 작게 설계하는 방법도 있다. 그러나, 큰 커패시터는 방전시간이 길어지고, 전력 손실이 커지는 문제가 있다. 또한, 과도하게 낮은 기울기는 에러 전압 Ve에 실려있는 리플의 영향을 많이 받게 된다. 따라서 BSEC 회로 설계시 이러한 사항들을 고려하여 최적화해야 한다.

2.4 실험 결과

디지털 PWM 신호를 입력으로 하는 100W 스위칭 전력증폭기를 제안된 제어기를 사용하여 제작하였다. 전력단의 변수값은 다음의 표1과 같다.

표 1. 주요 파라미터의 설계값

VIN	80V	CIN	4700uF
L	10uH	C	0.1uF
S1	IRF9530	S2	IRF530
RL	4Ω	fsw	360kHz

제어기는 compensator의 DC 이득이 100이며, 7.4kHz와 37kHz에 각각 pole을 위치시켰다. 전력단의 이득 (Kp)= 40, 피드백 sensing 이득(1/K)= 1/25으로, 전체 루프 DC 이득이 25가 되도록 설계하였다.

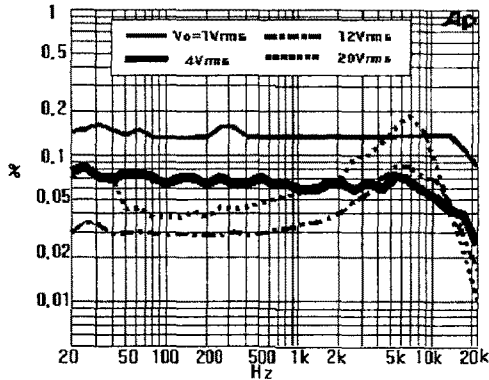


그림 5 BSEC을 이용한 출력 피드백 제어에 의한 증폭기의 THD+Noise 특성 (Vo : 출력전압)

AP(Audio Precision) 장비로 측정된 출력별 오디오 밴드(20Hz~22kHz) THD 곡선이 그림 5에 나와있다. 구현된 증폭기의 THD는 전 영역에서 0.2% 이내로 들어왔으며, 7kHz, 최대부하에서 가장 높은 THD를 보였다. 또한, 증폭기의 입력전압이 절반으로 감소해도, 약 20W 출력 레벨까지는 비슷한 THD 양상을 나타내었다. 그림 6은 효율을 측정된 결과이다. AP 장비로 측정된 출력 전압과 부하로 출력전력을 계산하여 효율을 측정하였다. 증폭기 효율은 최대부하에서 약 82%를 나타내었고, 정격의 절반에서 약 79%를 보였다. 이와 같이 높은 효율은 부피가 큰 방열판이 필요하지 않으므로 하드웨어 제작시 크기 부담을 경감시킨다. 위에서 살펴본 우수한 THD 특성과 높은 효율은 본 앰프의 상용화 가능성을 보여준다고 생각된다.

3. 결론

본 논문은 펄스형 오디오 신호를 reference로 하는 디지털 스위칭 앰프를 위한 새로운 에러 보정 방식을 제안한다. 양방향 톨니파 에러 보정방식(BSEC)으로 명명된 본 제어방식은 다음과 같은 장점을 가진다.

- 넓은 에러 보정영역: 양방향 톨니파형으로 스위칭 앰프의 시비율을 0 부터 1사이의 임의의 값으로 보정할 수 있다. 이러한 넓은 보정률은 앰프가 넓은 입력범위와 큰 왜곡에 대응하여 동작할 수 있도록 한다.

- 제약이 없는 변조율: BSEC의 톨니파가 폭이 고정되어 있지 않고 reference의 시비율에 따라 변하므로, reference의 시비율에 제약을 주지 않는다.

- 에러 보정부의 높은 이득설계: BSEC의 경우, 변조율과 보정부 이득과의 trade-off 조건이 없으므로, 변조율과 상관없이 높은 이득을 가진 에러 보정부를 설계하는 것이 가능하다.

- 높은 스위칭 주파수: PEDEC과 비교에서, 같은 reference 도통률과 같은 보정부 이득으로 설계시, BSEC의 톨니파의 경사도가 PEDEC의 절반이 된다. 따라서, 경사도 구현의 현실적 제약에 비추어 볼 때, BSEC은 PEDEC에 비해서 2배의 스위칭 주파수 동작이 가능한 장점이 있다.

본 논문에서 제안된 제어기법은 100W 하드웨어 프로토타입을 제작하여 검증하였다. 제작 결과, 전 주파수 및 파워 영역에서 0.2%이하의 낮은 THD와 최대부하에서 80% 이상의 높은 효율을 보였다.

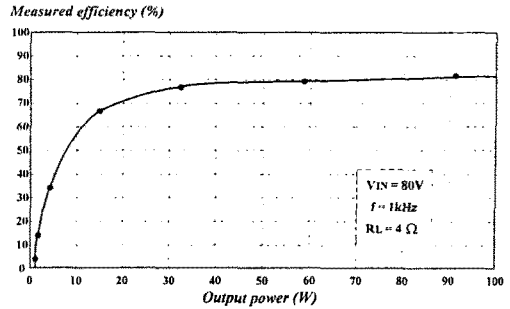


그림 6 구현된 증폭기의 전력 효율 특성

참고 문헌

- [1] R.E. Hiorns, M.B. Sandler, Power digital to analogue conversion using pulse width modulation and digital signal processing, *IEE Proceedings G, Circuits, Devices and Systems*, Vol. 140, No. 5, pp. 329-338, October 1993.
- [2] H. S. Choi and B. H. Cho, "Zero Current Switching (ZCS) PWM Switch Cell Minimizing Additional Conduction Loss", *KIPE Power Electronics Autumn Conference*, pp.159-162, 2000.
- [3] R.E. Hiorns, R.G. Bowman, M.B. Sandler, A PWM DAC for digital audio power conversion: from theory to performance, *Int. Con. On A/D and D/A Conversion*, pp. 142-147, 1991.
- [4] K. Nielsen, Pulse edge delay error correction (PEDEC) A novel power stage error correction principle for power digital analog conversion, *102nd Audio Engineering Society Convention*, Munich, March 1997.
- [5] C. Pascual, P.T. Krein, High-Fidelity PWM Inverter for Audio Amplification Based On Real-Time DSP, *7th Workshop on Computers in Power Electronics*, pp. 227-232, 2000.
- [6] Dondon, P., Micouleau, J.M., An original approach for the design of a Class D power switching amplifier an audio application. *Electronics, Circuits and Systems Proceedings of ICECS, The 6th IEEE International Conference*, Volume: 1, 1999
- [7] Jae Hoon Jeong, Gue Hong Kim, Byeong Rok Min, Che Hong Ahn, Gyu Hyeong Cho, A high efficiency class A amplifier accompanied by class D switching amplifier, *Power Electronics Specialists Conference, 28th Annual IEEE*, Volume: 2, pp. 1210-1216, 1997
- [8] Jeong, J.H., Seong, H.H., Yi, J.H., Cho, G.H., A class D switching power amplifier with high efficiency and wide bandwidth by dual feedback loops, *Consumer Electronics, Proceedings of International Conference*, pp. 428-429, 1995