

FPGA를 이용한 OFDM Modem 구현에 관한 연구

오석윤*, 안도량, 이동욱
 동국대학교 전기공학과

A Study on the OFDM Modem Implementation Using FPGA

Seuk-Yun Oh*, Do-Rang Ahn, Dong-Wook Lee
 Dept. of Electrical Engineering Dongguk Univ.

Abstract - This paper describes the design and implementation of the OFDM Modem using FPGA. The proposed OFDM method is based on IEEE 802.11a high-speed wireless LAN standard. The proposed and designed Pipeline FFT processor adopt the *Radix-2²SDF* scheme. This method has a simple architecture and highly increases the calculation speed. And also it decreases the required number of registers. Therefore, the proposed OFDM Modem reduces hardware size and improves the calculation speed. The OFDM Modem is implemented using FLEX™ FPGA.

1. 서 론

무선 통신의 발전으로 인하여 무선 통신 서비스가 데이터 서비스에서 멀티미디어 서비스로 옮겨가면서 대용량의 데이터를 고속으로 전송할 수 있는 광대역 서비스의 수요가 생겨났고, 그 수요는 점점 증대되고 있다.[1] [2] 광대역 시스템은 고품질의 서비스를 제공하기 위해 경로 손실을 보상할 수 있어야 하고 다중경로 채널에서 데이터를 고속으로 전송할 때 발생하는 심벌간의 간섭(Inter Symbol Interference : ISI)문제도 해결해야 한다.

이러한 다중경로 채널에서 고속으로 고품질의 데이터를 전송하기 위해 제안된 방법이 OFDM(Orthogonal Frequency Division Multiplexing)방식이다. OFDM방식은 직교성을 가지는 다중 부반송파를 이용하는 방식으로 주파수의 효율적인 사용과 다중경로 페이딩(Multipath Fading)에 강한 특성을 가진다. 이러한 OFDM의 특징으로 인해 최근 유럽형 디지털 방송 시스템(Digital Audio Broadcasting, Digital Video Broadcasting) 및 고속 무선 LAN 등에 적용되고 있다.[3]

그리고, 1999년 7월 50㎐대에서 6~54Mbps의 전송속도를 갖는 OFDM 방식의 IEEE 802.11a 고속 무선 LAN 표준안을 확정하였다.[4]

본 논문은 IEEE802.11a 고속 무선 LAN표준안을 바탕으로 Modem의 알고리즘을 설계하고 VHDL을 이용해 FPGA로 구현하였다.

2. 본 론

2.1 OFDM방식

2.1.1 OFDM의 개요

OFDM 변조방식은 직렬로 입력되는 데이터 열을 N개의 병렬데이터 열로 변환하여 주파수가 서로 다른 반송파에 실어 전송하는 방식이다. 이때 각각의 부반송파는 직교성이 유지되어야 하고 이러한 직교성으로 인하여 각 부반송파는 그림 1과 같이 스펙트럼 상에서 중첩되어

사용되어 질 수 있으므로 스펙트럼 효율이 높다. 따라서 이 방식은 하나의 반송파를 사용하여 데이터를 순차적으로 전송하는 경우보다 전송률을 높일 수 있으며 채널에 의한 전송 지연 시간 영향을 덜 받게되므로 연속되는 심벌간의 간섭을 줄일 수 있고 임펄스성 잡음과 다중경로 페이딩에 강한 장점이 있다. 반면에 시스템을 IFFT와 FFT를 이용하여 간단하게 구현할 수 있지만 직교성을 가지는 다중 반송파를 사용하기 때문에 각 부채널의 주파수 오프셋을 정확히 보정해 주어야 하는 단점이 있다.[5]

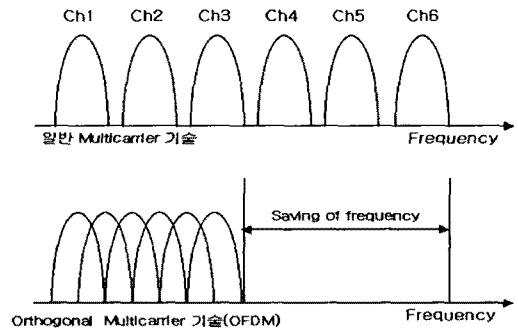


그림 1. OFDM 신호 개념도

초기 OFDM방식은 변·복조부의 부반송파생성을 위한 많은 양의 오실레이터의 사용으로 인해 전력소모가 많고 구조가 복잡하여 그 사용이 많지 않았다. 그러나 변·복조부의 FFT/IFFT의 적용으로 인해 구조가 간단해지고 고속의 데이터처리 능력을 가지게 됨으로써 그 사용이 급증하고 있다.

2.2 OFDM Modem 구조

OFDM Modem의 전송심플에 대한 파라미터는 표 1의 IEEE 802.11a 고속 무선 LAN 표준의 파라미터를 바탕으로 구성하였다.

표 1. 설계 Parameter

Parameter	Value
Sampling rate $f_s=1/T$	20MHz
N_{SD} : Number of data subcarrier	48
N_{SP} : Number of pilot subcarrier	4
N_{ST} : Number of total data subcarrier	$52(N_{SD} + N_{SP})$
Δf : subcarrier frequency spacing	$0.3125\text{MHz}(20\text{MHz}/64)$
T_{FFT} : FFT/IFFT period	$3.2\mu\text{s}(1/\Delta f)$
T_{GI} : GI duration	$0.8\mu\text{s}(T_{FFT}/4)$
T_{SYM} : Symbol interval	$4.0\mu\text{s}(T_{GI} + T_{FFT})$

OFDM Modem의 송신부와 수신부는 그림 2와 같이 구성하였다. 구현한 Modem의 data rate는 35Mbps이며, 변조방식은 각각의 부반송파에 16-QAM방식을 사용하였다. FEC부분은 coding rate 1/2로 한 Convolutional encoder를 사용하였다. 또한 OFDM Modem에서 가장 중요하며 변조부와 복조부에 사용되는 IFFT/FFT부분은 64 포인트의 IFFT/FFT를 사용하였다. 동기부분은 Pilot Extract, Channel Estimation, Equalizer로 구성하였다.[6]

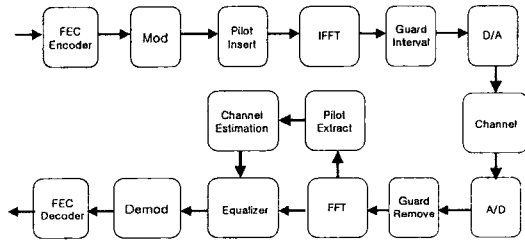


그림 2 OFDM Modem 전체 블록도

2.2.1 Convolutional encoder

Convolutional encoder는 식 (1)의 다항식을 기본으로 coding rate가 1/2이며 구속장이 7인 것으로 설계하였으며 그 블록도는 그림 3과 같다. 7bit의 Shift 레지스터 각 bit 값들의 modulo-2 연산을 통해 u_1 , u_2 의 출력신호를 만들었다.[6]

$$u_1 = x^6 + x^5 + x^3 + x^2 + 1$$

$$u_2 = x^6 + x^3 + x^3 + x + 1 \quad (1)$$

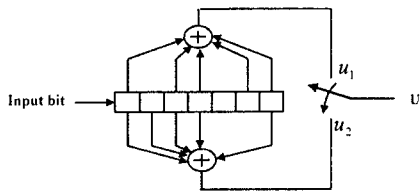


그림 3. Convolutional encoder

2.2.2 IFFT/FFT 프로세서

20Mbps($T_{FFT} = 3.2\mu s$)의 처리가 가능한 64포인트의 IFFT/FFT 프로세서를 구현하였다. VHDL을 이용하여 설계하기 위해 pipeline방식을 이용하여 설계하였는데 표 2의 여러 Pipeline방식 중에서 버터플라이의 연산처리속도가 빠르며 레지스터의 용량을 적게 사용하는 $Radix-2^2SDF$ (Single-path Delay Feedback) 방식으로 설계를 하였다.

표 2. Pipeline방식 FFT

	Multiplier #	adder #	memory size	control
$R2MDC$	$2(\log_4 N - 1)$	$4 \log_4 N$	$3N/2 - 2$	simple
$R2SDF$	$2(\log_4 N - 1)$	$4 \log_4 N$	$N - 1$	simple
$R4SDF$	$\log_4 N - 1$	$8 \log_4 N$	$N - 1$	medium
$R4MDC$	$3(\log_4 N - 1)$	$8 \log_4 N$	$5N/2 - 4$	simple
$R4SDC$	$\log_4 N - 1$	$3 \log_4 N$	$2N - 2$	complex
$R2^2SDF$	$\log_4 N - 1$	$4 \log_4 N$	$N - 1$	simple

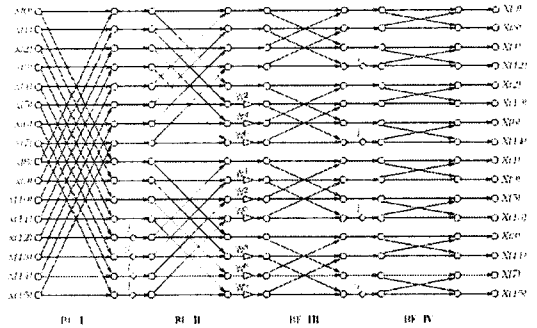


그림 4. $Radix-2^2SDF$ 버터플라이(N=16)

그림 4는 $N=16$ 일 때의 $Radix-2^2SDF$ 의 버터플라이 그림이다. 그림에서 볼수 있듯이 $Radix-2^2SDF$ 방식은 3-dimensional liner index map을 적용하며 2개의 버터플라이를 이용하여 설계한다. 그림 5는 $Radix-2^2SDF$ 의 설계 블록도이다. IFFT/FFT의 블록은 BF2I, BF2II의 두 개의 버터플라이 블록을 가지며 64 포인트의 연산을 수행하기 위해 34, 16, 8, 4, 2, 1 bit의 레지스터가 필요하다. 전체 FFT블록의 컨트롤은 $\log_2 N$ Counter($N=FFT$ 의 point수)를 이용해 컨트롤한다.[7]

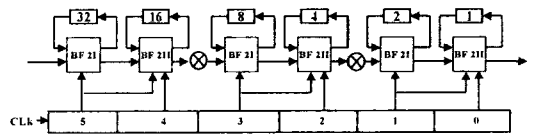
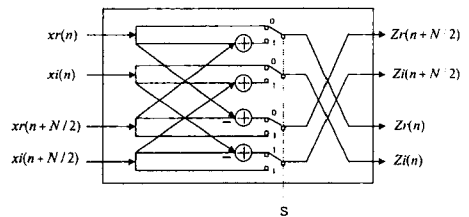
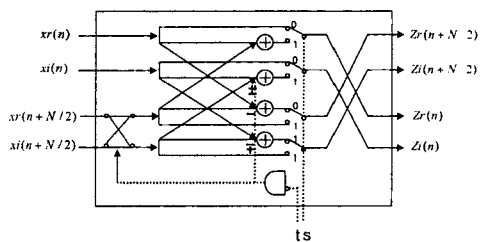


그림 5. $Radix-2^2SDF$ 블록도



(a) BF2I



(b) BF2II

그림 6. $Radix-2^2SDF$ 프로세서 내부구조

버터플라이 블록 BF2I와 BF2II의 내부 동작은 그림 6과 같이 동작하며 식 (2)의 기본 버터플라이 연산을 통해 블록내의 연산이 이루어진다.

$$\begin{aligned} Z(n) &= X(n) + X(n+N/2) \\ Z(n+N/2) &= X(n) - X(n+N/2) \end{aligned} \quad (2)$$

2.2.3 GI(Guard Interval)

GI(Guard Interval)삽입 블록은 전송채널의 영향으로 각 심볼의 일부에너지가 인접심볼에 스며드는 심볼간의 간섭(ISI)을 없애기 위해 삽입한다. 그림 7과 같이 주기적인 GI 삽입으로 ISI를 제거할 수 있다.

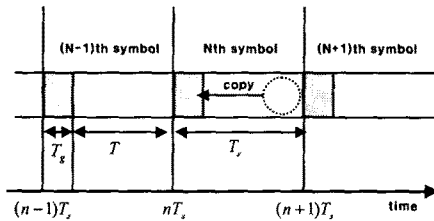


그림 7. GI 삽입

IFFT 프로세서 블록을 거쳐 나온 직렬의 신호를 레지스터에 저장한 후 입력데이터 길이의 1/4만큼의 데이터를 복사하여 데이터 앞단에 붙여 먼저 내보내는 형태로 그림 8과 같이 설계하였다.

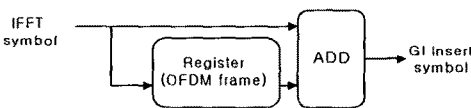


그림 8. GI 블록도

2.2.3 Synchronizer

동기를 위한 설계사양은 IEEE 802.11a 고속 무선 LAN의 표준안의 사양을 이용하였다. 동기를 위한 블록은 그림 9와 같이 Pilot Extract, Channel Estimation, Equalizer, FFT로 나누었다. 동기 부분은 FFT 프로세서 부와 병행하여 동작을 하게 하였다. [6]

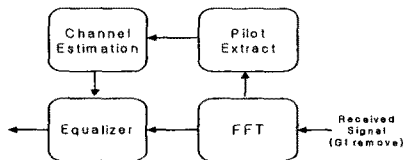


그림 9. Synchronizer 블록도

2.2.4 Viterbi decoder

Viterbi 알고리즘은 35Mbps의 data rate를 사용하며 coding rate는 1/2이며 구속장은 7을 썼다. Viterbi decoder의 블록은 그림 10과 같이 설계하였다. BM(Branch Metric)블록은 codeword값을 생성하고 수신 신호와 codeword 사이의 hamming distance값을 계산하는 블록이며, ACS(Add-Compare-Select)블록은 경로들 사이의 Branch Metric값을 비교하여 최적의 경로를 찾는 블록이다. CP(Compare)블록은 tra-

ceback을 위한 최적의 데이터값을 산출해 RAM블록으로 보내는 블록이다. BM, ACS, CP 블록은 state의 최적경로를 위한 연산블록으로 하나의 블록으로 구성하였으며 64state 연산을 위해 2 state씩 32개의 블록으로 구성하였다. 역추적을 위한 데이터 저장영역으로 RAM블록 구성하였으며 계산된 여러 경로들 중에서 최적의 경로를 찾아 데이터를 출력하는 TB(Trace back)블록과 전체 Viterbi 블록을 control하는 control 블록을 구성하였다.

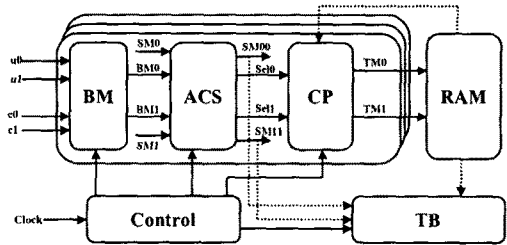


그림 10. Viterbi 블록도

3. 결 론

본 논문에서는 OFDM Modem을 VHDL을 이용하여 FPGA로 구현하였다. OFDM 방식의 고속 무선 LAN의 표준인 IEEE 802.11a 고속 무선 LAN 표준안을 바탕으로 Modem의 시스템 알고리즘을 설계하고 FPGA로 제작하였다. IFFT와 FFT부분은 구성이 간단하고 버터플라이의 연산처리 속도가 빠르며 내부레지스터를 적게 사용하는 Radix-2²SDF방식을 제안하고 설계하였다. Radix-2²SDF 방식의 사용으로 인해 Modem의 처리 속도가 향상 되었으며 간단한 구조로 인해 하드웨어 사이즈를 줄일수 있었다. 앞으로 데이터 전송 속도를 향상 시키기 위해 64-QAM Modulation의 구현과 FEC coding rate를 2/3, 3/4 등의 구현에 관한 연구가 필요하다.

[참 고 문 헌]

- [1] L.J.Cimini, Jr., "Analysis and simulation of a digital mobile channel using orthogonal frequency division multiplexing", IEEE Trans. Commun., vol. COM-33, no. 7, pp.665-675, July 1985.
- [2] H. Sari, G. Karam, and I. Jeanclaude, "Transmission techniques for digital terrestrial TV broadcasting", IEEE Commun. Mag., pp.100-109, Feb. 1996
- [3] 정의석, 조용수, "IEEE 802.11a 고속 무선 LAN 모뎀 기술", 한국통신학회지, vol.16, no.10, pp.42-63, 1999년 10월
- [4] Richard van Nee, "A New OFDM Standard for High Rate Wireless LAN in the 5GHz Band", Lucent Technologies Bell Labs.
- [5] Richard van Nee and Rajee Prasad, "OFDM for Wireless Multimedia Communications," Artech House, 2000
- [6] IEEE 802.11a/D7.0, "High Speed Physical Layer in the 5GHz Band", 1999
- [7] Shousheng He and Mats Torkelson, "A new approach to pipeline FFT processor", Parallel Processing Symposium, pp.766-770, 1996.