

실시간 영상정보추출을 위한 영상처리시스템의 하드웨어 구현

†이운근*, 이준웅**, 백광렬*

*부산대학교 전자공학과, **전남대학교 산업공학과

A Study on the Development of Onboard Vision System for Extraction of Image Information

†Un-Kun Yi*, Joon-Woong Lee**, and Kwang-Ryul Baek*

*Pusan National University, **Chonnam National University

Abstract - 본 논문에서는 에지연산에 기반한 영상정보추출 알고리즘을 효율적으로 실시간 수행할 수 있는 온보드(onboard) 영상처리시스템의 하드웨어를 설계 및 구현하였다. 이는 실시간 처리를 위해 저급 영상처리부에 실시간 에지추출이 가능하도록 FPGA를 채택하고, 고급 영상처리는 DSP에서 수행하는 구조이다. 실험결과 제안한 실시간 영상처리시스템의 하드웨어 구조는 초당 25프레임 이상의 영상처리를 수행할 수 있는 연산속도를 나타내어 만족할 만한 결과를 나타내었다.

제어신호 발생부로 구성된다. 본 논문에서 설계된 영상처리시스템은 단안(monocular)의 영상처리에 한정된 시스템이 아니라 향후 스테레오 및 멀티플(multiple) 영상처리까지 가능하도록 범용으로 설계하였다.

1. 서 론

최근, 대부분의 영상처리 분야에서는 처리해야 할 정보량이 증가함에 따라 실시간의 고속 데이터 처리를 요구하고 있다. 그러나, 실시간 온보드(onboard) 영상처리시스템의 구현은 영상신호의 대역폭이 높고, 정보량이 많으며, 또한 CCD 카메라의 아날로그 복합영상신호의 복잡성과 고속의 프로세서가 채용되어야 함으로 구현에 많은 어려움이 있다. 기존 PC 중심의 영상처리시스템은 실시간으로 변화하는 영상처리에서 에지연산과 같은 다량의 컨볼루션(convolution) 처리를 요구하는 경우에는 비효율적이라 할 수 있다. 이는 프레임 그라버(frame grabber)에서 획득한 영상 데이터의 전처리과정을 CPU가 순차적으로 처리하기 때문이다. 보통 전처리과정은 컨볼루션 등의 반복수행으로 인해 CPU의 처리속도를 저하하게 한다.

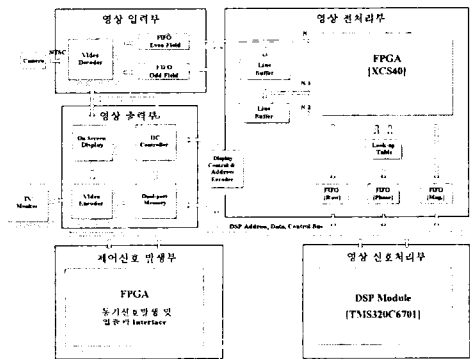


그림 1. 실시간 영상처리시스템의 구성

본 논문에서는 이러한 어려움을 극복하여 실시간 처리가 가능한 영상처리시스템의 하드웨어를 구현한다. 이의 구조는 저급영상처리(low-level image processing)에 실시간 에지추출이 가능하도록 FPGA(field programmable gate array)를 채택하고, 고급영상처리(high-level image processing)는 DSP(digital signal processor)에서 수행하는 구조이다.

2.1 영상 입력부

CCD 카메라에서 출력되는 아날로그 영상신호를 프로세서에서 처리하기 위해 디지털 데이터로 변환하는 부분이며, 본 논문에서는 CCD 카메라의 입력을 3개까지 동시 입력이 가능하도록 설계하였다. 그림 2는 영상 입력부를 나타내며, 비디오 디코더, 필드 메모리, 멀티플렉서 및 제어회로로 구성된다. 3개의 카메라 입력을 처리하기 위하여 영상 입력부는 그림 2의 블럭이 동시에 3개로 구성된다.

구현된 실시간 영상처리시스템의 효율성을 검증하기 위해 논문에서는 그 응용 예로 사람의 안전과 직결되어 반드시 실시간 처리가 요구되는 차선이탈경보 및 방지시스템(1)에서 차선정보를 추출하는 적용실험을 수행하였다. 이의 적용실험 과정은 영상 전처리부에서 입력영상의 Sobel 에지연산을 수행하여 얻어진 에지의 크기와 방향각을 기반으로 영상 신호처리부에서 영상정보를 추출한다. 이때, 영상 신호처리부에서 사용된 알고리즘은 참고문헌(2)에 소개된 에지분포함수(edge distribution function, EDF)에 기반한 영상처리 알고리즘이다. 구현된 영상처리시스템을 이용한 실험결과는 양호한 영상의 획득과 더불어 EDF에 기반한 차선정보추출 시스템의 핵심인 에지정보를 신뢰성 있게 추출할 수 있음을 보였다.

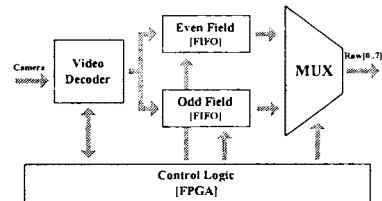


그림 2. 영상 입력부의 구성

2. 실시간 영상처리시스템의 하드웨어 설계

본 논문에서 제안하는 온보드 영상처리시스템의 전체적인 구성은 그림 1에 나타난 것과 같이 영상 입력부, 영상 전처리부, 영상 신호처리부, 영상 출력부, 그리고

아날로그 복합영상신호를 컴퓨터에서 처리하기 위해서는 아날로그 영상신호를 디지털화하기 위한 비디오 디코더가 필요하다.

범용의 A/D 변환기로 비디오 디코더를 설계할 경우, 수평 및 수직 동기신호 검출회로가 포함되어야 하며, 변환시간이 고속인 칩을 사용하는 등 부가회로가 복잡하고, 또한 이의 회로를 정확히 구성하지 못하면 양질의 영상을 획득할 수 없으므로 영상처리 시스템의 전체에 영향을 미칠 수 있으므로 신중을 고려해야 한다.[4,5]

본 논문에서는 복합영상신호의 처리를 위해 전용의 비디오 디코더 칩을 사용하였다. 이 경우 회로가 간단해 집은 물론 획득된 영상의 깨끗한 화질을 보장할 수 있다. 선정된 칩은 conexant사의 BT829이며, 이는 본 논문의 알고리즘에서 사용하는 320×240 영상크기 뿐만 아니라, 다양한 영상의 크기를 하드웨어적으로 설정하여 처리할 수 있는 제어모드를 가지고 있다.

그리고, 표준 영상신호는 2:1 비월주사 방식으로 처리함으로써 영상 1프레임을 처리하기 위해서는 Even/Odd의 두 필드를 각각 저장한 후 각각의 필드를 1라인씩 처리하여야 하나의 프레임 처리를 할 수 있으므로 필요에 따라 필드/프레임 처리가 가능할 수 있도록 개의 메모리를 사용하였다. 디코더에서 출력된 디지털 영상 데이터를 저장하기 위한 필드 메모리로 랜덤 액세스(random access)가 가능한 장점을 갖고 있는 범용의 SRAM을 사용할 수 있으나 본 논문에서는 Dual Port FIFO 메모리를 사용하였다. 이는 영상 데이터의 읽기와 저장을 독립적으로 수행하도록 하여 실시간 처리를 도모하기 위함이다.

그림 2는 Even 및 Odd 필드에 대하여 각각의 FIFO 메모리를 사용하여 2:1 비월주사 방식을 순차주사 방식으로 재정렬 하기 위한 구조를 나타낸다. 비디오 디코더에서 처음 반주기 동안 출력되는 영상을 상위 FIFO 메모리에 기록하고, 다음 반주기에 출력되는 영상을 하위 FIFO 메모리에 각각 기록하면 한 프레임의 영상이 모두 저장된다. 그리고 FIFO 메모리에 저장된 데이터를 영상 전처리기 및 영상 신호처리기에서 사용하고자 할 때는 멀티플렉서를 통한다. 이때, 제어로직의 신호에 따라 영상 데이터가 저장된 FIFO 메모리의 출력을 전환하면 그림 3과 같이 FIFO 메모리에 저장된 영상이 순차주사 방식으로 출력된다.

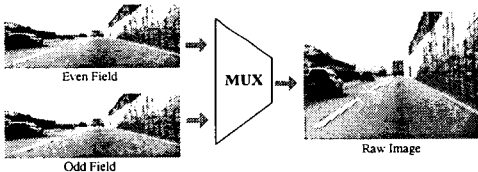


그림 3. 재정렬된 영상

2.2 영상 전처리부

DSP에서 영상 신호처리를 수행하기 전에 입력된 영상의 에지처리 등의 특징추출을 위한 전처리를 전담하는 부분으로 그림 4와 같이 라인 버퍼(line buffer), FPGA 및 룩업 테이블(look-up table, LUT)용 메모리로 구성된다. 기존의 PC 중심의 영상처리시스템의 경우, 프레임 그래픽에서 영상을 획득하고 난 후에 전처리의 수행이 PC 프로그램에 의해 순차적으로 이루어지기 때문에 반복 계산처리 등 많은 시간이 소요된다. 이처럼 반복계산, 필터링 등을 하드웨어로 병렬처리 하면 실시간 처리가 가능해진다. 전처리 과정을 이러한 구조의 하드웨어로 구현하여 영상 신호처리기는 영상 데이터와 그에 대한 전처리 결과를 지연 없이 받을 수 있다.

비디오 디코더를 통해 필드메모리에 저장된 영상 데이터는 Even/Odd 필드 출력 제어신호가 인가되면 1라인씩 번갈아 출력된다. 이렇게 출력된 라인 데이터는 N번째 출력과 이전 N-1, N-2라인 버퍼에 저장된 라인 데이터가 제어신호에 따라 동시에 출력되므로 한번에 수직 방향 3byte씩 처리가 가능하게 된다.

전처리부에서 구현된 에지 연산자는 그림 5에 나타낸 것과 같이 3×3 Sobel 연산자이며, 이를 하드웨어로 효과적으로 처리하기 위하여 그림 6에 나타낸 것과 같이 staging register 부, gradient calculator 부 및 mag.(magnitude) calculator부로 나누어 처리를 한

다. 즉, 에지처리를 위한 전처리부는 클럭에 동기하여 n번째 클럭이 인가되면 8bit 픽셀 데이터 3개가 staging register 부에 인가되는 동시에 각각의 래치에 저장된 이전 데이터는 시프트하게 된다. n+1~n+3클럭에서는 단계별 8~10bit 덧셈기로 구성되어 그레디언트(gradient)를 x, y 방향으로 구한다. n+4번째 클럭에서는 gradient calculator 부에서 구해진 G_x, G_y 값으로 크기(magnitude)를 계산하고, 동시에 방향각을 얻기 위해 LUT로 값을 전달하여 LUT에서 방향각을 구하도록 구성하였다.

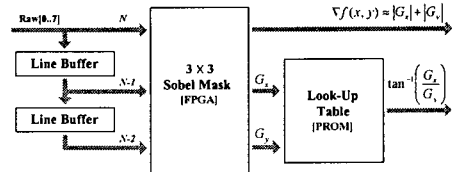


그림 4. 영상 전처리부의 구성

Z ₁	Z ₂	Z ₃
Z ₄	Z ₅	Z ₆
Z ₇	Z ₈	Z ₉

(a) 입력영상의 3×3 영역

-1		1
-2		2
-1		1

(b) G_x 마스크

-1	-2	-1
1	2	1

(c) G_y 마스크

그림 5. 3×3 Sobel 에지 연산자

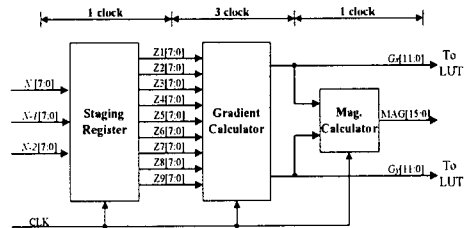


그림 6. 에지 검출기의 구성

Staging register 부는 다음의 그림 7에 나타낸 것과 같이 9개의 래치(latch)로 구성되며, 클럭에 동기하여 8byte 픽셀 데이터를 출력함과 동시에 시프트(shift)할 수 있는 구조로 설계하였다. 3×3 구조의 데이터에서 에지를 검출하려면 처음 2클럭의 주기동안 1열과 2열의 데이터만 있으므로 연산이 불가능하므로 3번째 클럭부터 출력이 가능하도록 제어신호 OE(output enable)의 출력을 이용하였다.

Staging register 부에서 출력된 8byte의 픽셀 데이터로 에지정보를 추출하려면 x, y 방향으로 그레디언트 성분을 구해야 하며, 이는 그림 6에 나타낸 3×3 영역의 각 픽셀의 밝기값과 Sobel 에지 연산자를 이용하여 다음 식 (1)과 같이 영역의 중심위치에서의 에지의 그레디언트 성분을 구할 수 있다.

$$G_x = (Z_3 + 2Z_6 + Z_9) - (Z_1 + 2Z_4 + Z_7)$$

$$G_y = (Z_7 + 2Z_8 + Z_9) - (Z_1 + 2Z_2 + Z_3) \quad (1)$$

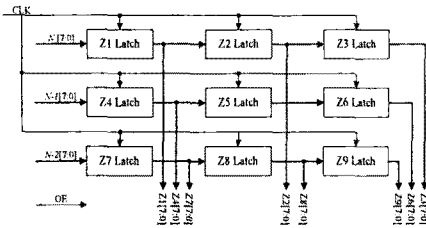


그림 7. Staging register부의 구성

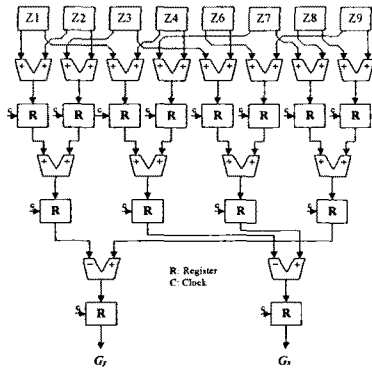


그림 8. Gradient calculator부의 구성

Gradient calculator부의 설계 구조는 그림 8과 같다. 각 단계에서 레지스터를 이용한 것은 클럭에 동기하여 다음 단계로 출력을 하기 위한 것으로 타이밍을 일정하게 하기 위한 것이다. Gradient calculator부에서 출력된 G_x , G_y 의 값은 mag. calculator부에서 그레디언트의 크기값을 얻게 된다. 예지의 크기는 $\sqrt{f(x,y)} = \sqrt{G_x^2 + G_y^2} \approx |G_x| + |G_y|$ 로 근사되므로 다음 그림 9와 같이 mag. calculator부를 구성하였다.

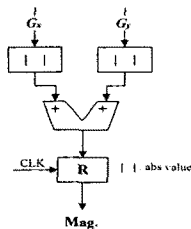


그림 9. Mag. calculator부의 구성

FPGA에서는 영상신호 전처리에 관련된 모든 제어신호를 만들어 영상 메모리를 관리하고, Sobel 에지검출을 수행한 결과물인 크기(magnitude)와 방향정보가 각각 출력된다. 여기에서 방향정보는 arctangent 값으로 출력되며, 이를 FPGA에서 계산시 많은 시간이 소요되므로 록업 테이블을 작성하여 플래시 메모리(flash memory)에 저장 후 사용하였다.

Sobel 에지 연산자를 이용한 전처리과정은 FPGA에서 VHDL로 코딩하고, 합성(synthesis)을 수행하였다. [3] 사용된 FPGA는 Xilinx사의 XCS40 (Spartan™) [7]이며, 전체 CLB수 784개 중 사용된 CLB는 Sobel 연산 및 비디오 디코더, FIFO 제어 등을 수행하더라도 169개의 CLB만을 사용하여 전체 21%만을 사용하였다.

2.3 영상 신호처리부

전체적인 영상처리시스템의 동작을 제어하고, 영상처리를 위한 여러 가지 고급연산을 담당하는 DSP는 Texas Instrument사의 부동소수점 프로세서인 TMS320C6701을 사용하였다. [6] 사용된 DSP는 1,600MIPS의 수행속도를 갖고 있으며, 1.9V의 저전압과 33MHz(또는 40MHz) 기준클럭을 4 체배한 속도에서 동작하고 32비트 명령어, 8 파이프라인 구조로 현재 발표된 DSP 중에서 가장 빠른 제품군에 속한다. 그리고 연산 결과와 중간 과정의 데이터를 저장하기 위하여 SBSRAM(synchronous burst static random access memory)과 많은 양의 영상 데이터를 저장하고, 연산에 사용하기 위하여 속도는 다소 느린 대용량의 SDRAM(synchronous dynamic random access memory)을 함께 사용하였다. 그림 10은 영상 신호처리부의 구성을 나타낸다.

영상 신호처리부는 전처리과정을 통해 출력된 예지의 크기와 방향정보를 이용하여 영상정보추출을 수행한다. 이때 전처리부에서 출력되는 예지의 크기와 방향정보의 데이터 전송경로는 CPU가 관여하지 않고, 주변장치가 직접 메모리 버스를 관리하도록 하여 전송속도를 증가시키는 DMA(direct memory access, DMA)를 이용하였다. TMS320C6701에서는 4개의 DMA 채널을 이용해서 내부 메모리나 주변장치들과 외부 메모리간의 데이터 교환을 가능하게 한다. 본 논문에서는 DMA를 통하여 전처리부에서 생성된 각종 정보를 DSP의 내부 메모리로 전송하였으며, 이는 외부 메모리의 접근에 소요되는 잉여 사이클을 줄여 실시간 처리를 도모한다.

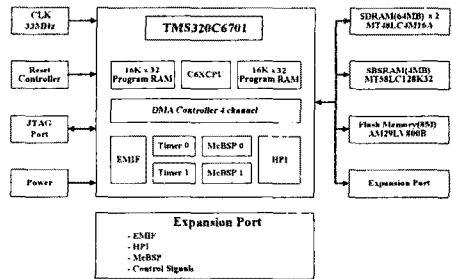


그림 10. 영상 신호처리부의 구성

2.4 영상 출력부

영상처리가 완료된 후, 입력영상과 영상 신호처리결과 등을 모니터링 하기 위한 부분이며, 처리 완료되어 메모리에 저장된 데이터를 디스플레이 하기 위해서는 표준 NTSC 아날로그 신호로 변환하는 과정이 필요하다. 본 논문에서는 그림 11에서 나타낸 것과 같이 두 개의 메모리와 제어회로를 이용하여 메모리 A에서 영상 데이터를 출력하는 동안 메모리 B에서는 영상처리 결과를 저장하도록 하거나 또는 이와 반대로 수행하는 다중화 구조로 하여 실시간 영상처리 결과를 출력할 수 있도록 하였다.

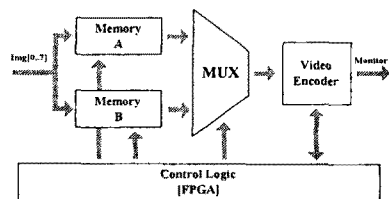


그림 11. 영상 출력부의 구성

3. 영상처리시스템의 하드웨어 구현 및 영상정보추출 적용 실험

3.1 영상처리시스템의 구현 및 처리과정

그림 12는 구현된 영상처리시스템을 나타낸다. 그림에 나타난 것과 같이 영상 신호처리부는 모듈화하고, 나머지 부분은 하나의 기판에 내장하는 구조로 제작하였다. 본 영상처리시스템은 향후 스테레오 및 멀티플(multiple) 영상처리의 확장을 위하여 CCD 카메라의 입력을 3개까지 동시 입력이 가능하도록 범용으로 제작되었으며, 또한 카메라의 동기신호를 직접 제어 가능하다.

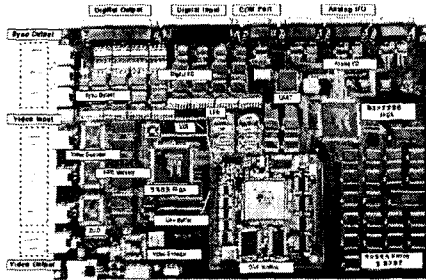


그림 12. 구현된 영상처리시스템

구현된 영상처리 시스템의 전체적인 동작의 흐름을 제어하는 것은 영상 신호처리부 DSP가 담당한다. DSP는 먼저 비디오 디코더가 카메라에서 출력되는 NTSC 아날로그 신호를 디지털 데이터로 변환할 수 있도록 전체 시스템의 동작을 초기화한다.

정보추출을 위하여 영상 신호처리부가 영상입력을 시작하면 카메라로부터 출력된 NTSC 영상신호의 수직 동기신호에 동기하여 비디오 디코더는 디지털 영상 데이터를 출력하고, 이를 FIFO 메모리에 기록한다. 한 프레임의 영상이 모두 FIFO에 저장되면 영상 신호처리부가 다음 영상입력을 명령할 때까지 대기한다. 이때, 영상 신호처리부로부터 명령의 수주 또는 비디오 디코더와 FIFO의 제어신호를 발생하는 등의 실질적인 동작은 전처리용 FPGA가 담당한다.

영상 신호처리부는 비디오 디코더가 한 프레임의 영상 데이터를 모두 출력하여 이를 FIFO 메모리에 저장함을 확인하고, 전처리부에서 원 영상과 에지의 크기, 방향정보 등 전처리 결과를 읽어온다. 전처리부는 DSP의 /RD 신호에 동기하여 영상 입력부의 FIFO 메모리에서 한 픽셀을 읽어 Sobel 에지연산 등 전처리를 수행한 뒤, DSP가 처리결과를 읽을 수 있도록 상태를 유지한다. 전처리가 완료된 영상 데이터가 DSP의 메모리로 전송되면 DSP는 코딩된 알고리즘을 기반으로 영상처리를 수행하며, 이의 결과는 비디오 엔코더를 통하여 출력된다.

3.2 영상정보추출 적용 실험

그림 13은 구현된 영상처리시스템의 응용 예로 도로의 차선정보추출 실험을 수행한 결과를 나타낸다. 그림 13(a)는 카메라로부터 입력된 영상을 나타내고, (b)는 구축된 에지분포함수(EDF)를 나타내며, (c) 및 (d)는 본 시스템에서 Sobel 에지연산의 전처리 과정을 거쳐 생성된 에지의 크기와 방향을 나타낸다. 그림 13(c) 및 (d)를 이용하여 구축한 EDF는 입력영상의 Sobel 에지연산을 통하여 얻어진 방향각에 관련된 에지크기의 히스토그램이며, EDF에서 국부최대점(local maxima point)은 차선의 방향과 일치함을 알 수 있다. 실험결과 양호한 영상의 획득과 더불어 EDF에 기반한 차선정보추출 시스템의 핵심인 에지정보를 신뢰성 있게 추출함

을 알 수 있었으며, 만족할 만한 결과를 나타내었다.

4. 결 론

본 논문에서는 FPGA와 DSP를 사용하여 에지연산에 기반한 영상정보추출 알고리즘을 효율적으로 실시간 수행할 수 있는 온보드 영상처리시스템의 하드웨어를 설계하였다. 이는 저급 영상처리부에 실시간 에지추출이 가능하도록 FPGA를 채택하고, 고급 영상처리는 DSP에서 수행되도록 하는 구조이다. 이러한 구조는 기존 시스템이 실시간 처리를 위해 알고리즘에서 처리해야 할 영상의 영역을 제한하거나, 다중의 프로세서를 사용하여 각자에서 수행된 알고리즘의 결과를 병렬처리하는 구조로 설계된 점과 달리 저비용으로 전체적인 성능을 향상시킨다. 실험결과 구현된 영상처리시스템은 초당 25프레임 이상의 영상처리를 할 수 있는 연산속도를 갖는다. 이러한 처리속도는 오늘날 대부분의 영상처리 분야에서 처리할 정보량의 증가로 인한 실시간의 고속 데이터 처리를 요구하고 있는 실정에서 성공적인 결과라 할 수 있다.

본 논문에서 구현된 영상처리시스템은 CCD 카메라의 입력을 3개까지 동시 입력이 가능하도록 범용으로 설계되어 향후 스테레오 및 멀티플 영상처리에 확장 적용이 가능하다.

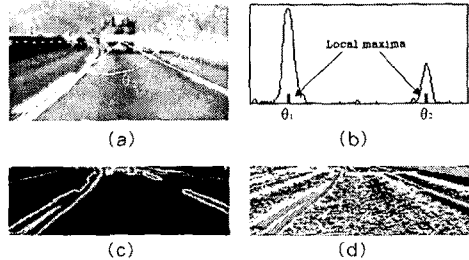


그림 13. 차선정보추출 적용 실험

후 기

본 연구는 한국과학재단의 목적기초연구(R02-2001-00973) 지원으로 수행되었음.

(참 고 문 헌)

- [1] S. Kato, K. Tomita, and S. Tsugawa, "Lane Departure Detection with an Onboard Vision System," *Proc. IEEE Intelligent Vehicles '98*, pp. 74-79, 1998.
- [2] U. K. Yi, J. W. Lee, and K. R. Baek, "Road-Lane Detection Based on a Cumulative Distribution Function of Edge Direction," *Journal of KIEE*, Vol. 11, No. 1, pp. 69-77, 2001.
- [3] D. J. Smith, *HDL Chip Design*, Doone Publications, Madison, AL, USA, 1996.
- [4] H. Johnson and M. Graham, *High-Speed Digital Design*, Prentice Hall, 1993.
- [5] 이운근, 이준웅, 백광렬, 보고 알 수 있는 노이즈의 시험법과 대책, 대영사, 2001.
- [6] Texas Instruments, *TMS320C6701 Floating-Point Digital Signal Processor*, Texas Instruments Ltd., 1998.
- [7] Xilinx, *The Programmable Logic Data Book 2000*, Xilinx, Inc., 2000. E. Beuville, K. Borer, E. Chesni, E.H.M.