

트랜스폰더 전압을 이용한 모듈레이션 회로 및 RF칩 설계

정 세 진 김 태 진
(주) 더즈텍 (주) 더즈텍

A Modulation Circuit and RF Chip Design by Transponder Voltage

Se-Jin Jeong Tae-Jin Kim
DOESTEK Co. DOESTEK Co.

Abstract

RF용 칩 설계에 있어서, Transponder에서 사용되는 칩 전원은 Tranceiver로부터 방사되는 RF Power를 고효율 쇼트키 다이오드를 통하여 정류하여 칩 내부에 캐패시터에 저장하여 내부회로의 동작시 충분한 전류를 제공하게된다. 이 분야의 연구는 칩 정류 효율 향상이라는 목표로 고효율 다이오드개발 및 임피던스 매칭방법과 고효율의 안테나 개발과 더불어 활발한 연구가 계속되어져 왔다.

본 논문에서는 Transponder용 전압을 제공해주는 쇼트키다이오드 더블러(Doubler)의 내부노드에 모듈레이션(Modulation) 트랜지스터 및 Transponder로서의 입력버퍼를 설계함에 있어서, 입력버퍼의 입력으로서 안테나로부터 1차 정류된 전압을 사용할 수 있는 방안을 제시한다. 또한 이를 적용하여 개발된 RF ID(Identification Device)칩의 주파수에 따른 특성 및 결과를 고찰토록 한다.

1. 서 론

점차로 그 활용범위가 커지고 있는 RF ID용 Transponder 는 Interrogator 또는 무선 Reader와 같은 트랜시버와 같이 구성되는 RF ID시스템의 부분으로 별도의 전원이 필요 없는 패시브(Passive)형이 동작거리의 한계에도 불구하고 가격적인 장점으로 인하여 점차 그 영역을 넓혀가고 있는 실정이다. 특히 UHF, 마이크로웨이브 RF ID는 수백Mhz이상 대역을 사용하면 인식거리도 4m이상을 확보한다. 이러한 RF ID용 트랜스폰더는 출입통제, 주차관리시스템을 벗어나 점차 박막형 스마트카드, 전자화폐 등에 그 응용처가 날로 확대되고 있는 실정이다.

본 논문에서는 개발된 RF Chip에 적용된 트랜스폰더 전압을 이용한 모듈레이션 회로 및 입력버퍼로서의 특성을 살펴보고, 그 연구결과를 고찰토록 한다. 또한 개발된 RF Chip의 전반적인 주파수에 따른 특성을 살펴봄, 개발추세에 있는 UHF대역에서 동작하는 RF IC의 국내 설계방향에 도움이 되고자 한다.

2. 본 론

2.1 RF 칩의 구성

본 논문의 RF Chip은 900Mhz 주파수영역 및 2.45Ghz의 영역에서 동작하며 검파회로로 검파 효율을 높일 수 있는 쇼트키 다이오드를 이용한 전압 더블러를 사용한다. 또한 Modulation 노드, 즉 안테나에 연결되어 쇼트키 다이오드의 입력이 되는 부분에 RF power를 1차정류시키는 칩내의 실리콘 다이오드를 사용하여 커맨드의 입력버퍼에 제공하며 EEPROM을 칩 내에 내장하고 있다. <Fig.1>에 칩의 전반적인 블록 다이어그램을 표기하였으며 <Fig.2>는 트랜스폰더 전압을 이용한 모듈레이션 회로 및 입력버퍼의 회로도를 나타내었다. <Fig.3>은 개

발된 칩의 설계조건 및 공정내역 및 칩 특성을 간략히 명시하였으며 0.35um공정으로 설계 및 제작되었다.

2.2 모듈레이션 회로의 원리 및 특성

<Fig.2>의 회로도에는 칩에 적용된 모듈레이션 회로 및 입력버퍼로 5pF는 전압 더블러의 구성요소로 칩 내부에 내장되어 있으며 2K 및 15K의 저항은 Modulation 및 Non-Modulation시 임피던스 매칭 및 검파 효율을 위해 새롭게 적용된 구성요소이다. RF칩의 내부에 Si Tr.을 이용한 다이오드를 내장함으로써 커맨드 입력버퍼의 입력으로 사용하며, 모듈레이션시와 트랜시버로부터의 데이터 Read시의 기본적인 역할을 수행함을 물론이고 모듈레이션 Tr. 다이오드를 통한 칩 전압(VINT)의 검파 효율 향상에도 기여함을 알 수 있다. 이 결과는 <Fig.4>에서 1dbm의 RFIN을 받아 1차 정류된 전압(Buffer In)을 입력으로 사용할 수 있음을 알 수 있으며 <Fig.5>에서는 Modulation용 다이오드의 존재 여부에 따른 VINT의 향상 여부를 보여준다.

또한 Modulation 노드의 반사(S11)의 저하를 방지하기 위한 폴리 저항 및 Tr.로 구성된 저항사용을 적용하여 안테나와의 임피던스 매칭을 용이하게 설계하였다. <Fig.5>에는 900Mhz 주파수영역에서의 S11을 통한 주파수 시뮬레이션 결과를 나타내었다.

2.3 RF칩 특성

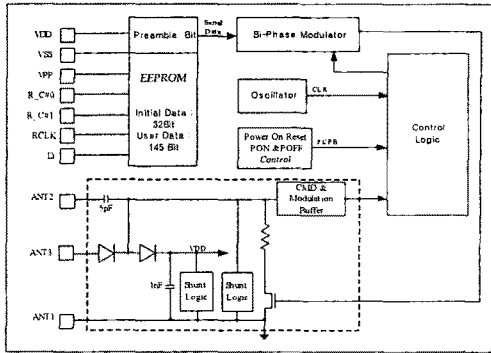
256Bit의 EEPROM이 내장되어 있으며, 64Khz/128Khz의 Data Rate을 가지고 있으며, 칩의 공급전압(VINT)이 2.0V이상에서 동작한다. 시뮬레이션 및 측정결과에 따르면 1dbm의 RF파위에 2.8V의 검파 효율을 보이고 있다. RF칩의 공급전압에 따른 동작여부는 전압 변동에 따른 최소치의 경계가 Power-Up시와 Power-Down시에 히스테리시스 곡선을 가져야하며 본 개발된 칩의 VINT(Power-Up)는 2.0V(PON), POFF=1.8V의 곡선을 갖는다. 이는 올바른 데이터의 전송을 위한 설계이다.

3. 결 론

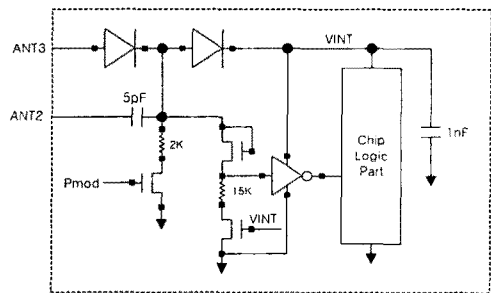
설계 제작된 RF칩에 적용된 트랜스폰더 전압을 이용한 모듈레이션 회로 및 입력버퍼는 시뮬레이션 및 측정을 통해 동작을 확인하였으며, CMOS 기술을 이용한 RF 칩 설계 제작을 통해 RF칩의 초박화 및 UHF대역(860Mhz-930Mhz, 2.45Ghz)의 사용을 가능하게 하였으며 EEPROM을 내장함으로써 Multi-Bit 트랜스폰더의 개발에 성공하였다. 이는 점차 증가되고 있는 마이크로웨이브용 RF ID시장의 국내기술 진입을 의미한다.

[참 고 문 헌]

- [1] Fan Yang, Yahya Rahmat Samii, "A Reconfigurable Patch Antenna Using Switchable Slot for Circular Polarization Diversity", IEEE Microwave and Wireless Components Letters, Vol. 12, No.3, pp. 96, March, 2002
- [2] C. W. Pobanz and T. Itoh, "A Microwave Non Contact Identification Transponder using Subharmonic Interrogation", IEEE MTT-S Digest, pp. 753-756, 1994
- [3] A. Schrei, "Space Diversity and Polarization Diversity Enhance the Performance of 5.8Ghz Radio Link for Traffic Management Systems", IEEE MTT S Digest, pp. 757-759, 1994
- [4] R. A. Flynt, "Low cost and compact active integrated antenna transceiver for system applications", IEEE Trans. Microwave Theory Tech., Vol. MTT44, No. 10, pp. 1642-1649, Oct. 1996
- [5] M. Scott., "A Printed Dipole for Wide-Scanning Array Application", 11th International Conference on Antennas and Propagation, pp.37-40, April 2001



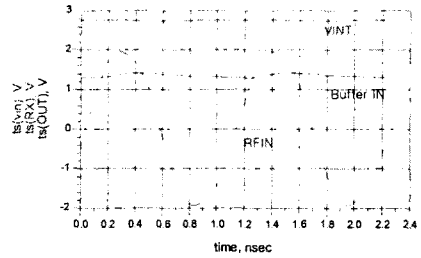
<Fig.1> RF Chip Function Block-Diagram



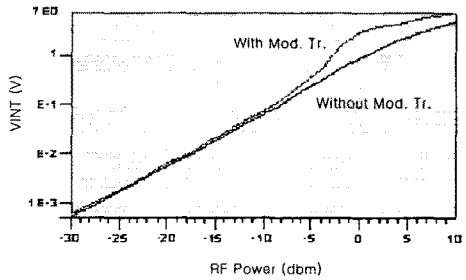
<Fig.2> Detector and Modulation Buffer Block

Process	2P3M 0.35um
Operation Voltage	VDD = 2.0V to 5.0V
Field Frequency	860Mhz - 930Mhz 2.45Ghz
Data Rate	64Khz to 128Khz

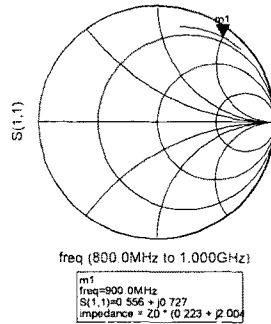
<Fig.3> Design Table and Chip Specification



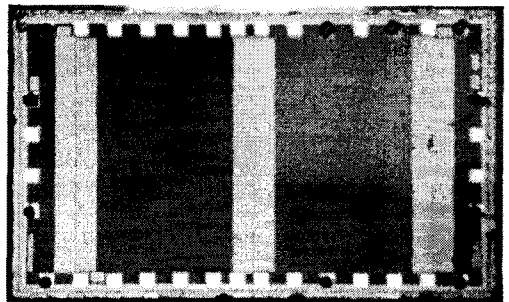
<Fig.4> Modulation Buffer Simulation Result (Input Power @1dbm)



<Fig.5> Comparison Simulation Result



<Fig.6> S-parameter Simulation Result



<Fig.7> Chip Photo