

【T-01】

Pulsed laser deposition(PLD)법과 rapid thermal oxidation (RTO)법으로 성장시킨 nc-Ge의 전기적 특성 연구

정혜정, 박경화, 김용, 정태훈, 이재열, 박홍준, 방석현*, 조진형*

동아대학교 신소재물리학과, *부산대학교 물리학과

p-Si 기판 위에 1000°C에서 10초 동안 Rapid thermal oxidation(RTO)법으로 Tunnealing oxide (~3nm)를 형성시킨 후 Pulsed Laser Deposition(PLD)법에 의해 0.025Å/s(2Hz)의 증착율로 12분 동안 amorphous-Ge(~4nm)을 성장시킨 다음, 연속적으로 0.0153Å/s(10Hz)의 증착율로 amorphous-Si(~20nm)을 성장시켰다. 이 시료를 1000°C에서 30초 동안 급속 열처리 산화시켜 SiO₂/nc-Ge/p-Si 구조를 형성한 다음, 시료 위에 Al 막을 증착함으로써 SiO₂ 내부에 Ge 나노결정이 함유된 MOS(metal-oxide-semiconductor) 구조를 완성하였다.

이 MOS 구조내의 Ge 나노결정의 전하충전 특성을 알아보기 위해 capacitance-voltage(*C-V*)를 20V/s~0.08V/s의 sweep 비율로 측정하였다. 그 결과 Si 나노결정을 포함한 MOS구조에서 관측한 바와 같이,⁽¹⁾ 유사한 C-V hysteresis 현상을 관측할 수 있었다. 본 연구에서는 C-V hysteresis의 새로운 해석방법으로 CREVERSE - CFORWARD에 대한 바이어스와의 관계를 조사하였다 (그림 1). Step time에 따른 trap denisty⁽²⁾의 변화를 관측한 결과 (그림2), step time이 5초 미만일 경우 (20V/s~0.02V/s)는 fast decay 특성을 보이는 반면에 5초 이상일 경우(0.04V/s~0.08V/s)는 decay 특성을 관측할 수 없었다. Fast decay 특성은 시료 제작 과정(thermal stress, cleaning)에서 생성된 interface trapped charge, mobile ionic charge 등의 외부적인 원리와 관련이 있으며, decay 가 정지 한 부분은 Ge 나노결정에 충전된 전하 때문으로 판단된다. 그림 3에 나타낸 바와 여러 가지 피크가 관측되고 피크의 상대적인 크기가 step time에 따라 변화한다. 이는 Ge 나노결정에 형성된 양자준위와 깊은 관련이 있는 것으로 생각된다.

그리고 이 시료의 구조를 알아보기 위해 Transmission Electron Microscopy(TEM)을 관측한 결과 Si 계면 가까이 SiO₂ 내부에 Ge 나노결정(~4nm)이 형성되었음을 관측하였다(그림4).

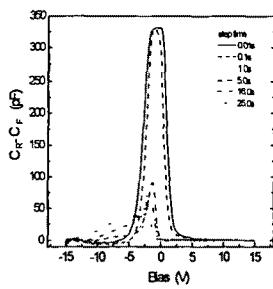


그림 1.

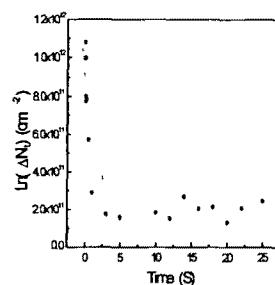


그림 2

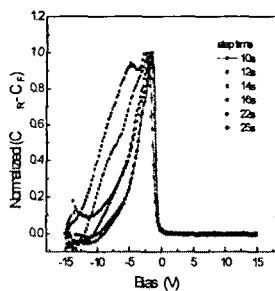


그림 3.

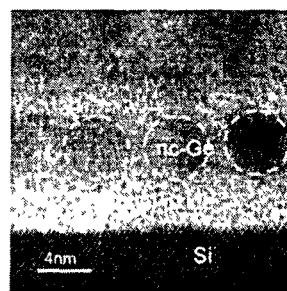


그림 4.

[참고 문헌]

- Y. Kim, K. H. Park, T. H. Chung, H. J. Bark, and J. Y. Yi, Appl. Phys. Lett. **78**, 934(2001).
- D. M. Fleetwood and N. S. Saks, J. Appl. Phys. **79**, 1583(1996).