

증착방법에 따른 HfO_2 게이트 유전막의 특성

유정호*, 남석우**, 김민주*, 이동원*, 최효직*, 고대홍*

*연세대학교 세라믹공학과, +삼성전자 반도체연구소

반도체 소자의 고집적화 및 고속화가 요구됨에 따라 MOSFET 구조의 게이트 유전막으로 사용되어 왔던 SiO_2 의 두께를 감소시키려는 노력이 이루어지고 있다. 향후 $<0.1\mu\text{m}$ 급 소자를 위해서는 $10\sim15\text{\AA}$ 이하의 두께를 갖는 SiO_2 가 요구되는데, 이러한 두께 감소는 게이트 누설 전류, boron penetration, 다결정 실리콘 게이트의 공핍효과 등의 문제점을 나타낸다. 이러한 한계를 극복하기 위해 절연성이 뛰어나고 유전율이 높으며 유전 손실이 적은 고유전 물질의 개발이 시급하게 요구되고 있다. 고유전 재료는 SiO_2 에 비하여 상대적으로 두꺼운 두께로 동일한 반전층 특성을 유지할 수 있고, 캐리어 터널링을 줄일 수 있어 EOT(Equivalent Oxide Thickness)를 더욱 축소시킬 수 있다는 장점이 있다. 이러한 고유전 박막 재료 중 가장 활발히 연구되고 있는 재료는 Ta_2O_5 , Al_2O_3 , STO 그리고 BST 등이 있으나 Ta_2O_5 , STO, BST 등은 실리콘 기판과 직접 접촉시 계면에서 상호확산으로 반응을 일으켜 이를 방지하기 위한 방어막(buffer layer)이 필요한 것으로 보고되고 있으며, Al_2O_3 는 유전율이 낮다($K\sim10$)는 문제를 가지고 있다. 그러므로 실리콘과 열역학적으로 안정한 ZrO_2 , HfO_2 또는 그 silicates 등의 재료가 최근 관심을 끌고 있다. 본 연구에서는 HfO_2 박막의 증착방법에 따른 미세구조 변화 및 전기적 특성 변화에 대한 연구를 수행하였다.

RCA방법으로 세정한 p-type (100) 실리콘 기판 위에 세가지 다른 방법으로 HfO_2 박막을 증착하였다. 증착은 아르곤과 산소의 혼합분위기에서 reactive DC magnetron sputtering 법, Hf의 barrier 층을 형성 후 reactive sputtering 법 그리고 Hf metal 증착 후 RTA 법으로 실시하였다. 또한 열처리를 하여 증착 직후의 시편들과 열처리한 HfO_2 박막의 미세구조 및 전기적 특성 변화를 관찰하였다. 이를 위해, ellipsometry, XRD, XPS, AES, TEM, AFM를 사용하여 굴절률 및 두께, 상변화, binding energy 변화, 조성변화, 계면층의 특성 등의 미세구조를 관찰하였으며, MOS 캐패시터 구조를 형성하여 C-V 및 I-V 특성의 측정을 통해 capacitance, 유전율, 누설전류 등의 전기적 특성을 관찰하였다.