

[22-T04]

후속 열처리에 따른 W/WN_x/poly Si_{1-x}Ge_x의 계면 반응 및 W/WN_x/poly Si_{1-x}Ge_x MOS Capacitor 구조의 전기적 특성 분석

강성관, 김재진, 고대홍, *강한별, *양철웅, **안태항, **여인석, ***이태완, ***이영호

Yonsei Univ, Dept of Ceramic Eng.;

*Sung kyun kwan univ. School of metallurgical and materials eng.;

**Hyundai Electronics Industries Co. Ltd.;

***Ju-sung Co. Ltd..

최근 ULSI device에서 design-rule의 감소에 따라 DRAM 소자에서의 buried channel 문제, logic소자에서의 gate poly depletion effect, boron penetration 등의 문제가 나타나고 있으며, 이러한 문제를 해결하기 위하여 metal gate와 dual poly gate에 대해 많은 연구가 진행되고 있다. 하지만 게이트 재산화 공정을 비롯한 기존의 Si 공정과의 호환성 문제와 게이트 산화막으로의 B penetration 및 N⁺, P⁺ polycide interconnect의 lateral diffusion등의 문제로 인해 기존의 poly Si을 대체할 수 있는 새로운 물질이 요구되고 있다. 또한 기존의 metal silicide/poly Si 게이트 전극의 사용은 sub-micrometer 이하의 소자에서 RC-delay를 크게 증가시켜 소자의 속도를 저하시키는 단점을 보이고 있으며, 이러한 문제의 해결을 위해 Metal/barrier/poly 구조의 게이트 전극에 관한 연구가 최근 들어 많이 보고되고 있다.

본 연구에서는 기존 poly Si의 단점 및 metal silicide/poly Si 게이트 구조의 단점을 보완하기 위하여, metal/barrier/poly SiGe 게이트 구조를 제시하고자 한다. Poly SiGe 게이트 물질의 경우, 낮은 비저항과 Ge 함량 변화에 따른 일함수의 조절 가능성 그리고 기존 Si 공정과 호환이 가능하다는 장점이 있으며, metal/barrier/poly 게이트 구조의 경우 기존의 metal silicide에 비해 저저항의 게이트를 형성할 수 있으며, 특히 metal/barrier 물질로서 W/WN_x를 사용하여, 기존에 보고된 W/TiN 보다 낮은 비저항을 얻고자 하였다.

본 연구에서 제시한 W/WN_x/Poly SiGe 게이트 전극 구조의 소자로의 사용 가능성을 확인하기 위하여, 후속 열처리에 따른 계면 현상 및 전기적 특성을 TEM, AES, XPS와 4-point probe를 이용하여 관찰하였으며, W/WN_x/poly SiGe게이트 전극을 이용한 MOS capacitor를 제작하여 C-V, I-V의 전기적 특성 및 산화막의 신뢰성 특성을 관찰하였다.