

(Sr · Ca)TiO₃계 세라믹의 유전 및 V-I 특성에 관한 연구

Study on the Dielectric and Voltage-Current Properties of (Sr · Ca)TiO₃-based Ceramics

강재훈^{*}, 최운식^{*}, 김태완^{**}, 송민중^{***}

(Jae-Hun Kang^{*}, Woon-Shik Choi^{*}, Tae-Wan Kim^{**}, Min-Jong Song^{***})

Abstract

In this paper, the Sr_{1-x}Ca_xTiO₃ (0 ≤ x ≤ 0.2)-based grain boundary layer ceramics were fabricated to measured dielectric properties and voltage-current properties. The sintering temperature and time were 1420~1520°C, 4hours, in N₂ gas, respectively. The structural and the dielectric properties were investigated by SEM, X-ray, HP4194A and K6517. The 2nd phase formed by thermal diffusion from the surface lead to a very high apparent dielectric constant, ε_r > 50000. X-ray diffraction patterns exhibited cubic structure for all specimens. Increasing content of Ca, the peak intensity were decreased.

Key Words : grain boundary layer, sintering temperature, dielectric properties, SEM, X-ray

1. 서론

IT 산업의 발달과 함께 휴대용 단말기, 통신용 전자부품으로 이용되는 유전체 세라믹은 소형화, 고성능화, 다기능화의 요구가 점점 증대되고 있으며 이에 따라 고유전율, 저손실 유전체 사용이 중요하게 되어 다양한 연구가 진행되고 있다. 이에 부응하는 전자부품의 하나로서 입계절연형 반도체 세라믹 캐패시터를 들 수 있다. 입계 절연형 세라믹 캐패시터는 1961년 영국의 R. M. Glaister에 의해서 최초로

제조되었으며, 1963년 Waku, Murakami에 의해 겹보기 유전율이 24000을 갖는 SrTiO₃를 기본으로 한 BL 고주파 캐패시터가 발견되었다. 그후, Yamaoka는 50000 이상의 높은 유전율을 갖는 캐패시터를 제작 상용화 시켰으며, 다양한 첨가물이 혼합된 SrTiO₃계에 대한 지속적인 연구결과 겹보기 유전율이 100,000 이상까지 향상되었다.

본 연구에서는 복합기능성 소자(MFC)로서 고용량성 바리스타를 개발할 목적으로 (SrCa)TiO₃계 반도체 세라믹을 다양한 소결온도에서 제작한 후, 표면으로부터 CuO를 열확산 시킴으로서 입계 절연형 세라믹 캐패시터를 제작하였으며, 미세구조의 변화가 유전 특성에 미치는 영향과 표면으로부터 금속산화물의 열확산 온도에 따른 유전특성 등에 대하여 고찰하였다.

^{*} 대불대학교 전기공학과

(전남 영암군 삼호면 산호리,

Fax : 061-469-1265

E-mail : kangjh@mail.daebul.ac.kr)

^{**} 홍익대학교 물리학과

^{***} 광주보건대학 의료정보공학과

2. 실험

2.1 시편제작

본 연구에서는 $Sr_{1-x}Ca_xTiO_3$ ($0 \leq x \leq 0.2$) 입계 절연형 세라믹 커패시터를 일반 소성법으로 제조하기 위하여, 출발원료로 순도 99.9% 이상의 $SrCO_3$, $CaCO_3$, TiO_2 , Nb_2O_5 와 액상 소결재로 미량의 SiO_2 를 사용하였다. 각 원료를 조성식에 따라 $10^{-4}g$ 까지 칭량한 후 아세톤을 분산매로 하여 알루미늄아 유발에서 충분히 혼합·분쇄하였으며, 혼합물은 오븐에서 건조 후 시료를 알루미늄아 도가니에 넣어 $200^\circ C/h$ 의 승온 속도로 $1150^\circ C$ 에서 2시간 동안 하소하였다. 하소시킨 분말은 성형밀도를 높이기 위해 2.5wt%의 유기결합제와 혼합한 후 80메쉬의 체를 통과시켜 조립화 하였으며, $\phi 20mm$ 의 금형을 사용하여 $1500kg/cm^2$ 의 압력으로 성형하였다. 성형한 시료는 반도체 세라믹스를 얻기 위하여 $1420 \sim 1520^\circ C$ (N_2 분위기)에서 4시간동안 소결하였다. 소결한 시편은 양면을 균일하게 연마하여 일부는 반도체 In-Ga합금을 부착하여 세라믹스의 저항률을 측정하였으며, 일부는 BL구조를 얻기 위하여 금속 산화물(CuO)을 $1150^\circ C$ 에서 2시간 열확산하였다. 열확산 시킨 시편의 양면을 평행이 되도록 연마한 후 전기적 측정을 위하여 은전극을 $650^\circ C$ 에서 20분간 소결 부착하였다. 시편의 제작공정을 그림 1에 나타낸다.

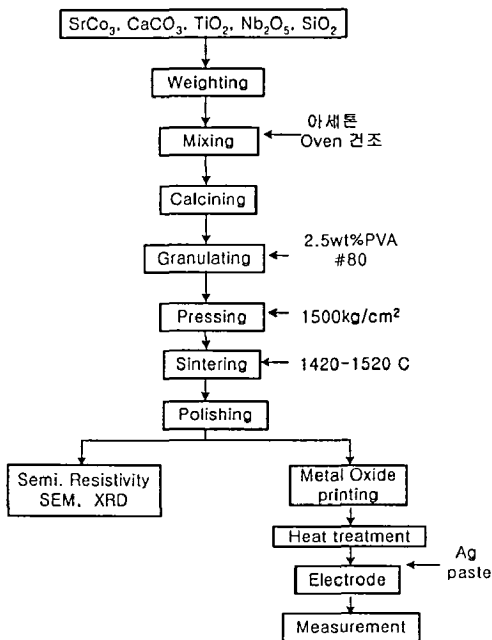


그림 1 시편의 제작공정

2.2 측정

소결온도 및 x 의 변화에 따른 시편의 미세구조 변화는 SEM을 이용하여 관찰하였다. 반도체 세라믹스의 평균 결정립 크기는 intercept법에 의하여 측정되었다. 또한, 소결온도 및 조성 변화에 따른 결정구조의 변화 및 고용체 형성과정을 고찰하기 위하여 $2\theta = 20 \sim 80^\circ$ 에서 X-ray 회절분석을 하였다.

열처리 시편의 정전용량과 손실계수는 HP4194A Impedance Analyzer를 사용하여 1kHz에서 측정한 후, 측정된 정전용량을 이용하여 $\epsilon_r = Ct/\epsilon_0 A$ 식에 의하여 각 시편의 비유전율을 계산하였으며, 조성 및 소결온도의 변화에 따른 반도체 시편의 비저항은 고저항 미터(KEITHLEY 6517 Electrometer)를 사용하여 측정하였다.

3. 결과 및 고찰

그림 2와 그림 3은 소결온도와 x 의 변화에 따른 시편의 SEM 사진을 나타낸 것이다. 그림 2에서 소결온도가 증가함에 따라 결정립이 성장하고 있으며, 치밀해지고 있음을 알 수 있다. 그림 3에서 Ca치환량이 0~15mol%까지는 평균 결정립의 크기는 감소하나 그 이상 첨가시 결정립이 성장하며 불규칙한 분포를 나타내고 있으며, 이와 같은 미세구조의 변화는 최종 시편의 비유전율 및 유전손실 등 전기적 특성에 영향을 미칠 것으로 생각된다.

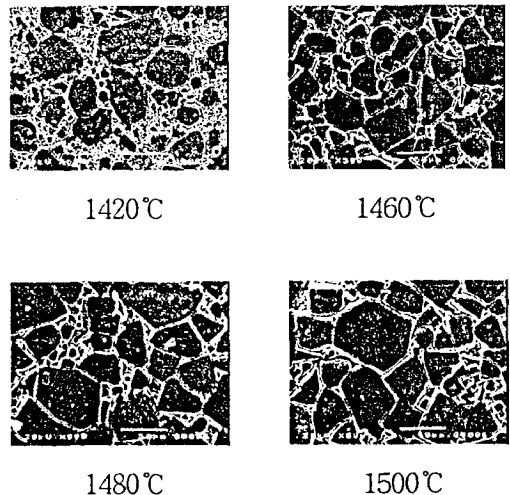


그림 2 소결온도에 따른 SEM 사진($x=0.1$)

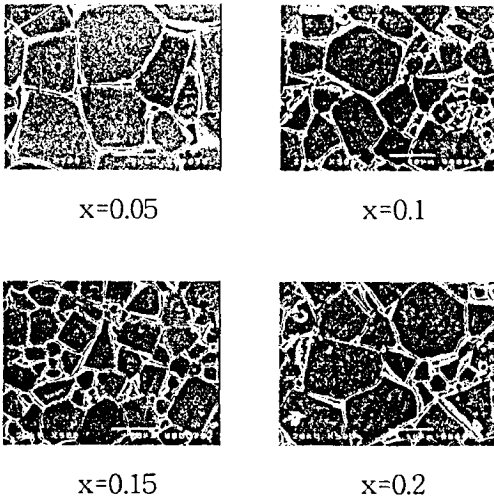


그림 3 Ca 치환량에 따른 SEM 사진(1500°C)

그림 4는 x의 변화량에 따른 X선 회절 분석 결과이다. 보고에 의하면 $Sr_{1-x}Ca_xTiO_3$ ($0 \leq x \leq 1.0$)의 결정구조는 x의 증가에 따라 cubic에서 orthorhombic으로 서서히 변화해 간다고 하였으나 본 연구에 사용된 $Sr_{1-x}Ca_xTiO_3$ ($0 \leq x \leq 0.2$)는 cubic 구조를 형성하고 있음을 알 수 있다. 또한, x가 증가함에 따라 새로운 peak가 나타나지 않는 것으로 보아 치환된 Ca는 Sr과 고용체를 형성하고 있는 것으로 생각된다.

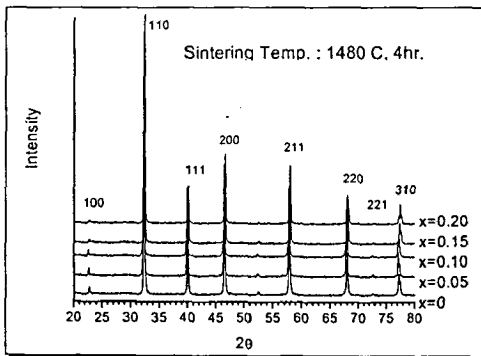


그림 4 x의 변화에 따른 X선 회절

입계층 세라믹에서는 반도체 시편의 저항률이 작을수록 유효 유전층으로 작용하는 입계층의 두께가 얇아지므로 같은 조건에서 고용량의 캐패시터용 재료를 얻을 수 있으며, 반도체 시편의 비저항은 최종

입계절연형 세라믹 캐패시터의 전기적 특성에 큰 영향을 미치게 된다는 것을 고려할 때 우수한 반도체 세라믹을 얻기 위한 환원 분위기 조성이 중요하다는 것을 알 수 있다. 그림 5에 소결 온도에 따른 반도체 시편의 저항률을 나타낸다. 반도체 시편의 비저항은 소결 온도에 따라 1480°C까지는 급격히 감소하며 1480°C ~ 1500°C에서 안정된 후 1520°C에서 소결시 급상승하고 있다.

일반적으로 (Sr,Ca)TiO₃계 세라믹을 반도체화제와 함께 환원분위기(H₂/N₂) 중에서 소결할 경우 10⁰~10¹[Ωcm] 정도의 반도체 세라믹을 얻는 것으로 알려져 있다. 본 연구에서는 N₂만의 분위기로 소결한 결과 H₂/N₂ 분위기보다 환원성이 약하였으나 10¹~10²[Ωcm] 정도의 비교적 양호한 비저항값을 얻었다

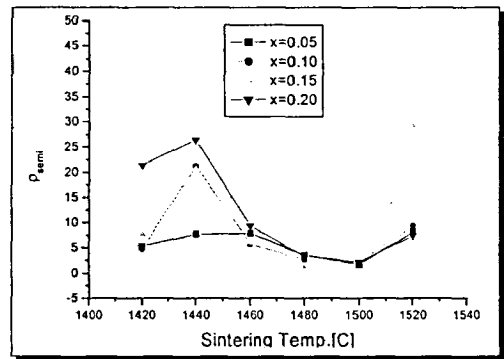


그림 5 소결온도에 따른 반도체 저항률

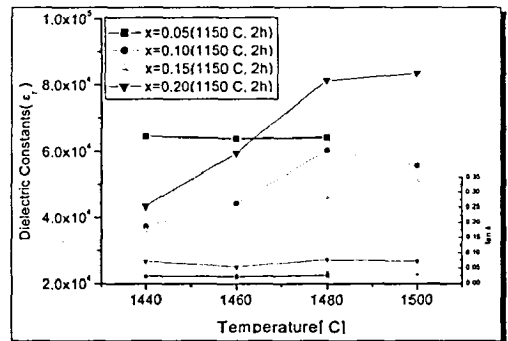
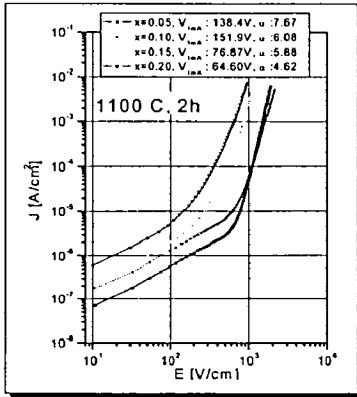


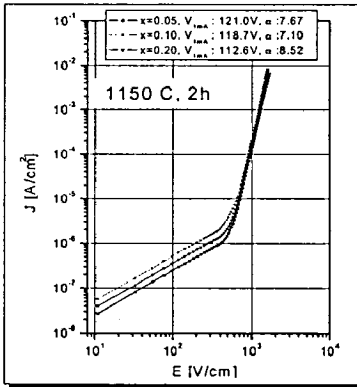
그림 6 소결온도 및 Ca 치환량에 따른 유전특성

그림 6은 1150°C에서 2시간 표면으로부터 CuO를 연화산 시킨 시편의 소결 온도 및 Ca 치환량에 따른 유전특성의 결과이다. 소결 온도가 증가함에 따라서 x=0.05는 거의 변화가 없으나 x=0.1이상인 경우 유전율이 점차 증가하고 있으며, 이는 SEM 사진으로부터 알 수 있듯이 소결 온도가 증가함에 따라서 평균

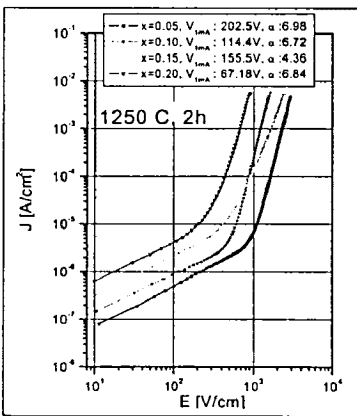
결정립 크기가 증가하므로 상대적으로 유전층의 두께가 감소하여 유전율이 상승하는 것으로 생각된다.



(a)



(b)



(c)

그림 7 열확산 온도와 Ca 치환량에 따른 E-J 특성

그림 7은 열확산 온도와 Ca 치환량에 따른 전압-전류 특성곡선을 나타낸 것이다. 그림으로부터 누설 전류(0.8V_{1mA}의 전류)는 1150°C, 2h에서 열처리 한 시편에서 대체로 작게 나타났으며, 바리스터 특성의 양부를 결정짓는 요소인 전압-전류의 비선형 계수 (α)도 1100°C, 1200°C에서 열처리한 시편보다 우수한 특성을 나타내었다.

4. 결론

$\text{Sr}_{1-x}\text{Ca}_x\text{TiO}_3$ ($0 \leq x \leq 0.2$) 입계 절연형 세라믹 커패시터를 제작하여 유전특성 및 전압-전류 특성을 연구한 결과 다음과 같은 결론을 얻었다.

1) 평균 결정립은 소결 온도에 따라서 증가하였으며, Ca의 치환량에 따라서는 감소하였다.

2) Ca 치환량이 0.05~0.15인 시편에서 유전율이 >50000, $\tan \delta < 0.05$, $\Delta C \pm 10\%$ 의 유전 특성을 얻었다.

3) 1150°C, 2h에서 열처리한 시편에서 $\alpha > 7$ 의 비선형 특성을 얻었다.

이상과 같은 결론으로부터 고용량 바리스터로 응용되기 위한 비유전율은 비교적 양호한 값을 얻었으나, 바리스터의 성능지수인 α 값을 상승 시키기 위한 연구가 진행되어야 할 것으로 사료된다.

참고 문헌

- [1] T.Hirata, K.Ishioke and M. Kitajima, "Vibrational Spectroscopy and X-ray Diffraction of Perovskite Compounds $\text{Sr}_{1-x}\text{M}_x\text{TiO}_3$ (M=Ca, Mg; $0 \leq x \leq 1$)", J. Solid State Chem., 124, 353-359, 1996
- [2] Yoshitaka Nakano, Masamitsu Watanabe, and Tomoharu Takahashi, "Investigation of interface states in (Sr, Ca)TiO_{3-x}-based ceramics", J. Appl. Phys., 70[3], 1539-1547, 1991
- [3] Nobutatsu Yamaoka, Masaru Masuyama, and Masami Fukui, "SrTiO₃-Based Boundary Layer Capacitor Having Varistor Characteristics", Ceramic Bulletin, 62[6], 698-703, 1983
- [4] Takahiro TAKADA et al., "The Effects of Additives for a (Sr, Ca)(Ti, Nb)O₃ Boundary Layer Capacitive-Varistor on the Microstructure and Electronic Properties", J. Am. Ceram. Soc. 103[3] 251~256, 1995.