

## 폴리백 두께가 전기적 특성에 미치는 영향

### Influence of Electrical Properties due to the Poly Back Thickness

김형주, 송정우, 신종열\*, 홍진웅

Hyung-Joo Kim, Jung-Woo Song, Jong-Yeol Shin\*, Jin-Woong Hong

#### Abstract

To estimate the influence of electrical properties due to the poly back seal(PBS), we were investigated defect density in surface by deposition thickness and breakdown voltage in specimens. Deposition thickness of specimen is prepared from 7,000[Å] to 13,000[Å], respectively. From the results, it is confirmed that PBS deposition thickness of 10,000[Å] among the specimen is decreased defect density by contribution of the gettering effect.

**Key Words** : poly back seal(PBS), defect density, deposition thickness, breakdown voltage, getter effect.

#### 1. 서론

최근에 전자기기의 고 기능화와 더불어 전력용 반도체 성능의 고성능화 추세에 따라 불순물을 도핑(doping)하는 기술도 여러 가지 사용되고 있다. 전력용 소자의 내압 구현을 위해서는 설계나 공정상의 여러변수가 있겠으나 그 중 하나는 깊은 접합(deep junction)에 의해 곡률 반경을 크게 하여 접합코너(junction edge)의 전계집중을 감소시켜 내압 구현하기 위해 고온 장시간의 확산공정 방법이 쓰이고 있다. 실리콘 소자의 비정상적 동작의 대부분은 공정 중 발생한 결함과 결정격자 결함의 미묘한 상호작용

에 의한 것이며, 이들은 특히 바이폴라 회로를 만들 수 있는 회로의 복잡성을 제한하는 요소가 된다.

일반적으로 웨이퍼의 결함은 크게 웨이퍼 고유의 내부적인 영향과(intrinsic effect) 반도체 공정 진행 중 발생하는 외부 영향(extrinsic effect)에 기인한 결함으로 나뉘는데 본 논문에서는 인위적인 게터링(gettering)층에 따른 결함과의 관계를 기술하고자 한다. 결함 게터링을 위해 웨이퍼 뒷면에 폴리실리콘(polysilicon)을 침적, 형성하고 전체 공정 진행후 폴리 실리콘 두께에 따른 웨이퍼의 결함 분포와 상관된 소자의 전기적 특성과 웨이퍼의 표면상태와 이에 따른 물성을 분석하였다.

광운대학교 전기공학과  
(서울시 노원구 월계동 광운대학교,  
Fax: 02-915-4630  
E-mail:ealab@daisy.gwu.ac.kr)

\* 삼육의명대학 자동차과

#### 2. 시료 및 실험

##### 2.1 시료

부유대역(floating zone)방법으로 만들어진 두께

300[ $\mu$ m]웨이퍼를 단위 샘플로 선정하여 900[ $^{\circ}$ C]에서 약 30[ $min$ ]간 H<sub>2</sub>O<sub>2</sub> 분위기 tube안에서 산화공정을 하여 감광액을 도포한후 진공 챔버안에서 30분 동안 하드 베이크하고 웨이퍼 뒷면의 SiO를 제거한후 다시 감광액을 제거한다.

폴리실리콘을 두께 7,000[ $\text{A}$ ], 10,000[ $\text{A}$ ], 13,000[ $\text{A}$ ]으로 LPCVD로 SiH<sub>4</sub> gas 분위기로 침적한다. 다시 선택적으로 웨이퍼 앞면을 건식 에칭하고 다시 SiO<sub>2</sub>를 제거하여 Polysilicon을 만들었고 초기의 웨이퍼를 원시료 Wafer라 칭한다.

n type diffused 웨이퍼에 산화막을 형성 시킨후 p type 사진공정을 통해 p type 소스를 침적한다. 1,200[ $^{\circ}$ C]이상의 고온에 약 30시간 동안 dry 분위기에서 확산공정을 하고 곧바로 wet 분위기에서 산화공정을 한다. 그리고 contact를 한후 메탈 침적을 하여 만든 600[V]급 전력용 다이오드를 기본시료로 측정하였다.

## 2.2 실험

항복 전압 측정은 Tektronix . Co 370 curve tracer를 이용하여 상용전원을 전파정류한 맥류를 인가하여 측정하였다.

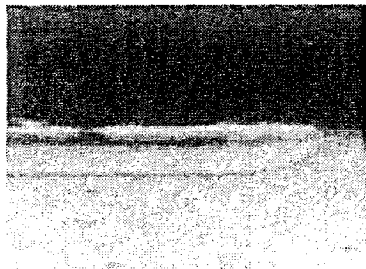


사진 1. 시료의 단면

시료는 공정 완료된 웨이퍼를 조립하여 anode단에 (-)를 cathode 단에 (+)를 인가한 형태의 역 bias를 인가하고 서서히 bias전압을 상승시켜, 그때의 전압 증가에 따른 전류값을 측정하였고, 기본시료 <111> 구조 웨이퍼의 결정결함을 분석하기 위해 다이오드 공정진행후 SIRTTL(50[g] CrO<sub>3</sub> + 100[ml] H<sub>2</sub>O : HF 48[%] 비율 1:1로 혼합, 3.5[ $\mu$ m/min]의 에칭율) 에칭으로 시료를 처리하여 웨이퍼의 표면과 벌크(Bulk) 내부의 결함(defect)을 분석하였다.

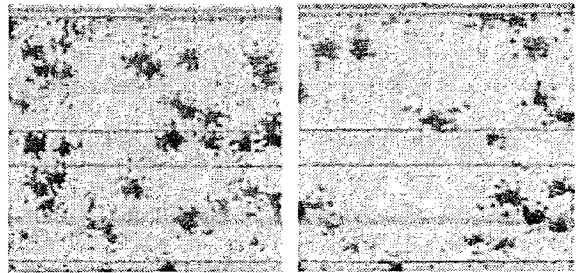
웨이퍼내의 defect의 구조와 물질성분을 조사하기 위하여 전자 주사 현미경(Scanning Electron Microscopy ; 이하 SEM, HITACHI Co., Model : S-4500)과 에너지 분산 X-ray 분광계(Energy Dispersive X-ray Spectrometer ; 이하 EDS)를 이

용하였으며, 오제이 전자분광 분석기(Auger Electron Spectroscopy ; 이하 AES, PHI Co., Model : PHI-680)를 이용하였고 사진 1은 PBS공정을 마친 시료의 단면사진이다.

## 3. 실험결과 및 검토

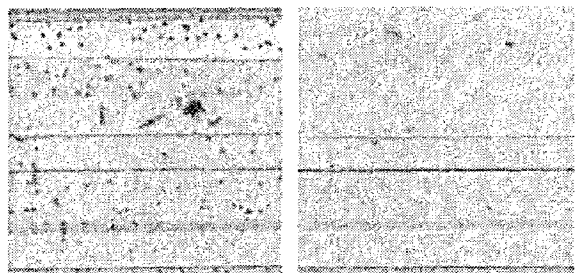
### 3.1 물성분석

사진 2는 600[V]급 전력용 다이오드 공정 진행후 SIRTTL 에칭후 표면을 나타낸 사진으로써 (a)는 원시료를 (b)는 두께 7,000[ $\text{A}$ ], (c)는 10,000[ $\text{A}$ ] (d)는 13,000[ $\text{A}$ ]를 나타낸 사진이다. (a)사진에서 나타난 원시료 웨이퍼에서의 많은 결점 밀도들이 (b) 7,000[ $\text{A}$ ]에서 감소하는 것을 볼 수 있다. (c) 와 (d)에서 확실히 크기와 결함밀도가 줄어드는 것을 알 수 있다.



(a) 원시료

(b) 7,000[ $\text{A}$ ]



(c) 10,000[ $\text{A}$ ]

(d) 13,000[ $\text{A}$ ]

사진 2. 시료 표면의 전자주사현미경

### 3.2 벌크 미소 결함

사진 3은 원시료 웨이퍼와 각 두께별로 측정된 벌크 미소 결함을 관찰한 것으로 좌측 그림은 웨이퍼의 중심(center) 부근을 측정된 것이며, 우측은 끝(edge) 부근을 측정된 결과인데, 이는 확산공정 진행시 웨이퍼를 boat에 실려서 tube 안으로 왕복 운동을 하게 된다.

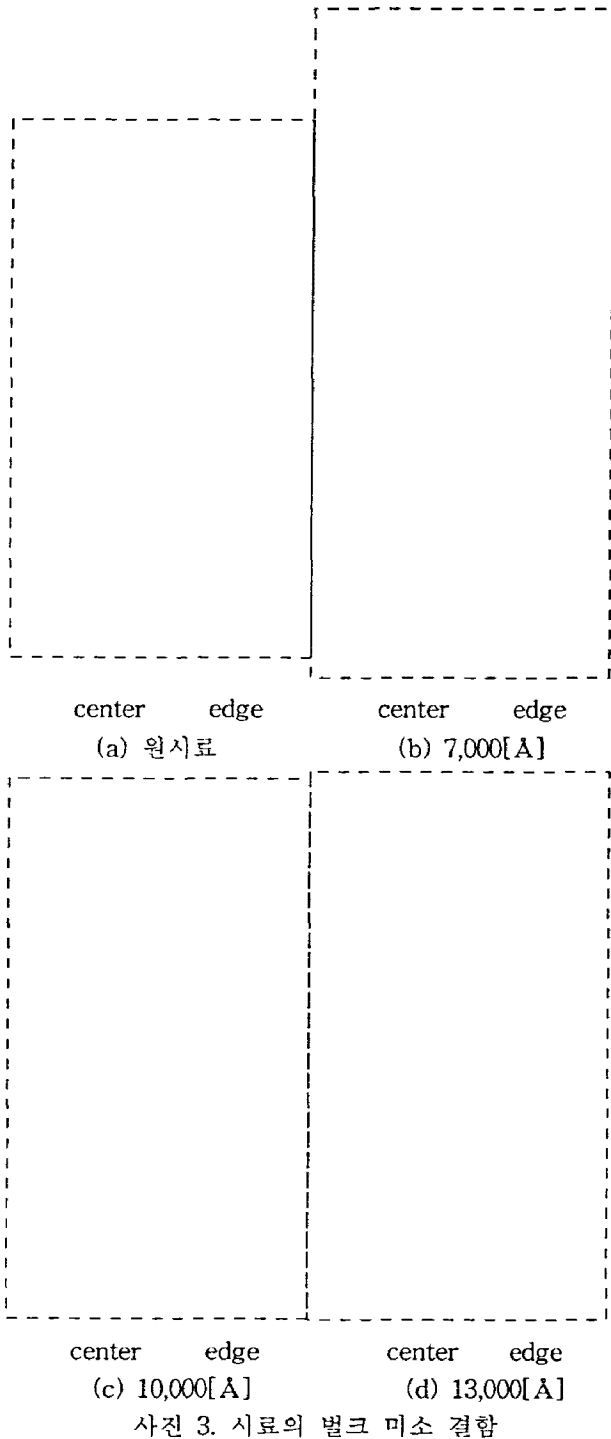


사진 3. 시료의 벌크 미소 결함

(a)에서 웨이퍼는 들어갈 때 웨이퍼는 끝(edge) thermal stress를 받게 되고 tube를 빠져 나올때는 들어갈때와 반대의 thermal stress를 받게 되므로 측정은 웨이퍼에서 크게 두 곳을 측정한다. 사진에서 알 수 있듯이 표면에서 25~45[um]사이에서 사이즈가 큰 결함 (defect)들이 발견되었고 결함(defect)들

의 대부분이 표면에서 50[um]부근에 밀집되어 있는 것을 볼 수 있었고, (b)는 7,000[Å] 웨이퍼로 사진에서 알 수 있듯이 원시료 웨이퍼에 비해 25~45[um] 사이의 결함(defect)들이 현저히 줄어들었고 원시료 웨이퍼와 유사한 50[um] 부근에 결함(defect)들이 밀집되어 있고 50~125[um]까지 결함들이 넓게 퍼져 있는 걸 볼 수 있다. (c)는 10,000[Å] 웨이퍼로서 25~45[um]사이에서의 결함(defect)들이 감소하였고 50[um] 부근에 결함(defect)들이 밀집되어 있으나 50~125[um] 사이에 결함(defect)들이 7,000[Å] 웨이퍼 보다 넓게 분포되어져 있는 걸 알 수 있으며 (d)에서는 13,000[Å] 웨이퍼로서 앞선 사진에서 본 표면에서 45[um] 사이의 결함(defect)들의 수가 현저히 감소된 것을 알 수 있고 50[um]부근의 결함(defect)들도 현저히 감소한 것을 알 수 있었는데 이는 50~175[um] 이상까지 결함(defect)들이 넓게 분포되어져 있는 것을 볼 수 있는데 이러한 결함들이 새로 형성시킨 polysilicon에 capture된 결과로 사료된다.

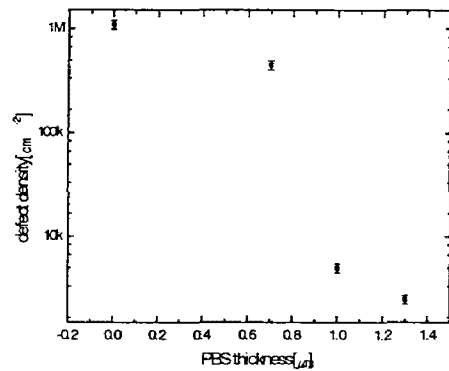


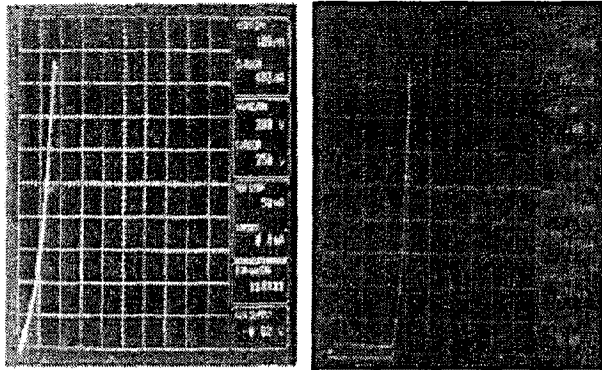
그림 1. PBS 두께에 따른 표면 결함 밀도

그림 1은 PBS 두께에 따른 표면 결함 밀도 사진으로 Polysilicon 두께에 따른 웨이퍼 표면의 결함(defect)밀도의 관계를 나타낸 그래프로서 이 그래프에서 알 수 있듯이 웨이퍼 뒷면 polysilicon 형성의 두께가 증가할 수록 결함(defect)의 수가 감소하는 걸 알 수 있다. 특히 웨이퍼의 두께가 10,000[Å]에서는 결함(defect)의 수가 현저히 줄어드는 것을 볼 수 있다.

### 3.3 항복 전압 측정

사진 4에서의 (a)는 원시료 웨이퍼를 사용한 600[V]급 전력용 다이오드(diode)의 B-V특성을 나타낸 것으로 바이어스 인가 전압 초기부터 누설전류(leakage current)가 급증하는 것을 알 수 있으며, 웨

이퍼에 형성된 결함(defect)들에 의해서 누설전류 통로가 형성되어 인가 전압 초기부터 누설전류가 발생되는 것을 알 수 있다. (b)는 7,000[Å] 웨이퍼를 사용한 600[V]급 전력용 다이오드의 B-V특성을 나타낸 사진으로 웨이퍼 뒷면에 Polysilicon을 형성함으로써 많은 결함(defect)들을 게터링(gettering)하여 초기의 누설전류가 다소 감소하였으나 인가 전압이 증가함에 따라 수백 마이크로 암페어의 누설전류가 발생함을 알 수 있으며, (c)는 10,000[Å] 웨이퍼를 사용한 600[V]급 전력용 소자의 Breakdown Voltage 특성을 나타낸 사진으로 초기 누설전류가 현저히 감소된 것을 볼 수 있는데 이는 확산공정 진행시 발생하는 결함(defect)들이 웨이퍼 뒷면 Polysilicon으로 게터링(gettering)한 것으로 사료된다. (d)는 13,000[Å] 웨이퍼를 사용한 600[V]급 전력용 diode의 Breakdown Voltage 특성을 나타낸 사진이다. 웨이퍼 13,000[Å]에서는 바이어스 인가 전압에 비교적 안정된 특성을 보여주고 있다. 이것은 웨이퍼 뒷면의 Polysilicon에 의해 형성으로 많은 결함(defect)들을 게터링 함으로써 누설전류의 원인이 되었던 결함(defect)들이 현저히 줄어 양단간의 bias증가에 따른 인가 전압에 안정된 특성을 나타냄을 알 수 있다.



(a) 원시료

(b) 13,000[Å]

사진 4. 시료의 B-V 특성

#### 4. 결론

웨이퍼의 결함(defect) 감소 효과 연구를 위해 웨이퍼 뒷면에 polysilicon 형성하여 polysilicon을 형성시키지 않은 원시료 웨이퍼와 비교하여 결함(defect)의 감소가 항복전압에 미치는 전기적 특성을 연구한 결과 벌크 미소 결함 분석 결과 원시료 웨이퍼에서 벌크내의 결함(defect)이 많이 발견되었고 Polysilicon의 두께가 약 10,000[Å]부터 결함들의 상

당수가 gettering되기 시작하여 Polysilicon의 두께가 13,000[Å]에서는 많은 수의 결함이 gettering되어 그 수가 현저히 감소되는 것을 볼 수 있었다. 그리고, 침적 두께 13,000[Å]에서는 웨이퍼 결함(defect)이 현저히 감소하여 양단간의 바이어스 증가에 따른 인가 전압에 안정된 특성을 나타냄을 알 수 있다.

#### 참고 문헌

- [1]. Robert F. Pierret, Gerold W. Neudeck, "Semiconductor Fundamentals," Addison-Wesley Publishing co., pp. 41~42, pp. 64~67, 1988.
- [2]. Duncan A. Grant, John Gowar, "POWER MOSFETS," John Wiley & Sons, Inc., pp. 84~85, 1989.
- [3]. Andrew S. Grove, "Physics and Technology of Semiconductor Devices," John Wiley & Sons, Inc., pp. 22~31, 1967.
- [4]. M. Kamal Khan, F. Zdanczewicz and A. Bhalla, "THE EFFECT OF GATE DOPING ON THE ELECTRICAL CONDUCTION AND RELIABILITY OF THICK GATE OXIDES," ISPSD, pp. 137~140, 1997.
- [5]. S. D. Khanin Herzen State Pedagogical University of Russia, "Methods of Metal Oxide Dielectric Films Testing International Symposium on Electrical Insulation Materials," pp. 291~294, 1995.
- [6]. E. H. Nicollian and J. R. Brews, "MOS Physics and Technology," John Wiley, New York, pp. 245~247, 1983.
- [7]. A.S. Grove, "Physics and Technology of Semiconductor Devices," John Wiley & Sons, Inc., pp. 75~100, 1967.