

전자레인지용 고압다이오드의 방열특성

Heat Dissipation Analysis of High Voltage Diode Package for Microwave oven

김상철*, 김남균*, 방 옥*, 서길수*, 문성주**, 오방원**

(Sang-cheol Kim*, Nam-kyun Kim*, Wook Bahng*, Gil-soo Seo*, Seoung-Ju Moon**, Bang-won Oh**)

Abstract

Steady state and transient thermal analysis has been done by a finite element method in a diode of 12kV blocking voltage for microwave oven. The diode was fabricated by soldering ten pieces of 1200V diodes in series, capping a dummy wafer at the far end of diode series, and finally copper wire bonded for building anode and cathode terminal. In order to achieve high voltage and reliability, the edge of each diode was beveled and passivated by resin and epoxy with a thickness of 25 μ m and 3,700 μ m, respectively. The chip size, thickness and material properties were very important factor for high voltage diode package. And also, thermal stress value was highest in the edge of diode and solder. So, design of edge in silicon was very important to thermal stress.

Key Words : high voltage, diode, thermal analysis, stress analysis, strain, finite element method

1. 서 론

전력용 초고전압 다이오드는 TV, Monitor, Microwave oven, 복사기, 공기청정기, 자동차 ignitor, 의료용을 포함한 각종 X-Ray 발생장치 등의 초고전압 정류회로에 사용되며, 통상 5kV 이상의 매우 고압에서 동작하기 때문에 제품의 신뢰성 확보가 매우 중요하다. 만약 5kV 이상의 고압에서 다이오드 소자가 비정상적으로 동작을 할 경우 고압 방전이 발생하여 제품의 폭발 등의 가능성이 있기 때문에 매우 높은 수준의 소자설계, 공정설계, 재료선정, 신뢰성 평가 등이 요구되는 제품이다.

전압저지능력이 수 kV 이상의 다이오드는 하나의

칩을 사용하기보다는 내전압이 작은 여러 개의 다이오드 소자를 직렬로 연결하여 패키지를 하는 경우가 대부분이다. 따라서 이러한 초고압 소자는 전류가 흐르는 방향으로 두꺼운 적층 구조를 가지게 되고 따라서 각각의 소자에서 발생한 열을 방출하는데 불리한 구조적 약점을 가지고 있다.

전력소자의 전류밀도는 반도체 웨이퍼를 기준으로 100A/cm²에 이르며 이때 소자의 손실(power loss)에 의한 발열밀도는 100~250W/cm²에 이른다. 따라서 전력소자에서 발생하는 손실열을 방출하여 소자의 접합부온도를 적정하게 유지하는 것은 패키지 디자인에 있어서 가장 우선적인 고려사항이 되어왔다. 특히 적층형 고전압 다이오드는 웨이퍼 면에 수직인 방향으로 5~15개의 실리콘 웨이퍼가 적층되어 있을 뿐만 아니라 각 층마다 솔더가 삽입되어 있고 바깥쪽은 전자회로와 연결을 위한 와이어가 접합되어 있는 일반적 구조를 가지고 있다. 또한 고전압 다이오드의 절연을 위하여 다이오드 소자의 측면벽(side

* : 한국전기연구원 전력반도체그룹
(경남 창원시 성주동 28-1,
Fax : 055-280-1590
E-mail : sckim@keri.re.kr)

** : 삼성전기

wall)에는 고분자 및 에폭시로 구성된 보호막이 있으며 열방출에 관한 이 막의 역할도 잘 알려져 있지 않다.

본 연구에서는 1200V급 다이오드 10개를 적층하여 제작한 12kV급 다이오드의 정상상태 및 과도상태에서의 열적 특성을 열해석 상용 S/W인 ANSYS 5.3을 이용하여 유한요소법으로 해석하였다. 다이오드 패키지에서 결선용 와이어의 길이와 다이오드 소자 측면의 passivation 막의 특성과 그 표면에서의 열전달계수를 변수로 하여 pn 접합부의 온도상승과 소자의 온도분포 변화를 조사하였다. 또한 정상상태에서의 해석에서 얻은 결과를 토대로 패키지 내에서의 온도변화에 따른 패키지의 열응력 및 열변형을 구하여 패키지의 장기신뢰성 측면에서의 문제를 조사하였다.

2. 열해석을 위한 구조 분석

열해석 대상인 전자레인지를용 초고압 다이오드의 단면구조를 그림 1에 나타내었다. 10개의 다이오드 웨이퍼를 솔더를 이용하여 적층하였으며 가장자리에 고압다이오드의 동작과 관계없는 더미 웨이퍼를 같은 크기로 적층하여 총 12층의 실리콘웨이퍼 구조를 형성하였으며 외부 배선을 위하여 지름 1.2mm인 구리선을 연결하였다.

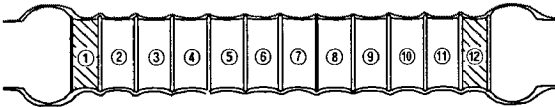


그림 1. 전자레인지를용 초고압 다이오드의 단면구조

각각의 다이오드 소자는 1.2kV 이상의 내전압을 갖도록 설계되었다. $41\Omega\text{cm}$ 의 비저항을 갖는 $295\mu\text{m}$ 두께의 웨이퍼를 사용하였으며 pn 접합깊이는 $40\mu\text{m}$ 정도이다. 그림 2에 반도체 소자 모델링 S/W를 사용하여 구한 개별 소자의 불순물 분포 및 항복전압 특성을 나타내었다. 그림에서 본 연구에서 고려하는 소자는 1.4kV 이상의 항복전압 특성을 보이고 있다. 일반적으로 전력반도체소자의 내전압은 정격전압의 1.1배 이상으로 설계되는 것이 보통이다.

이러한 다이오드소자를 적층하여 제작된 패키지 구조의 열해석 및 응력해석을 위한 기본구조를 그림 3에 나타내었다. 그림에서 다이오드소자와 에폭시 사이의 완충물질인 고분자수지는 에폭시에 비하여 매우 얇아 생략하였다. 또한 그림 1에서 고압다이오드

패키지 구조는 ⑥번 및 ⑦번 다이오드를 중심으로 X축 및 Y축에 대하여 2차원 대칭 구조를 가지고 있으므로 해석을 위하여 고려된 구조는 전체 구조의 $1/4$ 의 면적을 가지고 있다. 이러한 구조의 모델은 질점(node)이 4997개 유한요소(finite element)의 수가 4816개이다.

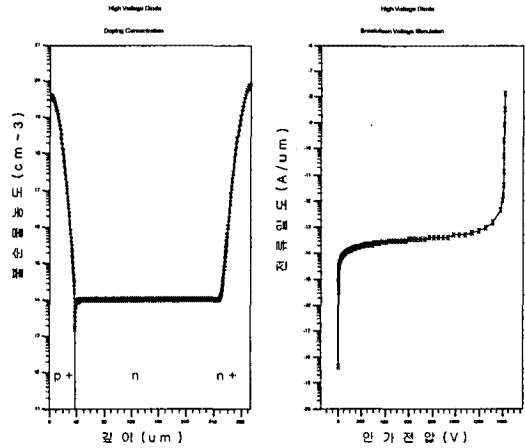


그림 2. 1.2kV급 고압다이오드의 불순물 분포 및 항복전압 simulation 결과

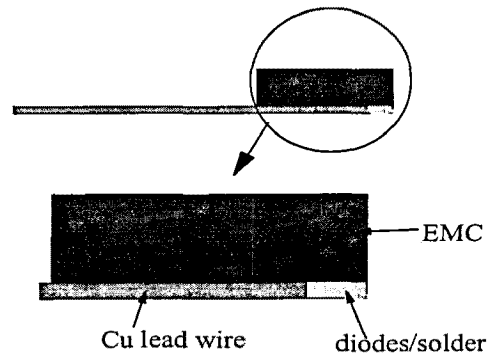


그림 3. 열해석 및 응력해석을 위한 다이오드 패키지의 2차원 기본 구조

열해석에 사용된 재료 및 재료상수를 표 1에 정리하였다. 정상상태의 해석에서는 재료의 열전도도만으로 해석이 가능하나 과도상태의 해석에서는 비열 및 밀도에 따라서 발생한 열의 시간에 따른 전도특성 및 대류특성이 달라지고 응력해석에서는 재료의 열팽창계수, 탄성계수 및 Poisson비 등의 정확한 물성상수 값을 고려해야 한다.

표 1. 열해석 및 응력해석에 사용된 각 재료의 물질상수

재료 번호	재료명	열전도도 (W/m-K)	비열 J/g°C	밀도 kg/m ³	열팽창계수 (10 ⁻⁶ /°C)	탄성계수 (GPa)	Poisson 비	적용범위
1	실리콘	135	714	2330	2.6	187	0.25	다이오드 소자 및 dummy wafer
2	Pb-Sn 솔더	43	126	10800	19.0	2.6	0.3	알루미늄/dummy wafer/다이오드 간 접합부
3	Epoxy	0.3-3.0	120	1200	15.0	25	0.4	소자 및 dummy wafer의 표면
4	구리	398	386	8930	17.0	130	0.30	lead wire

3. 정상상태 및 과도상태 열해석

열전도 및 대류로 인하여 방출되는 열해석 모델에서 가장 중요한 요소는 발열량과 발열부위, 그리고 열방출 경로라고 할 수 있다. 발열량 및 발열부위는 소자의 통전전류 및 이때의 전압강하로 결정되며 단위 부피당 $4.22 \times 10^{-10} \text{W}/\mu\text{m}^3$ 의 값을 가지며, 주된 발열부위는 다이오드 소자이다.

본 모델링에서의 열방출 경로는 패키지 내부에서는 전도에 의한 열방출이 주된 요인으로 작용하고 있으며 패키지 외부 공기층과는 전도를 통하여, 발생한 열을 방출하고 있다. 이때 외부 공기층의 온도는 25°C로 정의하였으며 정상상태 동작시에는 공기의 흐름은 없는 것으로 가정하였다. 또한 패키지에 연결된 구리선은 외부 PCB 기판과 연결되어 있으므로 구리선의 끝 부분은 기준온도로 설정하여 25°C로 고정하였다. 또한 강제냉각의 경우 에폭시 표면과 공기층과의 열전달 계수를 대류조건으로 하였으며 100W/m-K의 조건으로 수행하였다.

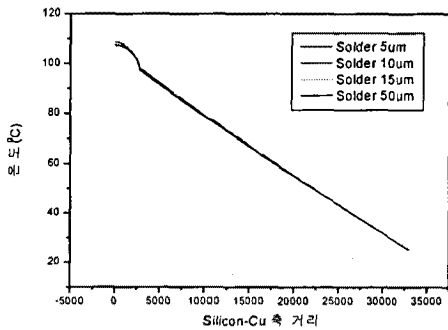


그림 4. 12kV급 Diode Model의 Chip - Cu wire 방향으로의 온도변화 (단위 μm)

그림 4에 12kV급 다이오드 패키지의 소자에서 솔더 두께를 변화시키면서 Cu-wire 방향으로의 온도변화를 나타내었다.

Cu-wire의 끝 부분은 PCB 기판과 연결되어 있고 패키지 구조에 비하여 매우 크므로 무한 방열판으로 생각할 수 있다. 따라서 이때의 Cu-wire의 끝 부분의 온도를 25°C로 하여 모델링을 수행하였다. 솔더의 두께가 두꺼울수록 발생한 열의 방출이 어려우므로 소자에서의 온도는 높아지게 된다. 그러나 그 영향이 5μm의 경우와 50μm를 비교하였을 때 불과 5°C 정도의 온도차를 보이고 있다. 따라서 다이오드의 동작온도범위 내에서는 솔더의 두께가 큰 영향을 미치지 않는다고 볼 수 있다.

그림 5에 동일한 성격의 패키지 구조에서 다이오드 소자의 크기를 변화시키면서 패키지 내부에서의 온도변화를 나타내었다. 그림에서 칩의 면적이 커질수록 칩에서의 소비전력도 작아지고 발생한 열의 방열경로가 커지게 되므로 칩 부위의 온도는 상당히 떨어지게 된다.

따라서 열방출의 특성만 고려한다면 칩의 면적이 넓을수록 다이오드 패키지는 안정된 동작을 할 수 있다. 그러나 칩의 면적이 커지게 되면 생산성은 반대로 떨어지게 되므로 이를 고려한 최적의 칩면적을 도출해야 한다.

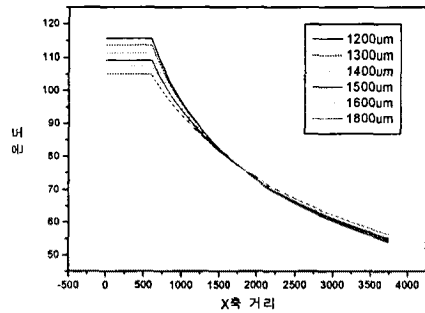


그림 5. Chip size에 따른 온도분포 (Chip - Epoxy 표면, 단위 μm)

정상상태 열해석을 수행한 소자를 대상으로 과도

상태에서의 방열 특성을 그림 6과 같은 조건으로 수행하였다. 이때 냉각 중에는 냉각 fan이 동작하고 마지막 단계에서는 1분 동안 fan이 동작하고 30초간 fan 동작이 중지되는 조건을 과도상태의 경계조건으로 주었다. 여기서 X축은 시간(초)이고 Y축은 부하 조건이다.

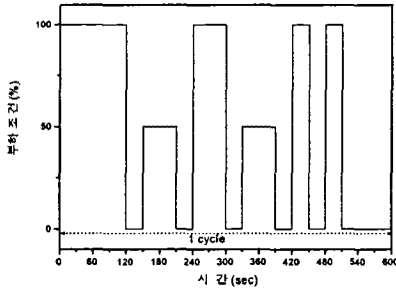


그림 6. 과도상태 해석을 위한 부하 및 냉각조건

이러한 부하조건에서 과도상태의 열해석을 수행한 결과를 그림 7에 나타내었다. 그림에서 다이오드 칩과 에폭시 표면에서의 온도변화를 시간과 부하조건에 따라 나타내었다. 모든 온도범위는 반도체 소자의 온도정격인 120°C 이하에서 동작함을 알 수 있다. 그러나 1 cycle의 동작 후 온도가 초기상태의 경계치인 25°C를 크게 초과하고 있어 반복적인 동작 패턴에서는 소자 파괴의 문제를 일으킬 수 있다.

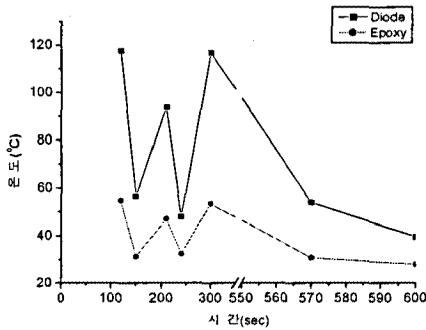


그림 7. 방열시간 및 조건에 따른 Diode 및 Epoxy에서의 온도변화

이상의 결과를 바탕으로 패키지 내부의 응력분포를 알아보았다. 앞에서 설명한 동작패턴을 계속적으로 반복할 경우 패키지 내부에 응력이 가해지고 결국은 가장 취약한 부분부터 파손이 일어나게 된

다. 그림 8에 다이오드소자와 솔더, 그리고 에폭시가 만나는 점에서 가장 큰 응력이 작용함을 나타내었다. 즉 물질상수가 서로 다른 여러 개의 물질이 접합하고 있는 부분에서 가장 큰 응력이 작용하게 되며 결국은 이 부분에서 패키지는 파괴되기 시작한다. 따라서 최적의 패키지 설계를 위해서는 다양한 문제를 고려하여야 함을 알 수 있다.

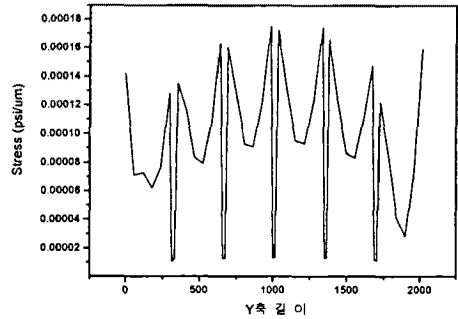


그림 8. Silicon chip, solder 그리고 Epoxy 경계면에서의 응력 해석 결과 (단위 μm)

4. 결론

1200V급 다이오드 10개가 적렬로 적층된 12kV급 다이오드에서 열해석 및 응력해석을 행하였다. 소자에서 발생한 열은 대부분 전도 및 대류의 형태로 빠져나간다. 소자의 안정적인 동작온도를 보장하기 위해서는 패키지에 사용되는 재료의 선택 및 실리콘 칩의 면적, 두께 등의 요인이 매우 중요하다. 또한 이 때의 소자에 가해지는 응력 분포를 통해 가장 취약한 부분을 알게되고 이를 통하여 최적설계를 수행하여야 할 것이다.

감사의 글

본 연구는 과학기술부 중점국가연구개발사업 "전력용반도체 기술개발"의 지원대상과제의 일환으로 이루어졌으며 이에 감사드립니다.

참고 문헌

1. N.K. Kim et al., J. Microelectronics & Pack. Soc., 6[3] 23-33(1999).
2. C.A. Neugenbauer et al., The Packaging of Power Semiconductor Device, Gordon & Beach Science Publishers, 1986.
3. A. Lostetter et al., J. Adv. Microelectronics, Jan/Feb 25-27(1998).