

ATM 기반 MPLS망에서 확장성과 QoS를 보장하는 VC-Merge 가능한 스위치 구현에 관한 연구

이대원, 김영철
전남대학교 전자공학과
e-mail:twlee@neuron.chonnam.ac.kr

A Study on Implementation of a VC-Merge Capable Switch for QoS and Scalability on MPLS over ATM

Tae-Won Lee, Young-Chul Kim
Dept. of Electronic Engineering, Chonnam Nat'l Univ.

요약

본 논문에서는 ATM 기반 MPLS망에서 라우터의 레이블 공간을 효율적으로 사용하여 망의 확장성을 높이기 위한 방안인 레이블 통합 기능과 차등서비스를 지원하기 위하여 우선 순위 제어 알고리즘을 적용한 스위치 구조를 제안하고 이를 구현한다. 차등서비스(Differentiated Service)를 제공함에 있어서 레이블 통합 기능을 수행할 수 있는 적합한 구조를 제안하며, 망 폭주 발생 가능성이 있을 시 EPD(Early Packet Discard) 알고리즘을 통한 적응적 폭주 제어를 행함으로써 네트워크 자원의 낭비를 막고, VC-merge와 Non VC-merge 기법을 시뮬레이션을 통해 각각 비교 분석하였다. 또한 고속의 Switching을 위해 Input Queueing 방식과 Pipeline구조의 scheduler를 적용하였으며 제안한 스위치를 VHDL 모델링을 통하여 설계하고, 삼성 0.5um SOG 공정으로 칩을 제작한다.

1. 서론

MPLS는 기존의 IP 전송 방식인 LPM(Longest Prefix Match) 방식을 사용하지 않고 MPLS를 인식하는 인접 라우터 사이에 약속된 레이블을 사용하여 IP 트래픽의 고속 전송을 수행한다. 또한 동일 포워딩 등급(FEC: Forwarding Equivalent Class)을 갖는 플로우들에게 동일 레이블을 매핑하는 것으로 연결 관리의 확장성을 제공한다. ATM기반 MPLS망에서 각 LSR(Label Switching Router)은 각 목적지의 LSP(Label Switched Path)에 대한 레이블 정보를 가지고 있다. 만약 목적지가 IP 주소 prefix라면 LSR은 라우터와 같은 크기의 레이블 테이블 정보를 갖게 된다. 그런데 망의 확장성 측면에서 망이 커질수록 LSR이 유지하는 레이블의 수를 감소시켜야 한다. MPLS 영역 내에서 동일한 출구 라우터를 거쳐 전달되는 여러 FEC들을 하나의 FEC로 묶어 전달하면 가상연결의 수를 줄일 수 있어 확장성이

향상되고 레이블 공간을 효율적으로 사용할 수 있다. 즉 다중점 대 점 트리가 구성되며 망의 설계 시 망의 확장성 측면에서 고려되어야 한다.

본 논문에서는 현재 개발중인 ATM 기반 MPLS망에서 망의 확장성을 고려한 VC-merge가 가능한 LSR 구현에 대해 기술한다. 2장에서는 제안한 VC-merge ATM LSR의 구조와 알고리즘을 설명한다. 3장에서는 VC-merge 기법에 대한 성능 평가를 수행한다. 4장에서는 VC-merge 기법을 수행하기 위한 스위치의 설계와 합성결과를 분석하였고, 마지막으로 결론을 맺는다.

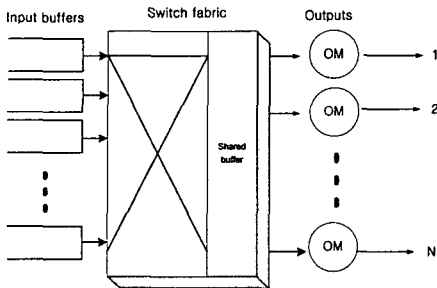
2. 제안한 ATM LSR의 구조 및 알고리즘

기존 공중망에서 오버레이 방식은 IP 패킷 전송을 위하여 ATM 스위치를 사용하지만, 에지 라우터 간 완전 연결(full-meshed)의 가상연결을 설정해야 하므로 망 규모가 커질 경우 가상 연결 수가 급격하

게 증가하여 확장성에 제약을 받게 된다. 통합 라우팅 방식인 MPLS는 레이블을 통합(merge & aggregation)하는 기능 및 레이블 스택(stack)을 사용하여 요구되는 가상연결의 수를 감소시킬 수 있으므로 보다 개선된 확장성을 제공한다.

ATM 기반 MPLS 망에서 사용하는 통합(merge)방법으로는 Non VC-merge, VP-merge, VC-merge 등의 방법이 있으며, VP-merge 기법은 추가적인 하드웨어의 변경은 필요로 하지 않지만 VPI 공간이 4096개로 제한되어 있기 때문에 사용할 수 있는 레이블 공간의 제약을 받는다. 또한 VCI의 16비트를 사용하여 입구 LSR을 표시하여야 하는 별도의 관리 과제가 부과된다. 이에 비해 VC-merge 방법은 VP-merge와 같은 레이블 공간제약 문제는 없지만, 셀 단위로 나누어진 패킷을 단순히 merge를 수행하게 되면 패킷들이 뒤섞이는 셀 인터리빙이 발생하여, 본래의 패킷으로 복원할 수 없게 된다. 이러한 셀 인터리빙 문제를 해결하기 위해서는 기존의 ATM교환기에 추가적인 하드웨어가 필요함으로 지연이 증가한다는 단점을 가진다.

VC-merge 기법을 수행할 수 있는 ATM LSR의 구조로 성능평가를 위하여 제안한 구조는 그림 1과 같다.

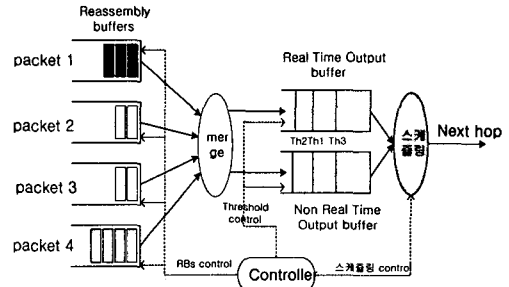


(그림 1) VC-merge 가능한 ATM LSR

그림 1의 구조는 스위치에서 발생하는 블록킹이 발생하지 않는 공유버퍼형 셀 스위칭 구조이며, 셀 단위 스위칭을 이용하기 위해서 출력측에 출력 포트 수와 동일한 개수의 OMs(Output Modules)로 구성되어 있다.

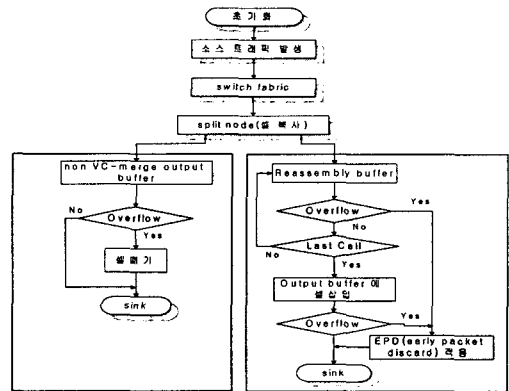
그림 2는 제안한 OM의 구조를 보여주고 있다. 여기서 하나의 OM 블록은 셀 인터리빙이 발생하지 않도록 각각의 입력포트별로 셀을 저장하는 RBs(Reassembly Buffer)와 트래픽 특성에 따라 스케줄링을 수행하기 위한 실시간/비실시간 FIFO로

구성된 OB(Output Buffer)로 이루어져 있다. 만약 RBs가 없다면 스위치 구조는 VC-merge를 수행하지 않는 ATM LSR의 구조와 동일하다. 손실 우선순위 제어를 위해서 동적 임계치를 갖는 부분 버퍼 공유기법을 사용하였고, 지연 우선순위의 제어를 위해서 QLT(Queue Length Threshold) 제어알고리즘을 사용하였다. 또한 전단의 RB는 패킷 단위의 셀을 저장하는 역할을 수행한다.



(그림 2) 제안한 OM(Output Module)의 구조

본 논문에서 제안한 시뮬레이션구조의 데이터 처리절차는 그림 3과 같다.



(그림 3) OM 블록에서 트래픽 처리 절차

제안한 구조는 VC-merge 기법과 non VC-merge 기법을 비교, 분석하기 위해서 크게 VC-merge 모듈과 Non VC-merge 모듈로 구성하였다. 또한 MPLS 망에서 VC-merge 기법의 수행은 망의 중간 라우터인 코어 LSR에서 이루어지기 때문에 단순한 스케줄링 알고리즘을 사용하여 최대의 효과를 얻을 수 있도록 하였다.

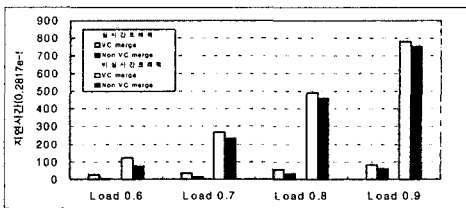
스케줄링 방법으로써 출력버퍼에 QLT(Queue Length Threshold) 지연우선순위 제어방법과 동적 임계치를 갖는 PBS(Partial Buffer Sharing) 손실 우

선순위 제어알고리즘을 사용하였다. QLT 알고리즘은 큐내의 비실시간 셀의 개수가 임계치를 넘으면 비실시간 셀에 우선 순위를 부여하고 지연 민감 정도에 따라 2개의 클래스로 나누고 각각의 큐는 개별적인 임계값을 둘 수 있다는 장점이 있고, PBS 알고리즘은 클래스별 입력 트래픽이 구분되어 버퍼에 도착하고 임계치를 넘으면 높은 우선 순위의 셀만 받아들임으로써 효율을 향상시킨다.

3. VC-merge 시뮬레이션 및 실험

시뮬레이션에 사용된 입력 트래픽으로 CBR은 일정한 비율로 셀을 발생시키고 VBR과 ABR트래픽은 버스티한 특성을 가장 잘 나타내는 On-Off모델을 사용하였다. 시뮬레이션은 C++를 사용하였고 5초 동안의 과도기 상태를 거친 후 100초 동안 수행하였다.

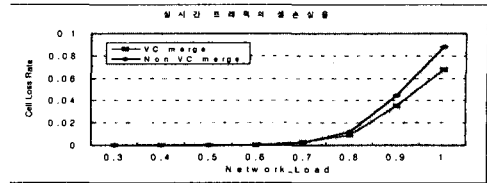
셀 손실율은 하나 이상의 소스에서 발생한 전체 셀 수에 대한 손실된 셀 수의 비율이며, 셀 지연시간은 RB에 입력한 시간부터 출력버퍼를 떠날 때까지의 시간으로 정의한다. 단, 버퍼에서 하나의 셀이 서비스되는 시간은 약 $0.2817e \times 10^{-5}$ 초를 기본단위로 측정하였다.



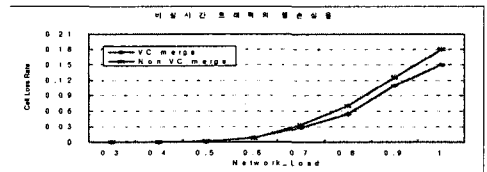
(그림 4) VC-merge에 따른 트래픽 지연시간

그림 4는 VC-merge에 따른 트래픽별 지연시간의 영향을 나타낸 그래프이다. 지연 우선순위 제어로 인한 실시간 트래픽의 성능이 비 실시간 트래픽의 성능에 비교해서 성능이 향상됨을 볼 수 있다. 그러나 VC-merge는 추가적인 버퍼링을 필요로 하기 때문에 VC-merge를 사용하지 않는 경우보다 실시간 트래픽은 평균 15셀, 비실시간 트래픽은 평균 20셀의 추가지연 시간이 요구된다. OC-3의 속도를 가진 ATM 링크에서 20셀 지연은 약 $60 \mu sec$ 와 비슷하므로 추가 지연시간은 대부분의 어플리케이션에서는 그렇게 중요하게 작용하지 않을 것으로 예상된다.

그림 5과 6는 VC-merge에 따른 트래픽별 셀



(그림 5) VC merge에 따른 실시간 트래픽의 손실율



(그림 6) VC merge에 따른 비실시간 트래픽의 손실율

손실율을 보여주고 있다. 부하가 작을 때는 셀 손실율이 거의 발생하지 않지만 부하가 증가함에 따라서 추가 버퍼링에 의해서 셀 손실율이 감소하게 된다. 실시간 트래픽의 경우 부하가 0.9일 때 약 20%의 성능향상을 보이고 있으며, 비 실시간 트래픽의 경우 약 12%의 손실율이 개선됨을 볼 수 있다.

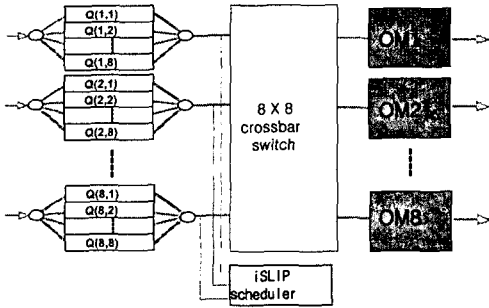
4. VC merge 가능한 스위치 설계

VC-merge 알고리즘을 적용하기 위해서는 셀 인터리빙 문제를 해결해야 한다. 따라서 ATM 스위치에 새로운 하드웨어가 추가되어야 한다. C++을 이용하여 검증된 결과를 기반으로 VC-merge 스케줄러를 구현하기 위하여 하드웨어 기술 언어인 VHDL을 이용하여 모델링하였으며, Synopsys 툴을 이용하여 시뮬레이션 및 합성하였다.

본 논문에서 제안한 스위치는 8×8 크로스바 스위칭 패브릭을 사용하였으며, 입력단에서는 스위치의 확장성을 고려하여 입력버퍼링 방식의 목적지별 큐를 두어 HOL블록킹을 방지하고, 이를 스케줄링하는 알고리즘은 iSLIP 알고리즘을 사용하였다. 출력단에서는 OM에 RB와 VC-merge 스케줄러를 설계하여 입출력단을 통합하였다. 그 구조는 그림 7과 같다.

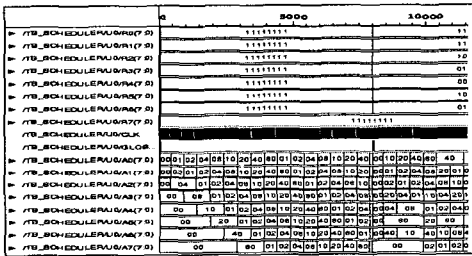
iSLIP 알고리즘은 request, grant, accept 3단계로 이루어져 있으며 반복 라운드로빈 방식으로 포인터를 하나씩 증가시켜 최대매칭을 찾아낸다. 또한 고속의 Scheduling을 위해 각 단계를 Pipeline 구조로 구현하였다. 이러한 방식을 통하여 대역폭을 동등하

고 공평하게 사용할 수 있다.



(그림 7) VC-merge 가능한 고속 크로스바 스위치

그림 8은 iSLIP 입력단 스케줄러의 시뮬레이션 결과이다. 입력 값으로 모든 포트에서 request를 보냈을 때, 출력 값으로 accept된 A0 ~ A7의 값을 보면 HOL차단 현상이 발생하지 않고 출력됨을 볼 수 있다.



(그림 8) iSLIP 스케줄러의 시뮬레이션 결과

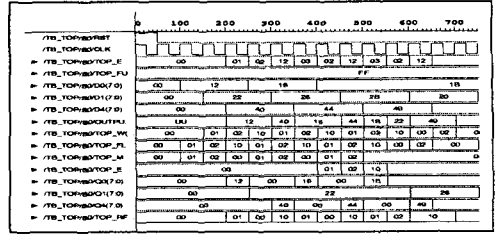
그림 9는 제안한 OM을 VHDL로 기술한 후 시뮬레이션한 결과이다. 포트 D0의 패킷의 마지막 셀이 들어 올 때까지 포트 D1의 패킷은 버퍼에 대기하게 된다. merge를 요구하지 않는 포트 D4의 패킷은 셀 인터리빙 문제가 발생하지 않으므로 버퍼에 대기하지 않고 서비스됨을 볼 수 있다.

본 논문에서 제안한 스위치는 삼성 0.5um SOG 공정 KG-80 라이브러리를 이용하여 합성하였고, 칩의 면적은 약 170,000 게이트 수를 가지며, 칩을 제작 중에 있다.

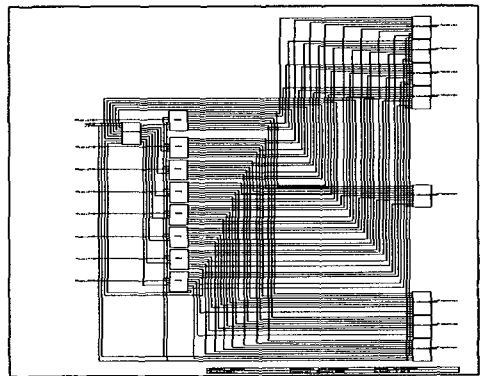
5. 결 론

본 논문에서는 MPLS 망에서 DiffServ를 고려하여 실시간 트래픽의 QoS를 보장할 수 있는 레이블 통합방안을 제안하였다. 또한 VC-merge 기법을 수행하기 위해서는 새로운 하드웨어의 추가가 필요하기 때문에 VC-merge 기법을 수행할 수 있는 스위치를 하드웨어로 구현하였다. 구현한 스위치는 안정

적이고 확장이 용이한 구조로 구성했으며, 삼성 SOG 공정으로 칩을 제작중이다.



(그림 9) 제안한 OM의 시뮬레이션 결과



(그림 10) 제안한 스위치의 합성 결과

참고 문헌

- [1] R. Callon, P. Doolan, N. Feldman, "A Framework for Multiprotocol Label Switching", Internet Draft <draft-ietf-mpls-framework-05.txt>, September, 1999.
- [2] Loa Andersson, Paul Doolan, Nancy Feldman, Andre Fredette, Bob Thoma, "LDP Specification", <draft-ietf-mpls-ldp-06.txt>, October, 1999.
- [3] HungKei Keith Chow, A. Leon-Garcia, "VC Merge Capable Scheduler Design" IEEE ATM'99, Japan, May, 1999.
- [4] Nick McKeown, "iSLIP: A Scheduling Algorithm for Input-Queued Switches" IEEE Transactions on Networking, Vol 7, No.2, April, 1999.
- [5] HungKei Keith Chow, A. Leon-Garcia, "VC Merge Capable Scheduler Design" IEEE ATM'99, Japan, May, 1999.
- [6] 한국 전자 통신 연구원, "ATM상의 인터넷 서비스 기술개론", 진한도서, 1999년 7월.