

ATM 망 접속 장치의 성능 향상 방법과 성능 평가

김철용*, 이승하**, 나윤주**, 남지승**
전남대학교 정보통신 협동과정*, 전남대학교 컴퓨터공학과**
e-mail: kkkcy@turbomail.net

Improvement in Performance of ATM Network Interface Card and Performance Evaluation

Cheul-Young Kim*, Seung-Ha Lee**, Yun-Joo Na**, Ji-Seung Nam**
Dept of Information and Communication Cooperation*,
Dept of Computer Engineering**
Chonnam National University and RRC

요약

Internet 이용자의 급격한 증가와 광대역 통신망(B-ISDN) 구축의 확산에 따라 ATM(Asynchronous Transfer Mode)망 접속장치의 큰 수요가 기대되며, 또한 ATM망 접속장치의 성능 향상도 요구되고 있다. 기존의 연구들은 컴퓨터 프로그램의 메모리에 대한 참조가 지역적이라는 특성을 이용한 가상 메모리의 효율적인 페이지 교체 알고리즘 및 캐쉬 처리 방안들이 진행되어 왔다.

본 논문은 ATM 프로토콜 프로세서를 설계하는데 있어 네트워크 트래픽의 지역성(Locality of Reference)을 고려한 캐쉬 메모리 구조를 적용하여 보다 향상된 ATM 셀 수신이 가능하도록 한다. ATM 셀의 가상 패스 식별자/가상 채널 식별자(VPI/VCI)를 캐쉬 처리함으로써, 패킷을 분해, 재조립(Segmentation and Reassembly)할 때 관련 테이블의 검색 시간을 줄일 수 있다.

캐쉬 메모리 적용으로 인한 성능 향상을 평가하기 위해 ATM NIC 프로세서와 내부 캐시 메모리 그리고, 외부 SRAM 사이에 셀 수신 정보의 Read 와 Write에 드는 시간 비용(System Clock Cycle)을 캐시의 Hit 또는 Miss 등에 따라 구분하고, 이를 기반으로 한 시뮬레이터에 3 종류의 ATM 셀 스트림을 가하여 각각에 대해 평균 셀 처리시간, 데이터 버스의 트래픽 비율 그리고, 히트율의 3가지 평가요소를 측정하고, 비교하였다.

1. 서론

오늘날 컴퓨터 통신을 위한 공중망(Public Network)으로는 패킷 교환망이 이용된다. 데이터뿐만 아니라 음성, 영상 등의 멀티미디어 서비스를 제공하기 위해서 보다 고속인 광역 통신 네트워크가 요구되어 이를 실현하는 기술로서 광역 종합 서비스망(B-ISDN)인 ATM이 출현하였다. ATM이 단순히 기간 망으로써 뿐만이 아니라 ATM NIC(Network Interface Card)의 개발과 소규모 ATM교환기(ATM Switch)의 개발로 인해 기존의 LAN 영역에도 ATM이 이용되고 있다(ATM-LAN)[1]. 따라서, system에 부착시키는 ATM NIC의 고속화는 중요한 과제이며, 본 논문에서는 일반적인 컴퓨터 시스템에서 일어나는 데이터 참조의 지역성(Locality in Reference)을 ATM NIC에 캐쉬 메모리 적용을 통해 보다 빠르게 ATM cell 처리를 가능하게 하고자 했다. 논문의 내용은 먼저 traffic locality에 관해 소개하고, 일반적인 ATM NIC의 동작 알고리즘과 ATM NIC에 캐쉬 메모리를 적용했을 때의 고려 사항들을 정리하고, 캐쉬 메모리 적용으로 인한 성능

향상을 여러 기준으로 평가하고, 결론을 맺었다.

2. Traffic Locality

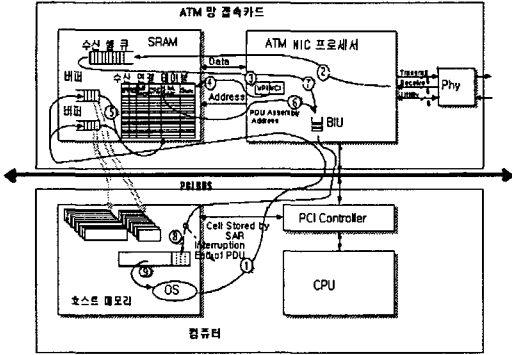
트래픽의 지역성은 마이크로 프로세서의 내부 캐쉬 등에 적용되어 많은 성능 향상을 가져왔다. 참조의 지역성(Locality of Reference)은 시간적 특성과 공간적 특성의 두 가지 형태로 나타난다.

시간적 지역성은 현재 참조되는 정보가 곧 다시 사용될 확률이 높은 특성으로 지속적으로 특정 주소만을 반복해서 참조하는 경향(persistence)을 의미한다. 공간적 지역성은 데이터의 연속성으로 현재 참조되고 있는 메모리에 이웃하고 있는 주소들의 참조 확률이 높은 특성으로서 전체의 주소 영역 중 일정 주소들에 한정되어 참조가 발생(concentration)하는 특징이다[3]. 인터넷상의 트래픽 분석은 소수의 사이트들에서 집중적으로 패킷의 송수신이 일어나고 있음을 보여주며 네트워크 또는 호스트간에도 상당한 트래픽 지역성이 있음을 보여주는 연구들이 있었다. [4][5]. 또한, 네트워크 환경에서 자원 요구는 특정 서버와 클라이언트간의 연속적인 데이터 흐름이 그

대상이 되며, 이러한 트래픽 지역성들은 각각의 트래픽에 대한 네트워크 디바이스들의 주소 연결 과정에서의 캐시를 적용함으로써 성능 향상을 기대할 수 있다.

3. 기존 ATM 프로토콜 처리 프로세서의 구조

[그림 3-1]은 IDT사의 IDT77211 155Mbps ATM SAR Controller 인 NICStAR를 사용한 ATM NIC의 셀 수신과정을 나타낸다[7].

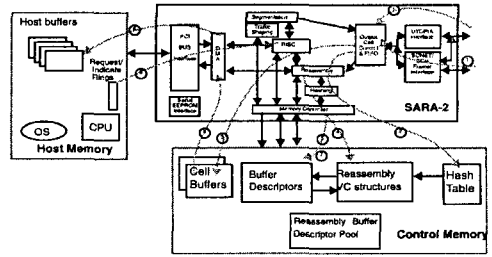


[그림 3-1] IDT77211 데이터 수신 흐름

위의 ATM NIC에서의 cell 수신은 다음의 순서와 같다. ① ATM망과 연결 설정되면 수신 연결 테이블(Receive Connection Table)에 설정된 가상채널 정보와 함께 셀들을 저장할 호스트 컴퓨터의 메모리 영역에 대한 주소와 연결에 관련된 정보를 저장해 놓는다. ②네트워크로부터 수신된 셀을 SRAM 내의 수신 셀 큐에 임시 저장한다. ③④수신 셀 큐의 한 개 셀로부터 셀 헤더의 가상 회선 정보(VPI/VCI) 정보를 가지고 수신 연결 테이블을 검색해서 각각의 가상 채널에 할당된 호스트상의 메모리 주소를 얻는다. ⑤수신된 한 개의 셀에 대해 SRAM 검색이 이루어진 후에는 그 셀 항목에 있는 호스트 메모리 주소(Reassembly Address)는 증가 시킨다. ⑥⑦⑧얻어진 호스트 메모리 주소에 PCI 버스를 통해 셀의 페이로드를 전송하고, ⑨셀의 수신이 끝나면 디바이스 드라이버는 수신된 패킷 주소를 상위의 응용프로그램에 전달한다.

[그림 3-2]는 Tanswitch사의 TXC-05551 SAR 칩의 셀 수신 흐름도이다. NICStAR와 비슷한 동작과정을 가지지만, 해쉬 테이블을 이용해 호스트 메모리 주소를 찾기 위해서 셀 헤더의 VPI/VCI 정보를 해쉬처리 한다②. 해쉬 테이블에서 얻어진 메모리 버퍼에 CLP, PTI, AAL type 들을 인식하면서③ ④ DMA 컨트롤러는 PCI 버스를 통해 비어있는 버퍼에 셀을 전송하게 된다⑤⑥.

일반적인 ATM 프로토콜 처리 프로세서는 외부의 메모리(SRAM etc.)에 버퍼 디스크립터, 셀 버퍼, VPI/VCI와 호스트 메모리와의 매핑 테이블들이 존재하며 내부의 처리 로직에 의해 적절히 액세스하는 구조를 갖는다.

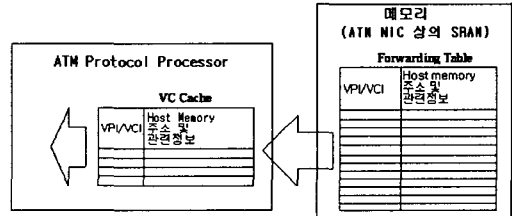


[그림 3-2] TXC-05551 데이터 수신 흐름

4. ATM 망 접속 장치에 캐쉬 구조 적용

ATM망 접속 카드의 ATM 프로토콜 처리 프로세서는 다양한 주변기기를 하나의 칩에 집적시키는 추세이다. 따라서, 집적된 주변 장치들을 제어하기 위한 내부 프로세서의 부하가 가중되고 있다. 일반적으로 가상 채널 정보는 그 크기가 크기 때문에 외부 메모리에 저장되어 큰 테이블을 구성한다.

ATM 프로토콜 프로세서 내의 캐쉬는 외부 메모리상의 많은 가상 채널 연결 정보 중 최근에 수신된 셀에 대한 채널 정보만을 선택적으로 저장하므로 비교적 소규모의 메모리 구조로 구현될 수 있다.



[그림 4-1] 캐시 메모리 위치

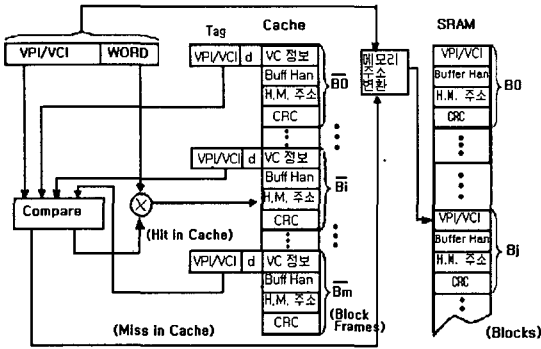
[그림 4-1]은 ATM 프로토콜 처리 프로세서와 외부 메모리의 VPI/VCI 매핑 테이블의 사이에 캐쉬 구조를 설계한 모델이다.

캐쉬의 구조는 매핑 함수나 블록교체 알고리즘 등에 따라 다양한 구현이 가능하지만 여기서는 Fully-Associative Mapping 방식과 FIFO Replacement 방식을 이용한 캐시를 적용하였다.

① 캐시 구조

ATM NIC 프로세서 내 캐쉬의 Tag 값으로는 수신 셀의 VPI/VCI 값을 이용하고, 참조된 블록 내의 특정 데이터는 WORD 정보를 이용하여 참조한다.

Tag RAM에는 새 블록 정보를 로드 했는지를 나타내는 Valid Bit들도 함께 갖는다. Data RAM은 SRAM 내의 많은 수신 연결 테이블(RCT) 정보 중 최근 참조되는 일부 블록들만을 저장한다. 캐시가 FULL인 상황에서 Miss가 생기면 가장 낮은 주소부터 차례로 블록 교체시킨다(FIFO). 즉 해당 블록을 SRAM에 Write-Back시킨 후 새 블록을 캐시로 가져온다.



[그림4-2] 캐시 구조

② 동작 절차

i. 가상 채널 형성 과정

가상 채널이 연결 설정에 의해 새롭게 형성될 때 그 채널의 가상 회선 식별자와 조립될 호스트 메모리 주소 등의 관련 정보를 ATM NIC 상의 메모리(SRAM)에 먼저 저장한다.

ii. 데이터 수신 과정

SRAM 내의 Rx FIFO Queue에서 한 개씩의 수신 셀 헤더를 읽어들이어 가상 회선 식별자(VPI/VCI)를 추출하여 캐시의 각 블록의 Tag 값과 비교한다. 캐시 메모리의 Hit/Miss를 결정짓고, 다음의 2가지로 분리하여 실행된다.

a. 히트인 경우(Hit in Cache)

캐시 내의 해당 블록에서 WORD 필드의 값에 따라 호스트 버퍼 주소를 참조할 수 있다. 그리고, 그 가상 채널 상태 정보와 호스트 버퍼 주소 등을 캐시에 빠르게 업데이트시킨다.

b. 미스인 경우(Miss in Cache)

수신 셀의 VPI/VCI와 WORD를 외부메모리 주소로 변환, 페치 처리 로직에 의해 외부 메모리(SRAM)로부터 원하는 회선 정보를 얻어서 블록 교체 알고리즘을 이용, 캐시에 로드한 후 Hit인 경우처럼 동작한다.

iii. 연결 해지과정

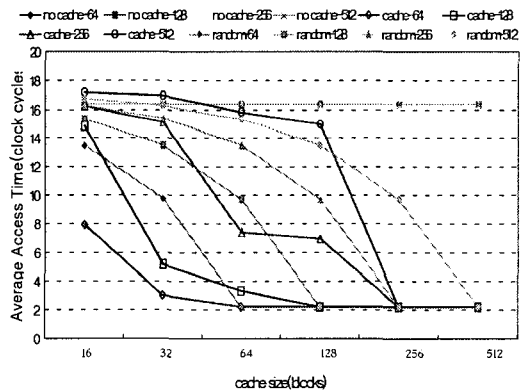
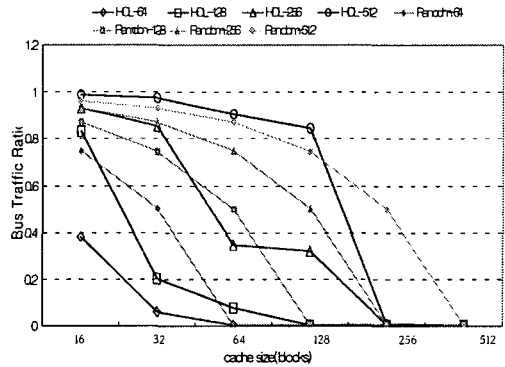
연결된 어떤 호스트에서 연결을 종료하면 그 채널 정보 블록이 캐시 내에 있으면 그 블록에서 연결 상태 정보를 리셋시키고, 그렇지 않으면 외부 메모리(SRAM)에서만 종료 채널과 관련된 정보를 리셋시킨다.[6][7]

5. 캐시 메모리 사용에 따른 성능 평가

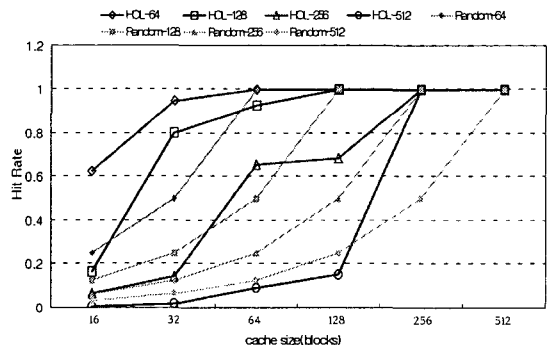
ATM NIC 프로세서는 개개의 cell들을 재조립하기 위한 호스트 메모리 주소를 검색하는데, 전체 연결 가능한 채널 중에 빈번히 이용하는 몇 개의 채널들만을 참조 속도가 더 빠른 내부 캐쉬로 로드하여 이용함으로써 ATM NIC의 성능의 향상을 가져올 수 있다. 아래의 그래프는 ATM NIC에 앞에서 설명한 캐시 구조와 세부적인 동작 절차를 반영하여 다양한 대역폭을 가진 가상 채널들로 구성된 3가지 ATM Traffic 셀 스트림을 주었을 때 여러 캐시 크기에 따른 평균 셀 처리 시간, 데이터 버스 트래픽

비, 히트율 등을 시뮬레이션 한 것이다.

랜덤(Random) 셀 스트림을 다른 2가지 셀 스트림의 수신처리 결과와 비교하는 기준으로 삼았다. 먼저 시간 우선 순위(Head-of-Line) 방식으로 구한 셀 스트림의 처리결과를 랜덤 셀 스트림 처리결과와 비교했다.

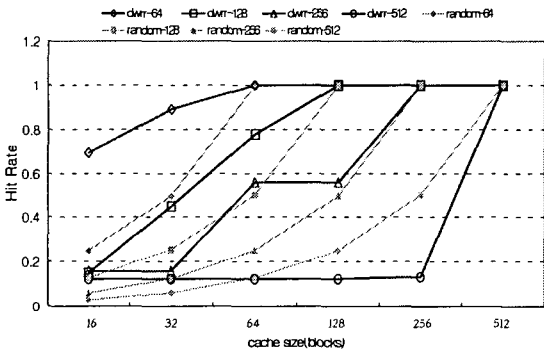
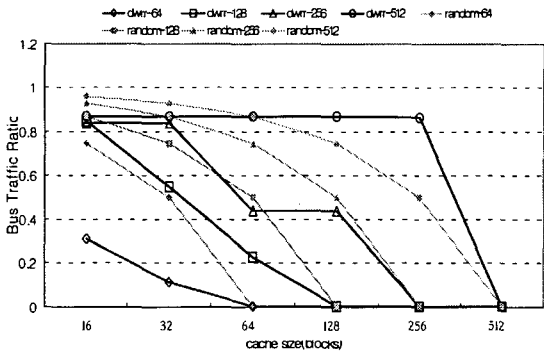
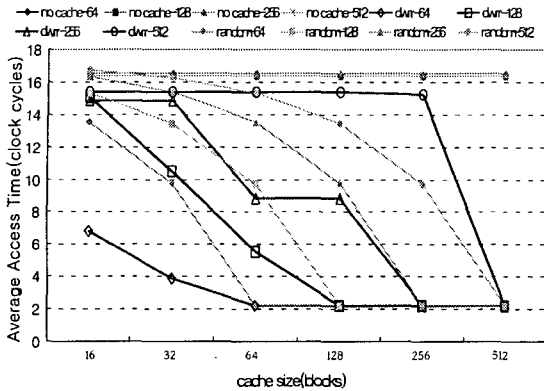


랜덤 셀 스트림은 셀 슬롯간의 연속성이 없으므로 셀 수신 처리에 일정한 패턴을 보인다. HOL 방식의 셀 스트림은 연결된 총 채널 수에 따라서 다양한 셀 슬롯간의 시간적 연속성이 생기게 되고, 여러 캐시 크기와의 조합에 따라 몇 개의 특징점들에서 큰 폭



의 히트율 증가에 의한 셀 처리시간 감소가 생긴다. 다음으로 DWRR(Dynamic Weight Round Robin) 방식의 셀 스트림의 수신처리 결과와 랜덤 셀 스트

림의 수신 처리 결과를 비교했다.



DWRR 방식으로 구한 셀 스트림은 HOL 방식의 셀 스트림보다 셀 슬롯간의 연속성이 더 작으므로 셀 수신처리 시 캐시 메모리의 히트율이 더 작게 나타나고, 처리시간은 더 커지는 것을 알 수 있다.

동일한 평가 조건이지만 셀 슬롯간의 시간적인 지역성이 어떠한가에 따라서 시뮬레이션 결과는 아주 다르게 나타날 수 있다. 그러나, 다음 표에서 보이는 바와 같이 연결된 모든 채널 정보를 저장할 수 있는 캐시 크기 이상에 이르러서는 셀 스트림의 형태에 관계없이 캐시를 사용하지 않는 경우보다 캐시를 사용했을 경우 ATM NIC의 셀 처리 시간은 평균적으로 7.4배 정도 향상될 수 있음을 알 수 있다.

연결 채널 수	64	128	256	512
스케줄링 방법				
Random	7.39682	7.3957	7.3936	7.389
Head-Of-Line	7.39696	7.3963	7.3947	7.392
DWRR	7.39619	7.3954	7.4621	7.386

[표 5-1] 정규화된 평균 셀 처리시간

6. 결론

지금까지 ATM NIC을 구현하는데 있어서 ATM 셀을 제조하기 위한 외부 메모리 검색을 network traffic의 지역성을 이용한 캐시 메모리의 적용으로 더욱 빠르게 참조할 수 있음을 보았다. 앞부분에서도 언급했지만 캐시 메모리 사용으로 인한 성능 향상을 정량적으로 파악해 보았으나, 보다 더 정확하게 개개의 cell이 캐시 메모리의 참조 도중에 격을 수 있는 모든 경우에 대한 시간 소요(clock cycle)를 찾아내고, 또 보다 실제적인 ATM Traffic Model을 이용해야 하지만 성능개선의 분석을 더욱 명확히 파악할 수 있을 것이다.

참고문헌

- [1] 김지판 편저, "그림으로 보는 표준 ATM", 1996.
- [2] 김남중, "ATM protocol ASIC에서의 캐시 구조", 한국정보처리학회, 1996
- [3] V. Carl Hamacher, Zvonko G. Vranesic, Safwat G. Zaky, "Computer Organization" fourth Ed. McGraw Hill.
- [4] R.B. Bunt and S. Routhier, "Packet Trans: Measurements and a New Model for Computer Network Traffic", IEEE Journal on Special Areas in communications, 4th coming, september 1986
- [5] R.Jain and William R.Hawe, "Performance Analysis and Modeling of Digital Networking Architecture ", Digital Technical Journal, NO.3, september, 1986.
- [5] 홍인식, 임인철, "Design of On-chip Caches for RISC Processors", 전자공학회 논문지, 제27권 제8호, 1990.8
- [6] 조용훈, 김정선, "Performance Analysis of n-way Set Associative Cache and Fully Associative Cache", 한국정보처리학회 논문지, 제4권 제3호 1997.1
- [7] "IDT77211 NICStAR User Manual", IDT, 1997
- [8] "TXC-0551 Data Sheet", Transwitch, 1998