

# 파이프라인 구조를 이용한 고성능 1차원 이산 웨이블릿 변환 필터 설계

박태근, 송창주  
가톨릭대학교 컴퓨터, 전자공학부  
e-mail : [parktg@www.cuk.ac.kr](mailto:parktg@www.cuk.ac.kr)

## Design of A High Performance 1-D Discrete Wavelet Transform Filter Using Pipelined Architecture

Tae-Geun Park, Chang-Joo Song  
Dept. of Computer & Electronic Engineering, The Catholic University of Korea

### 요 약

본 논문에서는 파이프라인 구조를 이용하여 고성능 1차원 이산 웨이블릿 변환 필터를 설계하였다. 각 레벨에서 입력이 다운샘플링(downsampling, decimation)되므로 각 레벨의 하드웨어를 폴딩(folding) 기법을 이용하여 곱셈기와 덧셈기를 공유함으로써 복잡도를 개선하였다. 즉, 제안한 구조에서는 레벨 2와 레벨 3에서 폴딩된 구조의 C.S.R(Circular Shift Register) 곱셈기와 덧셈기를 사용함으로써 하드웨어 효율(hardware utilization)을 각 레벨에서 100%로 높일 수 있다. 또한, 홀수와 짝수의 샘플을 병렬로 입력함으로써 단일 입력의 시스템과 비교할 때, 동일 시간에 병렬화 만큼의 이득을 얻을 수 있었고, 필터 계수는 미러 필터(mirror filter)의 특성을 이용하여 최대고역 필터(high pass filter)와 저역 필터(low pass filter)의 계수들을 공유함으로써 곱셈기와 덧셈기의 수를 반으로 줄였다. 그리고 임계 경로(critical path)를 줄이기 위한 파이프라인 레지스터를 삽입하여 고성능 시스템을 구현하였다.

### 1. 서론\*

시각 정보는 멀티미디어에서 중요한 역할을 하며 여러 형태를 가진 영상 정보에 대한 표현은 멀티미디어 통신 시스템에서 필수적인 부분이 되었다. 현대의 멀티미디어 영상처리 장치들은 일반적으로 실시간 처리를 요구하며 처리해야 할 영상 데이터의 양은 매우 큰 크기를 갖는다.

JPEG2000에서 이산 여현 변환(DCT, Discrete Cosine Transform)을 대체하는 핵심 기술로 사용된 이산 웨이블릿 변환(DWT, Discrete Wavelet Transform)<sup>[1]</sup>은 한번에 전체 영상 혹은 각 프레임을 필터 처리하므로 블록 효과(blocking effect)가 없고, 압축률 또한 정확히

제어 되므로 영상에 대하여 비트율이나 화질 조정이 가능하다. DWT는 시간과 주파수에 대해 국부성을 가지고 신호를 표현할 수 있어 비정상(nonstationary) 성질을 갖는 신호를 해석함에 유리하다. 또한, 이를 이용하여 표현된 영상은 인간 시각 특성과 비슷한 것이 특징이다. DWT를 이용한 영상처리가 실제 영상 통신 기기에서 사용되려면 그 처리속도가 매우 빨라야 하고 하드웨어로 구현 시에 저전력에 높은 효율이 요구된다.

최근 10여년간 DWT의 VLSI 구조에 대한 많은 연구가 진행되어 왔다<sup>[2-5]</sup>. 그 중에서 1차원 DWT 처리를 위한 확장성을 갖는 Lattice 구조가 제안되었다.<sup>[2]</sup> 그리고 Systolic, Semi-systolic, 그리고 RAM-based 등의 세 가지 형태로 제안된 DWT 구조는 우수한 성능과 높은 하드웨어 효율을 보여주지만 복잡한 라우팅 네트워크와 스케줄링이 필요하다<sup>[3]</sup>. 단순한 시스템

\* 본 연구에 사용된 설계 툴은 반도체설계교육센터(IDEC)에서 지원된 것임.

릭 구조를 이용한 DWT 구조도 제안되었지만 상위 레벨을 처리하는 블록의 하드웨어 효율이 떨어지는 단점이 있다<sup>[4]</sup>. 즉, 각 레벨의 하드웨어 효율은 첫 번째 레벨에서 100%이고 두 번째 레벨에서는 50%, 그리고 세 번째 레벨에서는 25%로 감소된다. 최근에 제안된 구조<sup>[5]</sup>에서는 이러한 단점이 보완되었지만 고역 필터와 저역 필터를 각각 독립적으로 사용함으로써 하드웨어의 크기가 증가한다는 문제점이 있다.

본 논문에서는 병렬 입력을 채택함으로써 단일의 입력 시스템과 비교 할 때, 동일 시간에 병렬화 만큼의 결과를 얻을 수 있었다. 필터 계수들간에 미러 필터의 특성<sup>[6]</sup>을 이용하여 최대한 고역 필터와 저역 필터의 계수들을 공유함으로써 곱셈기와 덧셈기의 수를 반으로 줄였다. 일반적으로 DWT 처리 시에 각 레벨에서의 처리 샘플 수는 계속 반으로 줄기 때문에 하드웨어의 효율 또한 감소하므로 이를 보완 하기 위하여 제안한 구조에서는 2 레벨과 3 레벨에서 폴딩된 구조의 C.S.R (Circular Shift Register) 곱셈기와 덧셈기를 사용함으로써 하드웨어의 효율을 높일 수 있었다. 또한, 마지막으로 임계 경로를 줄이기 위해 파이프라인 레지스터를 삽입함으로써 성능개선 효과를 얻을 수 있다.

본 논문의 구성은 다음과 같다. 2장에서는 이산 웨이블릿 변환의 간단한 소개와 본 논문에서 사용된 Daubechies 필터에 대하여 설명한다. 3장에서는 본 논문에서 제안된 1 차원 DWT 구조를 설명하고, 4 장에서는 이에 대한 설계와 검증에 대하여 설명한다. 마지막으로 5 장에서는 결론을 맺는다.

2. 이산 웨이블릿 필터

웨이블릿 변환에 사용되는 기저 함수의 집합은 하나의 기본 웨이블릿 기저 함수(Mother Wavelet Basis Function)에 대한 시간축 방향으로의 확대 및 축소, 그리고 평행 이동을 통해 얻어진다. 기본 웨이블릿 기저 함수는 특별한 형태의 밴드(Bandpass) 필터로 생각할 수 있으며, 웨이블릿 변환의 상대 대역폭 불변성은 기본 웨이블릿 기저에 대한 시간축 방향 축소 및 확대에 의해 충족되어진다. 이에 따라 웨이블릿 변환에서는 주파수 대역이라는 용어 대신 스케일(Scale)이라는 용어를 주로 사용하며, 입력 신호에 대한 웨이블릿 변환을 다른 말로 원신호의 시간, 스케일 공간표현이라 일컫는다.

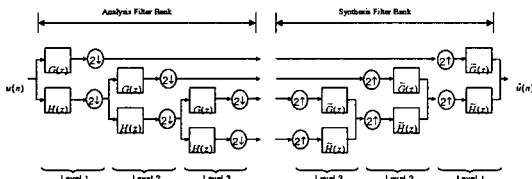


그림 1. 3 단계 웨이블릿 분해와 합성  
Fig. 1. Analysis and synthesis for 3-level DWT

그림 1 은 3 단계 웨이블릿 분해와 합성에 대한 흐름도이다.  $H(z)$ 와  $G(z)$ 는 각각 스케일링 함수와 웨이블릿 함수에 일치하는 신장계수로,  $H(z)$ 는 저역 필터,  $G(z)$ 는 고역 필터를 나타낸다. 다해상도 분석은 그림 1 과 같이 저역 필터와 고역 필터를 번갈아 수행하는데 그 중에서  $H$  는 다음 단계의 입력으로 들어가 같은 방법으로 분해과정을 반복한다.

일반적인 웨이블릿 필터는 고역 필터와 저역 필터를 거쳐 DWT 가 된다. Daubechies 웨이블릿 필터 계수는 미러 필터(mirror filter)의 특성을 가지므로, 본 논문에서는 저역 필터와 고역 필터 사이의 이런 특성을 이용하여 최대한 고역 필터와 저역 필터를 공유하도록 하였다. 본 구조에서 사용된 Daubechies 웨이블릿 필터는 저역 필터와 고역 필터의 계수들의 관계에 의하여 아래의 식이 성립된다.

$$g_{M-1-m} = (-1)^m h_m \quad (M > 2) \quad (1)$$

DWT 필터의 저주파 및 고주파 전달 함수를 각각  $H(z)$ 와  $G(z)$ 로 놓으면,

$$\begin{aligned} H(z) &= h_0 + h_1 z^{-1} + \dots + h_{M-1} z^{-(M-1)} \\ G(z) &= g_0 + g_1 z^{-1} + \dots + g_{M-1} z^{-(M-1)} \end{aligned} \quad (2)$$

와 같다. (1)식을 저주파 및 고주파 전달 함수  $H(z)$ 와  $G(z)$ 에 각각 대입하여 다시 표현 하면,

$$\begin{aligned} H(z) &= h_0 + h_1 z^{-1} + \dots + h_{M-1} z^{-(M-1)} \\ G(z) &= (-1)^{M-1} h_{M-1} + (-1)^{M-2} h_{M-2} z^{-1} + \dots + (-1)^0 h_0 z^{-(M-1)} \end{aligned} \quad (3)$$

으로 나타낼 수 있는데, 이것을 다시 일반적인 1-D Daubechies 4 탭 필터에 적용하면 아래와 같이 정리할 수 있다.

$$\begin{aligned} (2n)\text{-clock} : v_n &= a_{2n} h_0 + a_{2n-1} h_1 + a_{2n-2} h_2 + a_{2n-3} h_3 : \text{low} \\ (2n+1)\text{-clock} : u_n &= -a_{2n} h_3 + a_{2n-1} h_2 - a_{2n-2} h_1 + a_{2n-3} h_0 : \text{high} \end{aligned} \quad (4)$$

Daubechies N = 6		
N	H(저역 필터 계수)	G(고역 필터 계수)
0	0.33267055295008	-0.03522629188571
1	0.80689150931109	-0.08544127388203
2	0.45987750211849	0.13501102001025
3	-0.13501102001025	0.45987750211849
4	-0.08544127388203	-0.80689150931109
5	0.03522629188571	0.33267055295008
Daubechies N = 4		
0	0.48296291314453	0.12940952255126
1	0.83651630373781	0.22414386804201
2	0.22414386804201	-0.83651630373781
3	-0.12940952255126	0.48296291314453
Daubechies N = 2		
0	0.70710678118655	0.70710678118655
1	0.70710678118655	-0.70710678118655

표 1. Daubechies 웨이블릿 필터 계수  
Table 1. Filter coefficient of Daubechies wavelet

표 1 은 탭 수에 따른 Daubechies 웨이블릿 필터 계수를 나타낸다. 필터 계수들을 보면, N 을 필터의 탭수라고 할 때, N=2 일 때를 제외하면 이들 관계가 식 (1)과 같음을 확인할 수 있다.

3. 제안된 DWT 아키텍처

그림 2 는 본 논문에서 제안된 DWT 구조의 최상위 블록 다이어그램이다. 하드웨어의 효율 저하를 개선하기 위하여 제안된 구조에서 입력 샘플의 수가 반씩 감소되는 레벨 2 와 레벨 3 은 풀딩된 구조의 C.S.R (Circular Shift Register)<sup>[5]</sup> 곱셈기와 덧셈기를 사용함으로써 하드웨어의 복잡도를 개선하였다. 또한 각 레벨에서 병렬 입력을 채택함으로써 단일의 입력 시스템과 비교할 때 동일 시간에 병렬화 만큼의 결과를 얻을 수 있었다.

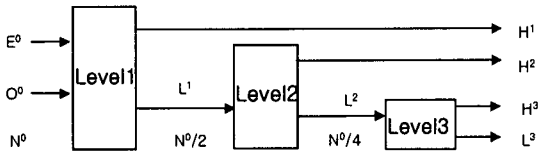


그림 2. 최상위 DWT 구조 (분석단).  
Fig 1. The top-level DWT architectural scheme

그림 3 은 레벨 1 의 DWT 를 수행하기 위한 블록 다이어그램이다. 레벨 1 블록은 짝수 입력과 홀수 입력을 받아 동시에 저역 필터 출력과 고역 필터 출력을 생성한다. 이 때, 저역 필터 출력은 a, d, f 와 g를 더해 만들어지고, 고역 필터 출력은 e 와 h, 그리고 (1)식에 의해 일부 저역 필터 계수 값에 음수를 취한 b 와 c를 더하여 결과를 얻는다.

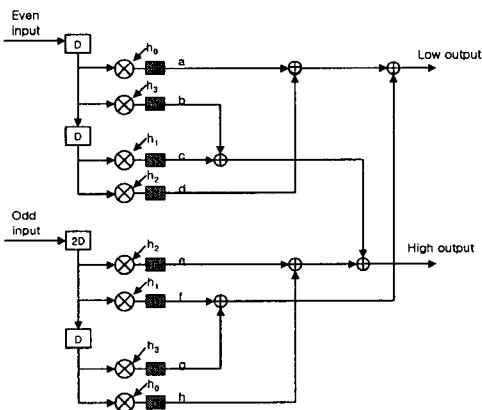


그림 3. 분석단 레벨 1 의 블록 다이어그램  
Fig 3. Block Diagram for level 1 in the analysis stage

짝수와 홀수의 입력을 동시에 받아서 각각 지연을 위한 레지스터들을 통해 처리를 위한 시간을 맞춘다

음 Daubechies 계수와의 곱셈 결과와 4 탭의 과거 값들과의 덧셈을 거쳐 저역 필터 출력과 고역 필터 출력을 생성한다. 일반적인 필터의 구조는 주로 지연을 위한 레지스터들을 곱셈기 후반부에 위치시켜 임계경로를 줄이는 목적과 지연을 위한 목적으로 동시에 사용한다. 그러나, 부가적으로 많은 수의 레지스터들과 때로는 멀티플렉서를 사용해야 되므로 시스템이 복잡해진다. 그래서 제안한 레벨 1 의 아키텍처에서는 입력 뒤 흰색의 지연 레지스터와 곱셈 후에 그 결과를 담아 임계 경로를 줄이는 회색의 파이프라인의 레지스터로 곱셈기 앞과 뒤로 나누어 사용하여 전체적으로 시스템 성능을 개선하였다.

그림 4 의 레벨 2 를 위한 블록에서는 레벨 1 의 저역 필터 출력을 입력으로 받는다. 받은 입력을 다시 짝수와 홀수로 나누어 입력하고 적절히 레지스터를 삽입하여 필터의 계산이 요구하는 시간에 맞춰 입력 데이터를 처리하도록 하였다. 그러므로 레벨 2 블록에서 저역 필터 출력과 고역 필터 출력은 매 2 clock 씩 마다 생성된다.

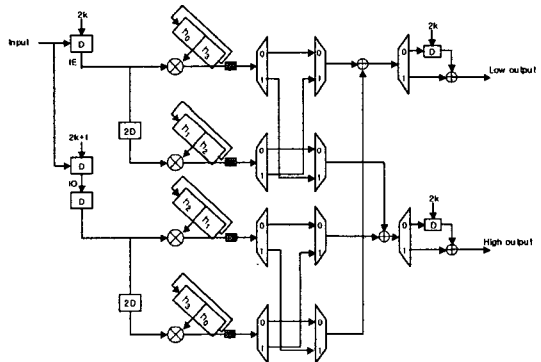


그림 4. 분석단 레벨 2 의 블록 다이어그램  
Fig 4. Block Diagram for level 2 in the analysis stage

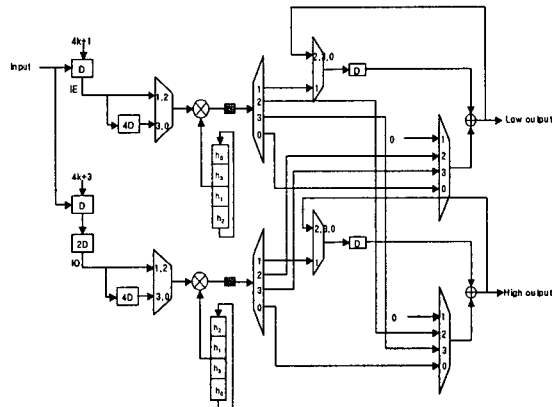


그림 5. 분석단 레벨 3 의 블록 다이어그램  
Fig 5. Block Diagram for level 3 in the analysis stage

그림 4 과 그림 5 에서는 레벨 2 와 레벨 3 에서 다  
 온 샘플링에 의한 처리 샘플 수가 각각 1/2, 1/4 로 감  
 소되기 때문에, 그를 위한 하드웨어도 1/2, 1/4 로 줄  
 여서 계산되도록 구성하였다. 각 레벨에서 반씩 감소  
 하는 샘플의 수를 처리하는 하드웨어(곱셈기, 덧셈기)  
 도 반씩 줄기 때문에 제안된 구조에서는 하드웨어의  
 효율을 100%로 증가 시킬 수 있다. 레벨 2 에서  
 C.S.R 은 두 개의 Daubechies 계수 값을, 레벨 3 에서  
 C.S.R 은 네 개의 Daubechies 계수 값을 레지스터에  
 넣고 각각 2 클럭과 4 클럭마다 효율적으로 한 개의  
 곱셈기에서 곱셈을 수행한다. 이는 데이터의 라이프  
 타임표(life-time table)를 이용해 레지스터의 수가 최소  
 화되도록 스케줄을 구함으로써 최적화 하였다. 다음  
 단에서도 입력 신호를 짝수 입력과 홀수 입력으로 나  
 누고, 처리하는 하드웨어도 같은 비율로 줄여서 시간  
 적으로 이를 공유하는 방법을 이용하여 반복적으로  
 데이터를 처리한다.

4. 실험결과

제안된 1 차원 DWT 구조는 VHDL 로 모델링 되었  
 으며 Modelsim 환경에서 시뮬레이션 되어 그의 동작  
 이 검증되었다. 그림 6 은 앞에서 제안된 1 차원  
 DWT 구조의 타이밍 다이어그램이다. 각각 레벨 1 과  
 레벨 2, 그리고 레벨 3 의 출력을 나타내는 (High1,  
 Low1), (High2, Low2), 그리고 (High3, Low3)들은 각각  
 동시에 출력된다. 또한 (High1, Low1)은 1 클럭 사이  
 클, (High2, Low2)는 2 클럭 사이클, 그리고 (High3,  
 Low3)는 4 클럭 사이클 동안 출력이 유지됨을 볼 수  
 있다.

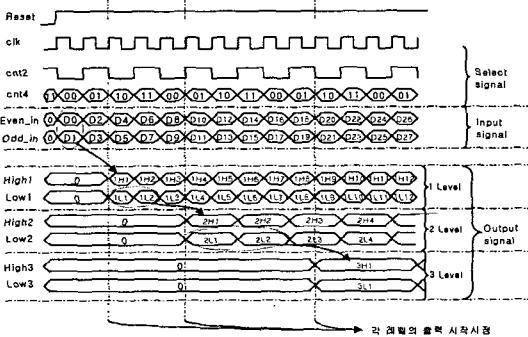


그림 6. 제안된 1 차원 DWT 의 타이밍 다이어그램  
 Fig 6. Timing Diagram for the proposed 1-D DWT

그림에서 타원형의 점선으로 나타낸 데이터들은  
 다음 레벨에 입력되어 화살표가 가리키는 각 레벨의  
 출력을 만들어 낸다. 이 때 나타나는 한 클럭의 지연  
 은 파이프라인 레지스터에 의한 지연이다. 하지만 파  
 이프라인을 적용으로 인한 장점은 임계경로를 줄임으  
 로써 동작주파수를 증가시킬 수 있다는 점이다. 즉,

그림 3 에서 보면 파이프라인이 없다면, 임계경로는  
 곱셈기 하나와 덧셈기 두 개의 처리구간이 될 것이다.  
 그러나 파이프라인을 함으로써 임계 경로를 곱셈기  
 하나의 지연시간으로 줄이는 효과를 볼 수 있다.

설계 시에 처리 데이터의 비트 할당은 각각 그림  
 7 과 같이 하였다. 4 탭의 Daubechies 계수 값들이 모  
 두 정수 1 보다 작으므로, 처리되는 데이터 16 비트에  
 서 하위 5 비트는 소수점 이하 부분으로 할당하며,  
 나머지 상위 11 비트는 부호와 정수부분으로 할당하  
 였다.

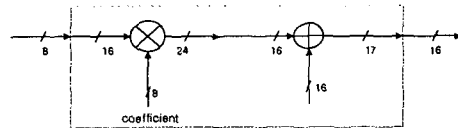


그림 7. 제안된 구조에서의 비트할당 방법  
 Fig 7. Bit allocation in the proposed architecture

5. 결과

본 논문에서는 파이프라인을 적용한 고성능 1 차원  
 이산 웨이블릿 변환 필터의 구조를 제안하였다. 각  
 레벨마다 입력이 다운 샘플링 되기 때문에 그에 해당  
 하는 각 레벨의 하드웨어도 반으로 구현하고 이것을  
 공유함으로써 그의 복잡도가 각 레벨마다 반으로 줄  
 어들었다. 또한 저역과 고역 필터 계수의 미러 특성  
 을 이용하여 하나의 필터를 서로 공유함으로써 직접 구  
 현방식보다 덧셈기와 곱셈기의 수가 반으로 줄었다.  
 이에 따라 제안된 구조는 100%의 하드웨어 효율  
 (utilization)을 나타내었으며 임계경로를 줄이기 위하  
 여 파이프라인을 적용하였다.

참고문헌

[1] S. Mallat, "A theory for multiresolution signal decomposition: The wavelet representation," IEEE Trans. Pattern Anal. And Machine Intell., vol.11, no.7, pp.674-693, 1989  
 [2] J. T. Kim, Y. H. Lee, T. Isshiki, and H. Kunieda, "Scalable VLSI architectures for lattice structure-based discrete wavelet transform," IEEE Trans. CAS-II, vol.45, no.8, pp.1031-1043, 1998  
 [3] M. Vishwanath, R. M. Owens, and M. J. Irwin, "VLSI architectures for the discrete wavelet transform," IEEE Trans. CAS-II, vol.42, no.5, pp.305-316, 1995  
 [4] 반성범, 박래홍, "이산 웨이블릿 변환을 위한 효율적인 VLSI 구조," 전자공학회논문집 제 36 권, S 편, 제 6 호, pp.96-103, 1999  
 [5] F. Marino, D. Guevorkian, and J. T. Astola "Highly efficient high-speed/low-power architectures for the 1-D discrete wavelet transform," IEEE Trans. Circuits Syst. II, vol.47, no.12, pp.1492-1502, 2000  
 [6] Kenneth R. Castleman, "Digital Image Processing", PRENTICEHALL, pp.329-330, 1996