

FPGA를 이용한 TCM을 적용한 QAM 모델 설계 및 구현에 관한 연구

강성진, 강병권  
순천향 대학교 정보기술공학부

A Study on the Design and Implementation of Trellis Coded QAM Modem using FPGA

Sing-Jin Kang · Byeong-Gwon Kang  
Dept. of Information Technology Engineering, Soonchunhyang University

**Abstract** - 본 논문에서는 전력과 대역폭이 제한된 환경에서 효율적인 트렐리스 부호화 변조방식을 적용한 QAM 모델을 구현하였다. 입력되는 데이터를 트렐리스 부호화 변조한 후 I, Q로 분리된 신호는 신호 사상기를 통하여 해당하는 성상점으로 변환된다. 복조기는 I, Q의 신호를 트렐리스 복조기에 입력하여 데이터를 복구한다. 변복조기의 구현은 Xilinx사의 FPGA 디자인틀인 Foundation을 사용하여 VHDL simulation과 Chip Targeting을 수행하였다.

$$S_m(t) = C_m \cos(2\pi f_c t + \theta_m) \quad m=1, 2, \dots, M$$

$$= A_m \cos 2\pi f_c t + B_m \sin 2\pi f_c t \quad 0 \leq t \leq T \quad (1)$$

위의 파형은 90도의 위상차를 가진 두 반송파가 이산 진폭  $\{A_m, B_m\}$ 에 의해 변조된 형태이므로 직각 진폭 변조 (Quadrature Amplitude Modulation : QAM)이라 한다. QAM 신호에서 진폭  $\{A_m\}$ 과  $\{B_m\}$ 은 다음과 같이 표현할 수 있다.

$$A_m = d_m A$$

$$B_m = e_m A \quad (2)$$

여기서 A는 고정된 진폭이고,  $(d_m, e_m)$ 은 원하는 신호의 위치를 만든다. 식(2)로부터 기준함수를 다음과 같이 정의하면

$$\Psi_1(t) = \cos 2\pi f_c t$$

$$\Psi_2(t) = \sin 2\pi f_c t \quad (3)$$

신호 공간상에서 i번째 신호점은  $Ad_m$ 과  $Ae_m$ 으로 주어지며,  $(d_m, e_m)$ 은  $L \times L$ 행렬의 요소가 된다.

$$(d_m, e_m) = \begin{pmatrix} (-L+3, L-1) & (-L+1, L-1) & \dots & (L-1, L-1) \\ (-L+1, L-3) & (-L+3, L-3) & \dots & (L-1, L-3) \\ \dots & \dots & \dots & \dots \\ (-L+1, -L+1) & (-L+3, -L+1) & \dots & (L-1, -L+1) \end{pmatrix} \quad (4)$$

여기서  $L = \sqrt{M}$ 이다.

1. 서 론

최근 정보사회가 가속화됨에 따라 고속 및 양질의 음성, 데이터, 영상을 동시에 수용하는 디지털 멀티미디어 통신 시스템에 대한 연구가 진행되고 있다. 현재 초고속 데이터 전송망은 ATM 또는 광케이블과 같은 유선망이 담당하고 있으며, 막대한 투자비가 요구되는 초고속 정보통신망의 대안으로 무선의 광대역성을 이용하여 경제적이면서도 신속하게 무선을 대체로한 데이터 전송망을 구축하는 연구가 진행중이다. 이에 따라 본 논문에서는 대역폭과 전력의 효율성이 요구되는 데이터 전송 시스템에서는 채널부호화와 M-ary 변조방식을 하나의 과정으로 수행하여 대역폭과 전력의 증가 없이 신뢰도를 향상시키는 기법인 트렐리스 부호화 변조 방식을 적용하여 정보를 16QAM 방식으로 전송하였으며, 수신된 정보를 비터비 알고리즘으로 복호하여 시스템성능을 분석하였고 변복조기를 VHDL을 이용하여 설계하였다. 본 논문의 구성은 다음과 같다. 2장에서는 직각 진폭 변조와 트렐리스 부호화변조 방식에 대하여 알아보고, 3장에서는 변복조기의 구조에 대하여 설명한다. 4장에서는 실험 결과를 확인하고 마지막으로 5장에서는 결론을 맺는다.

2. 직각 진폭 변조와 트렐리스 부호화변조 방식

2.1 직각 진폭 변조

동기 방식의 MPSK 변조는 대역폭 효율의 측면에서 가장 널리 알려진 변조기법이다. 채널 심벌 구간동안 한 비트를 사용하는 이진 방식을 대신하여,  $k = \log_2 M$  비트를 한 심벌 구간에 전송하여 M심벌의 원소를 사용하는 방식이 M-ary이다. 따라서 M-ary 심벌을 사용하는 PSK는 같은 대역폭에서 k배 증가한 정보율을 얻을 수 있으며, 정보율을 고정시켰을 때에는 필요한 대역폭을 k배만큼 줄일 수 있다. 하지만 MPSK 신호에서 M(k)값이 커질에 따라 같은 오차확률 성능을 유지하기 위해 평균 전송 전력을 증가시켜야 한다는 문제점이 발생한다. 이러한 단점은 다중 위상과 다중 진폭을 혼합하여 k비트의 정보를 한 심벌로 사상하는데 이용함으로써 보완된다. 다중진폭과 다중 위상을 혼합한 일반적인 형태는 다음과 같다.

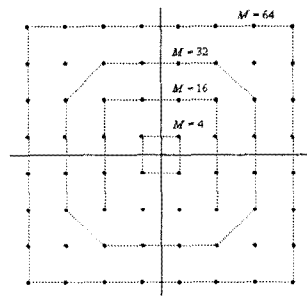


그림 1. 사각 QAM의 신호 위치

2.2 트렐리스 부호화 변조

트렐리스 부호화 변조는 전력과 대역폭이 제한된 환경에서 효율적인 디지털 통신을 위해 1982년 Ungerboeck

에 의해 제안되었다. 디지털 통신 시스템은 전력제한환경(power-limited environment)과 대역제한 환경(band-limited environment)으로 나눌 수 있으며, 전력이 제한된 환경에서는 가능한 작은 전력으로 원하는 시스템 성능을 얻기 위해 오차 정정 부호(error correcting code)를 사용한다. 오차 정정 부호는 블록부호(block code)와 컨벌루션 부호(convolution code)로 나눌 수 있고, 정보 비트에 잉여 비트를 첨가하여 채널에서 발생하는 오차를 감지, 수정하여 성능향상을 도모하는 것이다. 그러나 잉여 비트의 첨가는 전송해야 될 비트의 증가로 데이터 전송률이 증가되며 이로 인해 더 넓은 대역폭을 요구하게 된다. 즉, 오차 정정 부호를 사용하는 채널부호화는 대역폭의 효율을 희생하여 신뢰도를 향상시키는 것이다. 일반적으로 대역폭이 제한된 환경에서 주파수 이용 효율을 향상시켜 대역폭을 줄이는 근본적인 방법은 M-ary 변조를 사용하는 것이며, k비트를 모아 하나의 심벌에 대응시키는 것을 M-ary 신호화라 한다. 이때 M은 채널신호 집합의 크기를 나타내고 그 값은  $2^k$ 이다. 이진변조에서는 각각의 신호가 1비트를 나타내는데 비해 M-ary 변조에서는 각각의 채널신호가 k비트를 나타냄으로 신호점이 증가되고 따라서 신호점 간의 거리가 짧아져 성능의 저하를 초래한다. 성능의 저하를 감소시키기 위해서는 신호의 전력을 증가시켜야 한다. 이러한 M-ary 변조는 대역폭 효율은 향상되지만 신뢰도를 향상시키기 위해서는 전력을 증가시켜야 하는 단점이 있다. 과거에는 이러한 채널 부호화와 변조조를 분리하여 취급하였으나 대역폭과 전력의 효율성이 요구되는 데이터 전송 시스템에서는 채널부호화와 M-ary 변조방식을 하나의 과정으로 수행하여 대역폭과 전력의 증가 없이 신뢰도를 향상시키는 기법으로 트렐리스 부호화 변조방식이 제안되었다.

### 2.2.1 트렐리스 부호의 특성

특정 변조 방식의 비트 오율 특성은 신호 공간에서 채널 신호들간의 유클리드 거리의 제곱에 밀접한 관계가 있다. 그러므로 채널 부호화와 변조를 하나의 과정을 취급하는 트렐리스 부호화 변조에서는 사용되는  $k/n$  컨벌루션 부호는 신호 열들 사이의 유클리드 거리가 최대가 되도록 즉, 부호화된 신호 열들의 최소 유클리드 거리(자유 유클리드 거리, free Euclidean distance,  $d_{free}$ )를 최대화시키기 위한 컨벌루션 부호화기와 신호 사상기(signal mapping)를 설계하여야 한다. 이러한 방법에 의하여 동일한 전송률, 대역폭, 신호 전력에서 변조 신호의 자유 유클리드 거리인  $d_{free}$ 가 부호화 되지 않은 신호들 사이의 최소 유클리드 거리인  $d_{min}$  보다 커지게 된다. 트렐리스 부호화 변조에서는 기존의 M-ary 변조에 필요한 채널 신호보다 단지 두 배로 확장된 신호집합만을 사용한다. 즉, 신호집합의 크기를  $M=2k$ 에서  $2M=2k+1$ 로 확장시킨다. 따라서  $k/(k+1)$  컨벌루션 부호화기를 사용하며 이 때 컨벌루션 부호화기는 채널 신호 열간의 유클리드 거리가 최대가 되도록 설계한다. 트렐리스 부호화 변조의 목표는 최대 확률론적(Maximum Likelihood Sequence Estimation, MLSE)복호 방법인 Viterbi Decoding 알고리즘을 사용함으로써 부호화 이득을 얻게 된다.

### 2.2.2 집합분할기법

자유 유클리드 거리를 최대화시키기 위하여 부호화기의 출력을 신호 사상기에 인가하여 사상하는 규칙이 Ungerboeck에 의해서 제안된 신호집합 분할 기법(The method of set partitioning)이다. 이것은 채널신호 집합을 연속적으로 부 집합으로 분할하는 데 부 집합안의 신호들 사이의 최소 유클리드 거리가 점차적으로 증가하도록 분할하는 방법이다.

### 2.2.3 16-QAM 신호의 집합 분할

16-QAM 신호의 집합을  $A_0$ 라 하면 인접신호간의 거리는  $d_0=2$ 가 된다.  $A_0$ 을 각 신호 점간의 거리를 기준으로 2개의 부집합  $B_0, B_1$ 으로 분할하면  $B_0$ 와  $B_1$ 에서 인접신호간의 최소거리는  $d_1=2\sqrt{2}$  된다.  $B_0$ 와  $B_1$ 을 다시 분할하면 4개의 부집합  $C_0, C_1, C_2, C_3$ 이 만들어지며 이들 부집합 내에서의 인접신호간의 최소거리는  $d_2=4$ 가 된다. 같은 방법으로 이 4개의 부집합을 다시 나누면 7개의 부집합  $D_0, D_1$ 이 만들어지면 인접 신호간의 최소 거리는  $4\sqrt{2}$ 가 된다.

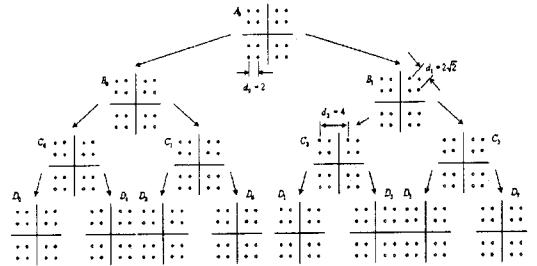


그림 2. 16-QAM 신호의 집합 분할

트렐리스 부호화 변조의 구조는 크게 컨벌루션 부호화와 신호 사상기 두 블록으로 나누어진다. 그림 2는 Ungerboeck의 트렐리스 부호화 변조의 구조이다.

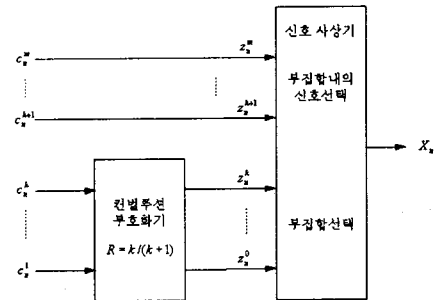


그림 3. Ungerboeck의 트렐리스 부호화 변조의 구조

입력 비트중  $C_1^k, C_2^k, C_n^k$ 의 k비트는 컨벌루션 부호화기로 입력되어 컨벌루션 부호화기의 상태에 따라 출력 비트  $z_n^1, z_n^2, z_n^k$ 의  $k+1$ 비트를 출력한다. 여기서  $k+1$  비트의 조합에 따라 신호집합 분할의 부 집합 중 하나를 선택하고 정보 비트가 출력 비트에 그대로 나타나는  $z_n^{k+1}, z_n^m$ 비트는 특정 부 집합 내의 신호 중 하나를 선택하게 된다. 이러한 비트 조합에 따라 채널신호  $x_n$ 이 선택된다.

$$x_n = f(z_n^0, z_n^1, z_n^2, \dots, z_n^m) \quad (5)$$

트렐리스 부호화 변조를 설계하기 위해서는 부호화율  $R = k+1$ 의 컨벌루션 부호화기를 사용하였을 때 채널 신호 집합의 크기를  $2^k$ 에서  $2^{k+1}$ 로 채널 신호 집합을 확장하는 것이다. 확장된 신호집합에서 유클리드 거리가 점차적으로 최대가 되도록 신호 집합 분할을 한다.

### 3. 변복조기 구조

#### 3.1 부호화 변조기 구조

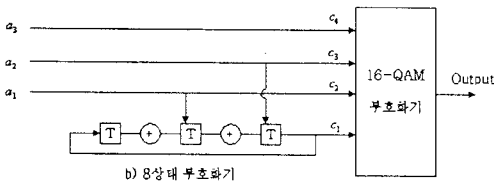


그림 4. 16-QAM 트렐리스 부호화 변조의 구조

그림 4은 변환구조를 갖는 16-QAM 컨벌루션 부호화기이다. 부호화기는 8상대이고 입력 비트중  $k$ 비트는 컨벌루션 부호화기로 입력되어 컨벌루션 부호화기의 상태에 따라 출력 비트  $k+1$ 비트를 출력한다. 입력 비트중  $k+1$  비트의 조합에 따라 신호집합 분할의 부 집합 중 하나를 선택하고 정보 비트가 출력 비트에 그대로 나타나는 비트는 특정 부 집합 내의 신호 중 하나를 선택하게 된다.

#### 3.2 복호기 구조

모든 트렐리스 부호화 변조 시스템에서 부호화된 변조 신호는 MLSE(Maximum Likelihood Sequence Estimation) 기법인 비터비 복호 알고리즘을 사용한다. MLSE 복호는 수신된 신호와 전송 가능한 모든 신호를 비교한 후 전송한 신호와 가장 유사한 신호를 선택하여 복호하는 알고리즘이다.

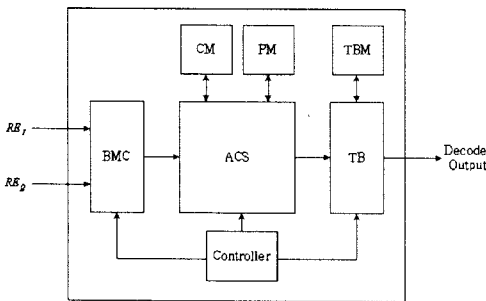


그림 5. 복호기 구조

#### 3.2.1 Branch Metric Calculation

BMC블록에서는 수신된 신호와 각 신호점 사이의 유클리드 거리를 계산한다. 유클리드 거리는 다음과 같이 표현된다.

$$ED = \sqrt{(R_I - C_I)^2 + (R_Q - C_Q)^2} \quad (6)$$

그러나 제곱근연산의 경우 많은 하드웨어를 소모하게 되므로 본 논문에서는 하드웨어 간소화를 위해 가감산 연산과 절대값 연산으로 구성되는 식으로 신호점간의 유클리드 거리를 계산하였다.

$$AED = |R_I - C_I| + |R_Q - C_Q| \quad (7)$$

#### 3.2.2 Add Compare Select

Branch Metric과 현재의 Path Metric값을 합을 계산하고 같은 상태로 천이하는 경로중 가장 작은 값을 가지는 경로를 선택하여 Path Metric에 저장하고 해당하지 않은 경로는 제거한다. 이 때 상태 정보를 역추적 메모리에

저장한다.  $R=3/4$   $K=4$ , 8상대의 경우 한 심볼당 64개의 ACS연산을 수행한다.

#### 3.2.3 Trace back

Add-Compare-Select에서 연산된 생존 경로는 Path Metric 메모리에 저장되고, 이 경로 중 최소경로인 Survival Path를 역 추적하여 원래의 입력정보와 같을 확률이 가장 높은 값을 선택한다.

### 4. 실험 결과

#### 4.1 시뮬레이션 결과

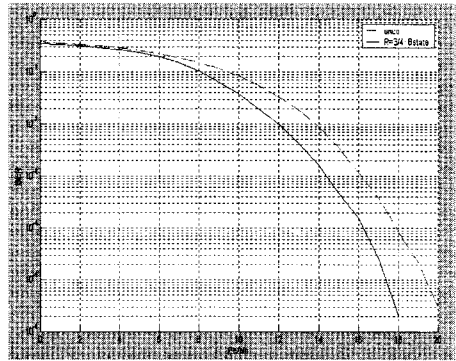


그림 6.  $R=3/4$  8상대의 TCM 부호 비트 오율

그림 6은 가우시안 채널에서  $R=3/4$   $K=4$ , 8상대의 TCM 부호를 사용한 경우의 시스템을 C언어로 구현하여 시스템 성능을 분석하였다. 신호 대 잡음비가 6dB 이상에서 부호화의 효과가 나타남을 볼 수 있으며 2.3dB의 부호화 이득을 얻을 수 있음을 확인하였다.

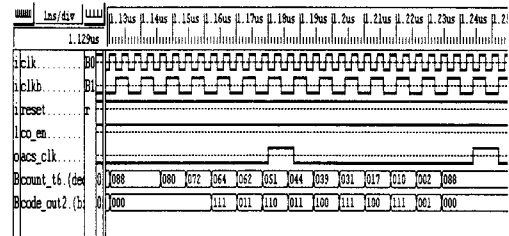


그림 7. 복호기 VHDL 시뮬레이션 결과

그림 7은 부호화된 데이터를 복호기에 입력하여 출력된 파형을 나타낸 것이다. Xilinx사의 FPGA 디자인툴인 Foundation을 사용하여 VHDL simulation을 수행하였으며 PM의 Survival Path 정보를 입력받아 CM에 있는 데이터를 역 추적하여 원래의 입력정보와 같을 확률이 가장 높은 값을 선택한다.

#### 4.2 하드웨어 구현

xilinx사의 VIRTEXE VE300PQ240 Chip Device에 Targeting하여 timing Simulation한 결과이다.

- Design Summary:  
 Number of errors: 0  
 Number of warnings: 2  
 Number of Slices : 1,771 out of 3,072 57%  
 Number of Slices containing  
 Number of Slice Flip Flops : 1,172 out of 6,144 19%  
 Total Number 4 input LUTs : 3,318 out of 6,144 54%

Number used as LUTs : 3,316  
 Number used as a route-thru : 2  
 Number of bonded IOBs : 8 out of 158 5%  
 Number of GCLKs : 4 out of 4 100%  
 Number of GCLKIOBs : 2 out of 4 50%

- Design statistics:

Minimum period : 38.437ns  
 (Maximum frequency: 26.017MHz)  
 Maximum net delay: 6.255ns

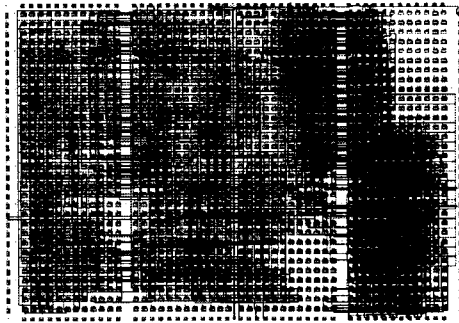


그림 8. Target Chip의 Layout 형태

그림 8은 Xilinx사의 VIRTEXE VE300PQ240 Chip Device에 Targeting한 Layout 형태이다.

### 5. 결 론

본 논문에서는 전력과 대역폭이 제한된 환경에서 효율적인 트렐리스 부호화 변조방식을 적용한 QAM 모델을 구현하였다. 입력되는 데이터를 트렐리스 부호화 변조된 신호는 신호 사상기를 통하여 해당하는 성상점으로 변환된다. 복조기는 I,Q의 신호를 트렐리스 복호기에 입력하여 데이터를 복구한다. 구현하고자 하는 트렐리스 부호화 변조기를 C로 시뮬레이션 하여 시스템의 성능을 확인하였고, 변복조기의 구현은 Xilinx사의 FPGA 디자인 툴인 Foundation을 사용하여 VHDL simulation과 Chip Targeting을 수행하였다.

### (참 고 문 헌)

- [1] Bernard Sklar, *Digital communication*, Prentice Hall, 1988.
- [2] Jhon G. Proakis, *Digital communication*, McGraw-Hill, 1995.
- [3] Ezio Biglieri, Dariush Divsalar, Peter J. McLane, Marvin K. Simon, *Introduction to Trellis-Coded Modulation with Applications*, Macmillan Publishing Company, 1991.
- [4] Fuqin Xiong, *Digital Modulation Techniques*, Artech House, 1996.
- [5] L. Hanzo, W. Webb, T. Keller, *Single-and Multi-carrier Quadrature Amplitude Modulation*, John Wiley & Sons, 2000.
- [6] Michel C. Jeruchim, Philip Balaban, and K. Sam Shanmugan, *Simulation of Communication Systems*, Plenum Press, New York, 1992.
- [7] Gottfried Ungerboeck, "Trellis-Coded Modulation with Redundant Signal Sets Part I", *IEEE Communication Magazine* Vol.25 No.2 1987.
- [8] Gottfried Ungerboeck, "Trellis-Coded Modulation with Redundant Signal Sets Part II", *IEEE Communication Magazine* Vol.25 No.2 1987.