

전력소모가 적합화된 고전력
연산증폭기의 설계 및 제작

정해용, 최인규, 박종식
경북대학교, 경북대학교, 경북대학교

The Design of Power Operational Amplifier
with optimized Power Dissipation

Hae-yong jung, In-Kyu choi, jong-sik park
Dept of Electronics Engineering Kyungpook National University

Abstract - To reduce the wasted power with using an OP-AMP, a circuit supplying the same amount of power to load through overall voltage range can able proposed. With this type of design, the power that induced to the devices in the circuit will be reduced. we can also develop a small size power supply with the OP-AMP developed using this design. If we need a OP-AMP needed to handle higher power than usual, another design technique can be proposed. With substituting one device with the devices connected in series, the power loaded to each devices in the series devices can be reduced. This thesis contents the design of an OP-AMP to use in high power fields with small thermal dissipation.

1. 서 론

대부분의 연산 증폭기들은 UA741, LF351과 비슷한 1W 미만의 전력을 공급하거나 측정할 수 있다.[1] 물론 기존의 OP-AMP에 전력 booster를 붙이거나 특수한 대전력 연산증폭기를 사용하는 경우가 있지만 사용 전력에 비해한 큰 전력 공급장치가 필요하게 된다. 또한 OP-AMP 제조회사들은 최대 공급전압과 최대 공급전류를 표시하고 있는데, 이 값들로 인해 최대 공급 가능한 전력을 모든 전압 Range에서 모두 사용 가능한 것은 아니다. 예를 들면 OP-AMP 제조 회사중의 하나인 APEX사의 PA41의 Power Dissipation(PD) 은 12W이다.[2] 하지만 (Io)max 가 한정되어 있으므로, (Vo)max 에서만 12W를 사용할 수 있고 다른 전압 영역에서는 12W이하를 사용하게 되며, 전압 Range가 낮을수록 사용전력은 더 낮아지게 되며, 가장 낮은 전압 Range에서는 10W이상의 불필요한 전력이 생긴다. OP AMP의 동작영역 중 사용되지 못하고 버려지는 전력들을 최적화하고 개선하기 위한 방법으로 전력을 전압 별로 분배하여 PD를 모든 전압영역에서 똑같이 사용 가능하도록 하는 회로를 설계한다면 좀더 적은 사이즈의 전력공급 장치가 만들어질 수 있으며, 각 구성소자 또한 적은 PD를 감당할 수 있도록 설계할 수 있다. 또한 이렇 한층 발전시켜 고전력에서 Power TR의 PD를 감소시킬 수 있는 방법으로 TR 1개에서 담당하는 전압을 직렬로 여러 개의 TR을 연결하여 전압분배를 시켜 줌으로써 TR의 PD를 감소시켜 표면 온도의 상승을 최대한 억제시킬 것이다.[3]-[9]

본 논문에서는 최적화 되고 효율적인 전력을 사용하는 고전력 연산증폭기를 설계하고 전력소자가 담당하는 PD를 최소화함으로써 소자 자체에서 방사되는 열을 감소시킨 연산증폭기를 설계 및 제작하였다.

먼저 출력 Swing전압이 ±100V 인 고전압 연산증폭기를 설계하고 2W에 최적화된 고 전력 연산증폭기 회로를 설계할 것이다. 또한 이를 이용하여 시중에 유통되는

APEX사의 PA41을 이용하여 20W 에 최적화된 고 전력 연산증폭기를 설계할 것이다.

2. 본 론

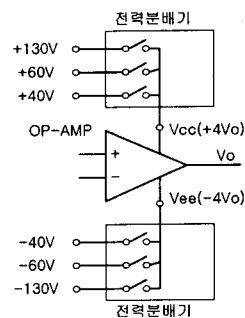


그림 2-1. 전체 구성도
Fig. 2-1 Simplified Schematic

본 논문에서 설계하고자 하는 적합화된 고전력 연산증폭기는 그림2-1과 같이 OP-AMP부분과 전력분배기의 2부분으로 나뉘어 진다.

전력분배기는 OP-AMP가 동작하는데 필요한 전력을 모든 전압 range에서 일정한 값을 가지도록 분배하여 이를 공급하는 역할을 하며 OP-AMP는 전력 분배기에서 공급되는 전류를 이용하여 고전력을 생성하는 연산증폭기이다.

2.1 연산증폭기의 설계

이 부분은 고전력 연산증폭기 중에서 전압을 -100V ~ 100V, 전류를 -100mA ~ +100mA 까지 출력할수 있는 OP-AMP 부분으로써 그림2-2는 그 회로를 나타낸다.

Q3은 Q1에서의 낮은 전압을 Q5쪽의 높은 전압쪽으로 전압 레벨을 변경시켜 신호를 전송하는 역할을 하며 출력단의 전류는 4V_{S1}을 통하여 인가하도록 되어 있다. 만약 +4V_{S1}이 +130V에 연결되어 있다면 Q8이 담당하게 되는 전력은 식(1)에 의해서 26W가 된다.

$$P = (V_{CC} + V_{EE}) \times I_{o_{max}} \quad (1)$$

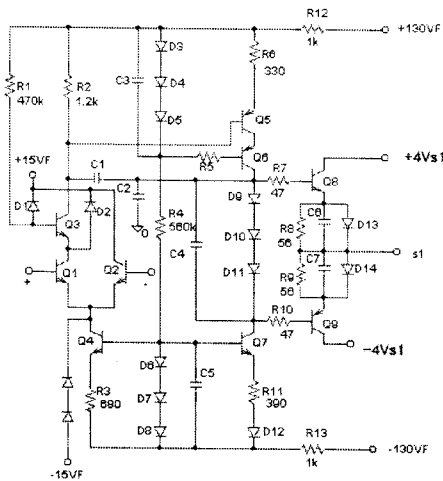


그림 2-2. OP-AMP의 세부 회로

Fig. 2-2 Detailed Schematic of OP-AMP

이렇게 되면 Q_9 이 담당하게 되는 PD가 상당히 큰 값을 가지게 되므로 High Power 소자를 사용해야만 된다. 이것을 개선하기 위해서 +4Vs1과 +130V를 분리하여 전력분배기에서 대부분의 전력을 소모하게 되면 Q_8, Q_9 는 High Power소자가 아니어도 된다. 전류가 전력분배기를 통해서 +4Vs1으로 공급하게 되고 Q_8 의 Collector에는 출력전압보다 4V 높은 전압이 공급되므로 식(2)에 의해서 0.4W가 되어 PD가 상당히 감소하게 된다.

$$P = +4V_o \times I_{o_{max}} = 4V \times 100mA \quad (2)$$

Q_1, Q_3 은 cascode로 구성되어 있어서 Q_3 의 콜렉터로 들어다 본 저항은 $g_{m3} \cdot r_{o1} \cdot r_{o8}$ 이 되어 대단히 큰 값을 가지게 된다.

여기서 g_{m1}, g_{m6} 은 식(3), (4)에서 구할 수 있으며 이것을 이용하면 i_{R6} 은 식(5)와 같이 된다.

$$g_{m1} = \frac{\frac{1}{2} \cdot I_{R3}}{V_T} = \frac{0.88mA}{26mA} = 0.034(\Omega^{-1}) \quad (3)$$

$$g_{m6} = \frac{I_{R6}}{V_T} = \frac{1.54mA}{26mA} = 0.059(\Omega^{-1}) \quad (4)$$

$$i_{R6} = g_{m6} \cdot g_{m1} \cdot R_2 \cdot v_{in} = 2.4 v_{in} \quad (5)$$

식(5)는 V_{in} 이 1mV 변할 때 마다 i_{R6} 은 2.4mA가 변한다는 것을 의미한다.

Small Signal Voltage Gain을 계산하기 위한 등가회로는 그림2-3 과 같다.

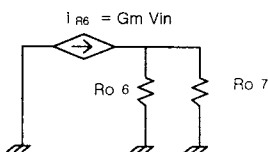


그림 2-3. 증폭기 gain을 계산하기 위한 등가회로
Fig. 2-3 Equivalent circuit for evaluating the gain

R_{o6} 은 Q_6 의 콜렉터로 들어다본 저항이고, R_{o7} 은 Q_7 의 콜렉터로 들어다본 저항이다.

R_{o7} 은 식(6)에 의해서 약1.56 MΩ이 된다.

$$R_{o7} \cong r_{o7} \cdot g_{m1} \cdot R_{11} = V_A \cdot R_{11} \cdot V_T \quad (6)$$

$$\left(\text{단, } r_{o7} = \frac{V_A}{I_{R6}} = 65k\Omega, \quad g_{m1} = \frac{I_{R3}}{V_T} = 61(m\Omega^{-1}) \right)$$

R_{o6} 은 Q_5, Q_6 이 cascode구조로 되어 있어서 대단히 큰 값을 가지게 된다.

따라서 그림2-3의 R_{o6} 와 R_{o7} 의 병렬 저항은 R_{o7} 이 된다. 이것을 이용해 Open Loop Gain을 구해보면 식(6)에서 약 3.7×10^6 가 된다.

$$A = G_m(R_{o6} // R_{o7}) \cong G_m R_{o7} \quad (6)$$

그림2-4는 입력을 -5V ~ +5V까지 변화시킬 때 출력 Swing전압을 표시한 그래프이다. 여기서 A_v 는 20, R_L 는 1 kΩ으로 하였다.

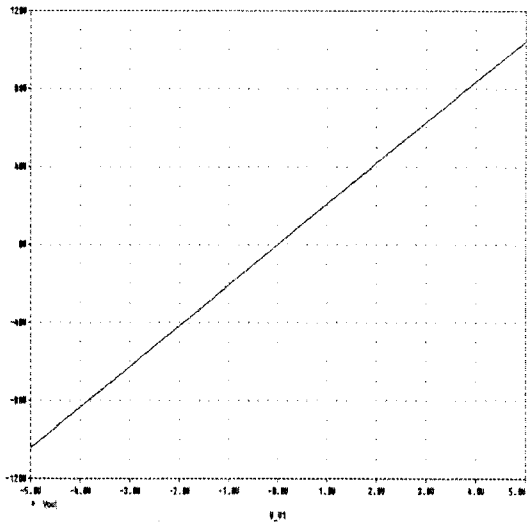


그림 2-4. Vin-Vout그래프

Fig. 2-4 Graph of Vin via Vout

2.2 2W에 적합화된 전력분배기의 설계

APEX사의 PA41의 경우를 보면 최대 공급 가능한 전력은 12W로 한정되어 있지만 모든 전압영역에서 최대 60mA 이상을 공급할 수 없다. 이렇게 되면 그림2-5에서 보는 것과 같이 20V range에서는 사용 가능한 영역은 A가 되며, 과잉 공급영역은 D, G, I 가되어 PD=10.8W가 과잉 공급되게 된다.

40V range에서는 A, D영역을 사용하며, 과잉 공급되는 부분은 D, E, G, H가 되어 PD= 9.6W가 되며, 100V range에서는 A, B, C 영역을 사용할 수 있으며 과잉 공급되는 영역은 D, E, F가 되어 PD=6W가 남게 된다.

그래서 설계한 고전력 연산증폭기의 경우는 어떤 전압 영역에서도 2W의 동일한 전력을 공급할 수 있도록 전력분배기 회로를 사용함으로써 적합화 되고 효율적인 전력을 공급하는 연산증폭기가 되도록 하였다.

그림2-7 는 전압Range별로 흘릴 수 있는 전류영역을 나타낸 것으로 20V range에서는 100mA까지 전류를 흘릴

수 있으므로 A, B, C영역을 사용하며, 40V range에는 A, B, D, E 영역을 사용할 수 있으면 최대 전류는 50mA까지 인가 할수 있다. 또한 100V range에서는 최대 20mA를 흘릴 수 있으며 사용 가능한 영역은 A, D, F가 된다.

그림 2-6의 전체 동작을 살펴보면 먼저 20mA이하의 전류를 OP-AMP가 Source하는 경우 Q_{21} , Q_{23} , Q_{25} 이 OFF 상태에 있게 되고 Q_{20} , Q_{22} , Q_{24} 가 ON 상태가 되어 130V(100V range) 가 전력을 공급한다.

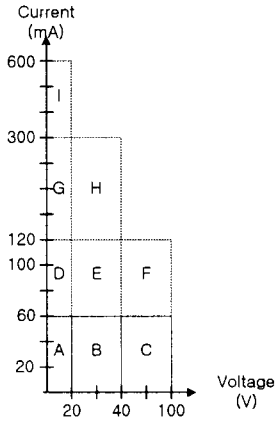


그림 2-5. PA41의 전압 Range별 공급가능한 전류
Fig. 2-5 Available current at the voltage range

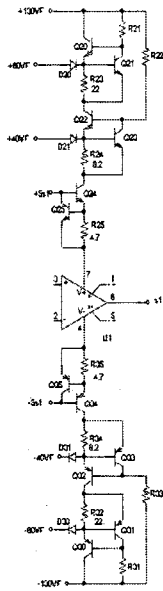


그림 2-6. 전력분배기 회로

Fig. 2-6 Detailed Schematic of Power separator

OP-AMP의 전류 source량이 계속 증가하면 R_{23} 을 통하여 흐르는 전류도 계속 증가하게 되고 R_{23} 양단의 전압강하가 증가하게 된다. 이 전압이 Q_{21} 을 ON으로 만들 때 R_{23} 을 흐르는 전류는 $\frac{0.6V}{22\Omega} = 27mA$ 이 되며,

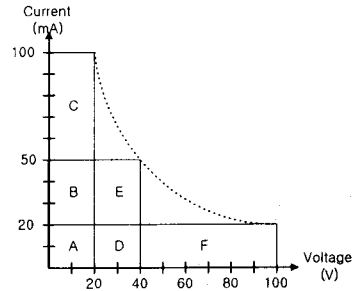


그림 2-7. 전압 Range별 공급가능한 전류
Fig. 2-7 Available current at the voltage range

동시에 Q_{20} 은 OFF가 된다. 그러면 이때 부터는 60V(40V range)가 전류를 공급하게 되며 R_{24} , R_{25} 를 통하여 전류가 흐른다. R_{24} 를 통하여 흐르는 전류가 계속 증가하여 73mA 이상이 되면 Q_{23} 이 ON이 되고 Q_{22} 는 OFF상태가 되어 전류는 R_{25} 를 통해서 40V(20V range)가 공급하게 된다.

여기서 만약 R_{25} 를 통해서 흐르는 전류가 128mA 이상이 되면 Q_{25} 가 ON이 되어 Q_{24} 를 OFF 시킨다. 이것은 128mA 이상의 전류가 흐르는 것을 방지하기 위해서 사용한 것이다.

각 TR에서 소모되는 PD를 계산해 보면 Q_{20} 는 1.9W, Q_{22} 는 1.5W, Q_{24} 는 5W가 된다.

2.3 20W에 적합화된 전력분배기의 설계

그림2-9는 최대 출력전압 $\pm 100V$, 최대 출력전류 $\pm 1A$, Power Dissipation 20W에 적용하기 위해 설계된 회로이다. 출력 전류가 1A로 높아지면 그림2-6의 Q_{24} 가 부담해야 되는 PD=48W 가 된다.

이것을 개선하기 위해 전압 분배 원리를 응용하여 소자에 인가되는 전압을 분리 함으로써 PD를 감소시킬수 있으며 M1, M2, M3의 power MOSFET 3개를 직렬로 연결하여 추가 하면 Q_9 가 부담해야 했던 PD는 $\frac{1}{4}$ 로 감소되어 기존에 48W에서 12W로 낮출수 있다.

100V는 300mA, 40V는 600mA, 20V는 1A를 공급할수 있도록 하였다

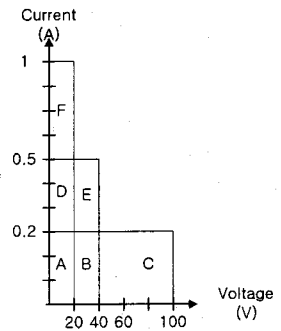


그림 2-8. 전압 Range별 공급가능한 전류
Fig. 2-8 Available current at the voltage range

각 TR에서 소모되는 전력은 Q_2 는 21W, Q_4 는 12W, M1, M2, M3, Q_9 는 12W가 소모된다.

그림 2-8, 표2-1는 전력증폭기의 전압 Range별 공급가 능한 전류 및 사용가능영역을 나타낸 것이다.

표 2-1. 전력증폭기의 사용 가능 전력
Table. 2-1 Usable power and region

전압Range	전류 범위	사용가능 전력
100V	0 ~ 200mA	30W(A, B, C영역)
40V	200mA ~ 500mA	30W(A, B, D, E영역)
20V	500mA ~ 1A	30W(A, D, F영역)

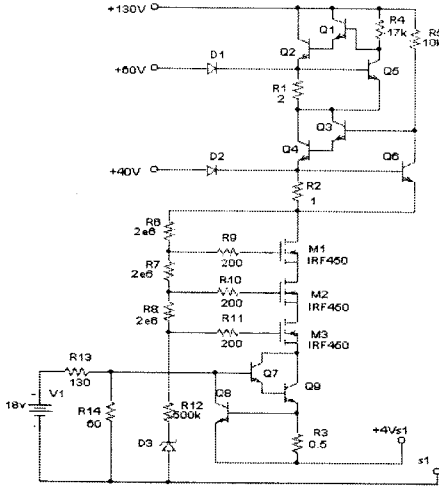


그림 2-9. 20W 전력 분배기 회로
Fig. 2-9 Power separator at the 20W

3. 결 과

2W에 적합화된 고전력 연산증폭기의 경우 그림2-6과 같이 구성하였고, 여기서 $A_v=22$, $R_L=100\Omega$ 로 하고 V_{in} 을 $-1V \sim +1V$ 까지 변화 시키면서 출력전류에 따른 전력 분배기의 동작을 실험한 결과는 그림3-1에 나타내었다. 20W에 적합화된 고전력 연산증폭기의 경우는 APEX사의 PA41를 이용하여 그림2-9의 전력분배기를 붙여서 실험하였다. 그림 3-2는 출력 전류의 변화에 따른 전압 Range의 Switching 동작을 실험한 것이다.

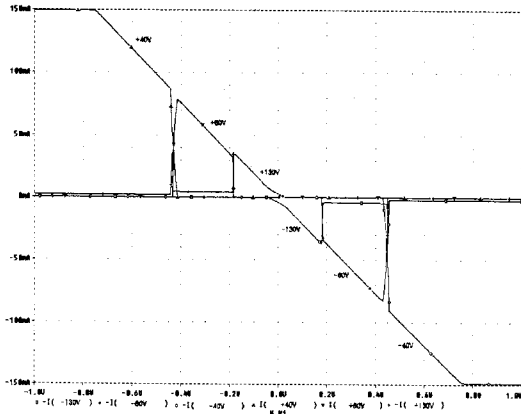


그림 3-1. 2W에서의 전류 천이곡선
Fig. 3-1 Current transition curve at 2W

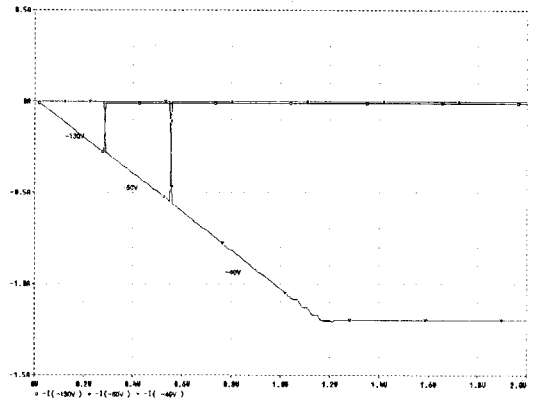


그림 3-2. 20W에서의 전류 천이곡선
Fig. 3-2 Current transition curve at 20W

4. 결 론

출력전압이 $-100V \sim +100V$, 출력전류가 $-100mA \sim +100mA$ 까지 가변되는 2W에 적합화된 연산증폭기와 출력전압이 $-100V \sim +100V$, 출력전류가 $-1A \sim +1A$ 까지 가변되는 20W에 적합화된 연산증폭기를 설계하고 이를 검정하였다.

하지만 여기서 설계한 OP-AMP를 Chip으로 만들려면 여러개로 분리된 전압Range를 하나의 V_{cc} 에서 만들 수 있는 방법을 개선해야만 할 것이다.

(참 고 문 헌)

- [1] Motorola, "Analog/Interface ICs Device Data", Motorola, Inc, Rev6, pp2-11 and 2-12, 1996
- [2] Apex, "Power Intergrated Circuits Data Book", Apex Microtechnology Corporation, Volume 9, pp 221-228, 2000
- [3] Paul Horowitz and Winfield Hill, "The art of electronics", Cambridge University Press, Second Edition, pp.371-372, 1989
- [4] Razak Hossain, Menghui Zheng, and Alexander Albicki, "Reducing Power Dissipation in Serially Connected MOS FET Circuits via Transistor Reordering", IEEE Transactions on Computer-Aided Design of Intergrated Circuits And systems, VOL.15, NO.3 March 1996
- [5] Christian Gerster, "Fast High-power/High-voltage Switch Using Series-connected IGBTs with Active Gate-controlled Voltage-balancing", IEEE APEC '94, VOL 1, pp469-472, 1994
- [6] Brian S. Cherkauer and Eby G. Friedman, "Design of Tapered Serial Chains for Reduced Delay and Power Dissipation", IEEE Circuits and Systems, VOL.1, pp.29-32, 1994
- [7] Dongsheng Zhou and Braun, D.H. "A practical series connection technique for multiple IGBT devices", IEEE PESC. 2001, Vol 4, pp2151-2155, 2001
- [8] Palmer, P.R. and Abu Khaizaran, M.S., "The series connection of IGBTs in a current source inverter", IEEE PESC. 2001, Vol 1, pp170-175, 2001
- [9] Palmer, P.R. and Githiari, A.N., "The series connection of IGBTs with optimized voltage sharing in the switching transient", IEEE PESC '95, Vol 1, pp44-49, 1995