

2.5V, 0.25 μ m CMOS 공정을 이용한 채널당 1Gbps로 동작하는 10채널 병렬 광 수신기의 설계

A 2.5-V, 1-Gb/s/ch Parallel Optical Receiver in 0.25 μ m CMOS Technology

정성재, 김형수, 김두근, 최영완
중앙대학교 전자공학과 병렬광접속 연구실
injsj@hanmail.net

이 논문은 채널당 1Gbps로 동작하는 10채널¹⁾ 광 수신기를 0.25 μ m CMOS공정을 이용하여 설계한 것이다. 광 수신기는 크게 2부분으로 나뉘는데 첫 번째 부분은 입력된 전류 신호를 전압 신호로 변환시켜주는 역할을 하는 트랜스임피던스 전치증폭기이고, 다음 부분은 원하는 디지털 레벨로 폴스윙 할 수 있도록 하는 후치증폭기이다. 전치증폭기의 출력 전압은 스윙폭에 무관하게 그 다음 단에서 적당한 디지털 레벨 데이터로 변환되어야 한다. 그러나, 이 때 기준 전압의 흔들림으로 인해서 신호의 왜곡이 발생할 수 있다(그림 1). 이것은 수신기의 수신 민감도에 관련된 것으로 이러한 문제를 방지하기 위해서는 들어오는 신호의 레벨에 상관없이 그 신호에 맞는 중간치를 잡아준 뒤 그 것을 기준으로 신호의 윗 부분은 High로 아랫 부분은 Low로 판별하면 될 것이다²⁾. 본 논문은 바로 이러한 점에 중점을 두었다.

Photo-Detector로부터 입력되는 전류 신호를 전압 신호로 바꿔주는 회로는 전형적인 인버터 기반의 트랜스임피던스 회로를 사용하였다. 여기서 인버터에 피드백을 걸어주는 역할로 p-type MOSFET를 사용하였고 이유는 동일한 크기에서 n-type MOSFET보다 높은 수준의 저항을 얻을 수 있고 Miller Effect로 인한 밴드폭의 축소를 막기 위해 필요한 조건인 Capacitance가 작음을 만족하기 때문이다³⁾(그림 2).

먼저 신호의 중간 값을 잡아주는 역할은 Peak Detector회로가 담당하게 된다(그림 3). Peak Detector 회로는 각각 Positive Peak Detector와 Negative Peak Detector로 나뉘지며 그 동작 원리는 다음과 같다. 입력 신호가 Low 레벨에서 High 레벨로 될 때 n-type MOSFET는 ON이 되고 따라서 커패시터가 충전된다. 이 충전현상으로 인해 커패시터 양단에 걸리는 전압은 VDD까지 상승할 것이나 도중에 입력 신호의 High레벨과 같게 되면 컴퍼레이터의 다른 입력으로 피드백 되어서 컴퍼레이터의 동작이 끊기고 따라서 MOSFET도 OFF가되어 그동안의 전압을 유지하게 되는 것이다(Positive Peak Detector). 마찬가지로 p-type MOSFET를 사용하여 Negative Peak Detector회로를 얻을 수가 있다. 이렇게 해서 얻어진 전치증폭기의 High Peak 와 Low Peak는 다음 단에서 두 개의 동일한 저항 역할을 하는 MOSFET에 의해 전압 분배되어 결국에는 신호 전압의 중간 값을 결정할 수 있게 되는 것이다.

이러한 과정을 통해 위에서 얻어진 기준 전압을 다음 단의 컴퍼레이터의 한 쪽 입력으로 원 신호를 또 다른 쪽의 입력으로 사용하게 되면 컴퍼레이터는 두 입력의 차이에 의해 우리가 원하는 출력을 얻을 수 있게 해준다. 그리고 컴퍼레이터 회로 내부에는 디지털 레벨로 폴 스윙할 수 있도록 뒤 부분에 인버터 버퍼를 사용하였다(그림 4). 또한 전체 회로의 Schematic을 보였다(그림 5).

일반적인 Photo-Detector로부터 수신기의 전치증폭기로 입력되는 입력 전류 레벨을 확실하게 가정할 수 없는 상황에서(송신기의 출력 파워레벨과 수신기와의 거리, 각도 등에 따라 달라질 것임) 위에서 설명된 회로를 이용하고 입력 전압 레벨을 0.9V와 1.5V라고 놓았을 때 얻어진 시뮬레이션 결과를 보면 그 중간 값인 1.2V를 잡아서 결국 이 기준 전압 레벨과 입력 전압 신호를 비교하여 만족할 만한 출력 결과가 나옴을 볼 수 있었다(그림 6). 이 때 Chip의 내부 전압은 2.5V를 사용하였다.

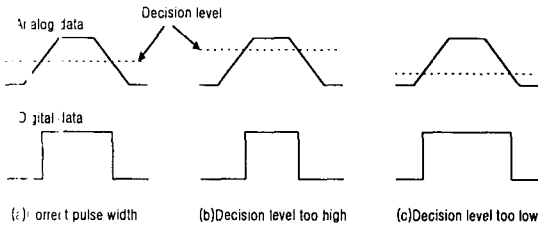


그림 1. Timing errors in regenerating digital data.

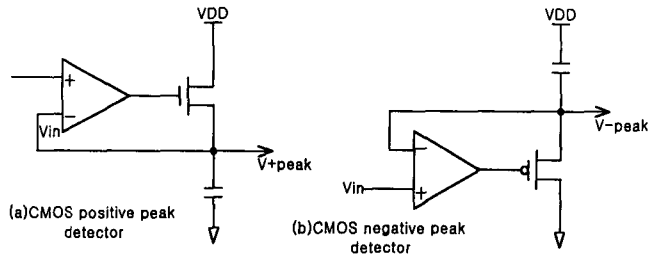


그림 3. CMOS peak detector.

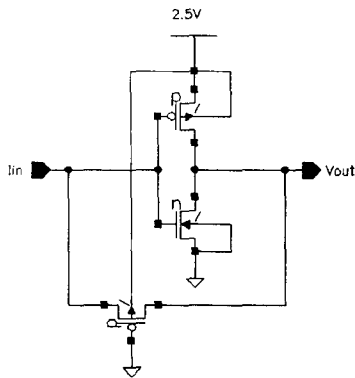


그림 2. The preamplifier circuit.

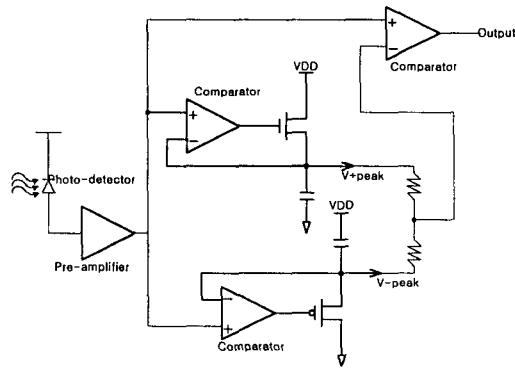


그림 4. Receiver circuit - Block diagram.

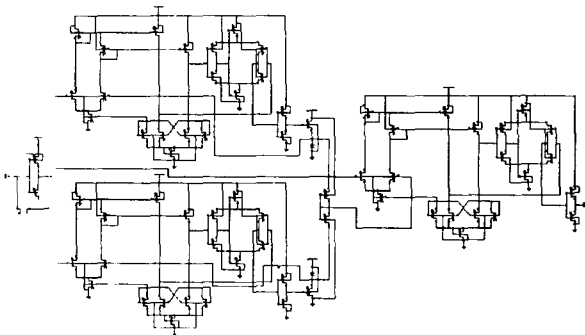


그림 5. Receiver circuit - Schematic.

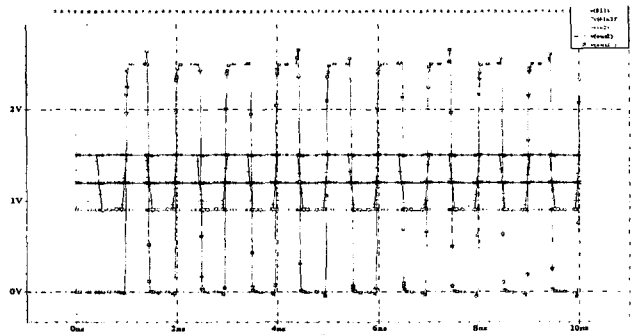


그림 6. Simulation result.

<Acknowledgments>

본 연구는 한국과학재단 목적기초연구(1999-2-303-008-3)지원으로 수행되었음

<참고 문헌>

1. K.-Y. Tu, T. J. Gabara, B. F. Levine, J. D. Wynn, N. K. Dutta and K. J. Monteleone '18 Channel 622Mb/s CMOS Receiver Array for Parallel Optical Interconnects', IEEE, 1995.
2. R. Jacob Baker, Harry W. Li, David E. Boyce, 'CMOS circuit design, layout, and simulation' pp.403-407.
3. T. K. Woodward, A. V. Krishnamoorthy, ... '1-Gb/s Two-Beam Transimpedance Smart-Pixel Optical Receivers Made from Hybrid GaAs MQW Modulators Bonded to 0.8mm Silicon CMOS', IEEE PHOTONICS TECHNOLOGY LETTERS, VOL. 8, NO. 3, MARCH 1996.