

에벌란치형 광검출기 설계 및 제작 기술

Design and Fabrication Technologies of Avalanche Photodiode for Optical Communication

박찬용, 강승구, 신명훈, 주홍로
 (주)엑스엘광통신 OE Lab.
 cypark@XL-Photonics.com

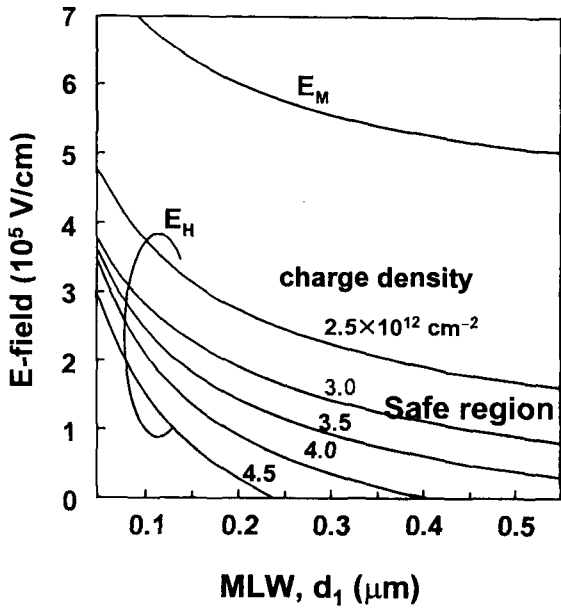
에벌란치형 광검출기(Avalanche Photodiode; APD)는 내부 이득을 갖고 있어 수신감도가 좋고 고속 동작이 가능하여 광통신에 있어서 매우 중요한 소자이다. 초기에는 공정의 용이성 등으로 인해 Ge을 소재로 하는 APD가 많이 사용되었으나 1.55 μm 파장에서 광흡수 특성이 좋지 않고 전자와 정공의 이온화 계수비가 거의 같아 GB Product이 낮으므로 점차 이들 특성이 우수한 InP/InGaAs APD가 사용되었다.

InGaAs는 밴드갭은 Ge보다 크지만 직접천이형 밴드구조를 갖기 때문에 1.67 μm 까지 광흡수 특성이 좋고 소수캐리어의 이동도가 높아 고속동작에 유리하다. 그러나 InGaAs는 터널링이 200 kV 정도의 낮은 전기장에서 일어나기 때문에 avalanche 증폭을 얻기가 어려워 광흡수는 InGaAs에서 avalanche 증폭은 InP에서 일으키는 SAM(Separated Absorption and Multiplication) 구조가 제안되었다. 이 구조는 평면형으로 구현되어 현재 2.5 Gbps 광수신기는 대부분 InP APD를 사용하고 있다. 증폭층 폭이 얇을수록 APD의 가장 중요한 특성인 GB Product (Gain \times Bandwidth)가 증가하는데 설계 및 제작은 반비례하여 어려워진다. 기존의 APD는 n-InP를 증폭층으로 사용하였기 때문에 GB곱이 높은 APD를 제작하기 어려웠다.

Hi-Lo APD는 증폭층을 i-type으로 하고 n-type의 전기장 제어층을 증폭층과 광흡수층 사이에 삽입한 구조로 증폭층의 전기장은 높게 하고 InGaAs 광흡수층의 전기장을 낮게 유지하여 증폭층 폭을 줄일 수 있게 되었으며 이득-대역폭 곱을 증가시킬 수 있다.^{(1) (3)} 평면형 APD는 에피층 설계는 물론 가드링의 설계 및 제작이 매우 중요하다. pn 접합을 국부적으로 형성하기 위해 Zn-확산을 할 경우 확산영역의 가장자리 부분은 pn 접합이 곡률을 갖게 되는데 이 곡률이 작을수록 항복전압이 작아지게 (avalanche gain factor가 커지게) 된다. 따라서 가장자리의 전기장을 낮추기 위해 전기장 제어층을 식각하는 방법과 Floating Guard Ring (FGR)을 도입하는 방법이 사용되었다. 전기장 제어층을 식각하는 경우 재성장이 필수적인데 이 때 실리콘이 결정성장 계면에 쌓여 불순물로 작용하므로 소자의 신뢰성 및 재현성에 나쁜 영향을 주게 되어 현재는 대부분 FGR 구조를 사용하고 있다.

Hi-Lo APD의 경우 증폭층 폭과 APD 에피층 파라미터 사이에 매우 중요한 관계가 있다. 전기장 제어층의 두께 \times 도핑농도로 정의되는 전하밀도가 $2.5 \times 10^{12} \text{ cm}^{-2}$ 이하로 낮을 경우 증폭층 폭을 0.5 μm 이하로 줄이기가 곤란하여(InGaAs의 전기장이 증가하여 터널링에 의한 누설전류의 증가가 예상됨) GB product 특성이 낮을 것이 예상된다. 전하밀도가 $4 \times 10^{12} \text{ cm}^{-2}$ 이상으로 높을 경우 증폭층 폭을 0.15-0.25 μm 이내로 하지 않으면 광흡수층이 공핍되지 않은 상태에서 항복전압에 도달하므로 확산공정의 제어가 매우 어려워진다. 따라서 100 GHz 정도의 높은 GB 곱을 얻기 위해서는 전하층을 $3.5 \times 10^{12} \text{ cm}^{-2}$ 정도로 높게 유지하고 확산공정을 정밀히 제어하여야 한다. 그림 1은 이들 관계를 나타낸 것으로

E_M 는 pn 접합계면에서의 최대 전기장, E_H 는 InP-InGaAs 이종접합계면에서의 전기장 세기를 나타내며 항복전압($M=100$ 이 되는 전압으로 정의함) 상태에서의 전기장 세기를 계산하였다.



(그림 1) 항복전압에서 증폭층폭(MLW)에 따른 최대 전기장(E_M) 및 이종접합계면의 전기장 세기(E_H). 여기서 Charge density는 전기장 조절층의 두께와 전하농도의 곱이며 E_H 는 190 kV 이하 및 60 kV 이상의 조건을 만족하여야 한다. 이 계산에 사용된 구조는 $p'-i-n-i-n'$ 이며 p' -층은 Zn-확산된 InP, i -층은 InP 증폭층, n -층은 InP 전기장 조절층, i -층은 InGaAs 광흡수층, n' -층은 InP 기판이다. 광흡수층의 두께는 1.5 μm 이고, i -층은 $2 \times 10^{15} \text{ cm}^{-3}$ 의 불순물 농도를 가정하였다

Hi-Lo 구조의 하나인 FGR APD의 경우⁽³⁾ pn 접합계면이 매우 많은 곡률로 이루어지고 소자의 중앙부와 주변부분의 증폭층폭(MLW)이 서로 다른 값을 갖도록 구성되므로 MLW와 항복전압 사이의 관계를 정확하게 계산하는 것이 매우 중요하다. Park⁽²⁾ 등은 Hi-Lo 구조에 있어서 MLW와 항복전압 사이의 관계를 규명하였는데 여기에 따르면 MLW가 증가할수록 항복전압이 감소하다가 다시 증가한다. 따라서 어떤 MLW에서 항복전압이 최소가 되며(이 값을 W_0 라 하자), 이 MLW에서 avalanche gain은 최대가 된다. 만약 MLW가 W_0 보다 작다면 주변부분 또는 가장자리 부분에 W_0 가 위치하게 되고 여기에서 최대 이득이 발생하므로 edge breakdown이 발생하는 것이다. 이를 피하기 위해서는 MLW를 W_0 보다 크게 하여야 하고 관련된 다른 파라미터를 조절해 주어야 한다.

본 발표에서는 이상의 논의된 설계사항 뿐만 아니라 APD 내부의 전기장 계산 방법과 이를 이용한 avalanche gain factor의 계산 및 APD 소자 구조의 설계에의 응용을 소개한다. 아울러 이들 결과가 최근에 발표되고 있는 10 Gb/s용 APD에 어떻게 이용되는지를 논의하며, APD 제작 공정 및 결과를 논의하고자 한다.

참고문헌

1. F. Capasso, A.Y. Cho, and P.W. Foy, "Low-dark-current low-voltage 1.3-1.6 μm avalanche photodiode with high-low electric field profile and separated absorption and multiplication regions by molecular beam epitaxy", Electron. Lett., **20**, 635-637 (1984).
2. C.Y. Park, K.S. Hyun, S.G. Kang, and H.M. Kim, "Effect of multiplication layer width on breakdown voltage in InP/InGaAs avalanche photodiode", Appl. Phys. Lett., **67**, 3789-3791 (1995).
3. M.A. Itzler, K.K. Loi, S. McKoy, N. Codd, and N. Komaba, "High-performance, manufacturable avalanche photodiode for 10 Gb/s optical receiver", Proc. OFC2000, FG5 (2000).