

SLALOM을 이용한 전광 반 가산기

All-optical Binary Half Adder Using SLALOM

김선호, 이성철, 박진우

고려대학교 전자공학과

kimsh0623@kucncx.korea.ac.kr

현재의 통신망에서는 clock recovery, regeneration 등을 전기적으로 처리하고 있으나 처리속도의 한계가 있고, 미래의 초고속 네트워크는 이러한 전기적 신호처리의 속도한계를 극복하는 기술이 필요하다. 그러므로, 고속의 광교환과 광신호처리등 광신호를 전기적으로 바꾸거나 제어하지 않고 전광으로 처리하는 기술에 대한 연구가 진행되고 있으며 이러한 전광신호 처리에 고속의 전광 논리소자가 요구된다. 초기의 전광 논리소자 연구에서는 AND, OR, NOR, XOR 등의 기본 논리 기능이 주로 구현되었으며 이를 활용하여 Shift Register, Binary counter, 전광 반가산기, 직/병렬 데이터 변환기와 같은 복합기능 논리소자의 구현 연구가 이루어지고 있다.^(1,2)

전기적인 반가산기는 2개의 AND소자와 1개의 OR소자 그리고 1개의 Inverter로 이루어져 있으며 이 소자들을 TOAD(terahertz optical asymmetric demultiplexer)로 구성하여 전광 반가산기를 구현한 연구가 발표되었다.⁽²⁾ 그러나 이 전광 반가산기를 구성하기 위하여 3개의 TOAD와 6개의 EDFA 등의 소자들이 요구되므로 소자 수를 줄이기 위해 보다 단순한 구조의 전광 반 가산기의 연구가 필요하다.

본 논문에서는 두 개의 SLALOM(semiconductor laser amplifier in a loop optical mirror)⁽³⁾으로 구성하여 요구되는 소자 수를 줄인 전광 반가산기의 구조를 제안하고 동작원리를 설명한다. 제안된 전광 반 가산기는 그림 1에서와 같이 SLALOM 두개와 광증폭기, 광필터와 커플러 등으로 이루어지며 이 두 개의 SLALOM은 각각 AND와 XOR의 연산을 수행한다. 동작원리는 다음과 같다.

SLALOM에서는 반도체 광증폭기를 비선형소자로 사용하며 루프의 중앙으로부터 Δx 떨어진 곳에 위치시킨다. Δx 는 사용하는 데이터의 속도에 의해 결정된다. 입력으로 들어온 신호는 3dB 커플러를 통과하여 시계방향과 반시계 방향으로 나뉘어 반도체 광증폭기를 통과한다. 이 때, 반도체 광증폭기가 중앙에서 좌측으로 위치하고 있으므로 시계방향으로 진행되는 신호가 먼저 통과한 후 반시계방향으로 진행되는 펄스가 통과한다. 입력신호가 반도체 광증폭기를 진행하면서 위상이 변화하는데 제어신호가 없는 경우 양방향으로 진행되는 입력신호가 반도체 광증폭기를 통과한 후 위상차가 발생하지 않기 때문에 출력단에서 상쇄간섭을 일으킨다. 이때 SLALOM 루프 내부의 편광 조절기는 출력단에서 상쇄간섭을 일으키도록 조절된다. 그러나 제어신호가 시계방향으로 진행되는 입력신호와 동시에 반도체 광증폭기를 통과하면 양 방향으로 진행되는 입력신호간에 π 만큼의 위상차가 발생하여 출력단에서는 보강간섭을 일으킨다.

그림 1의 전광 반가산기에서 서로 다른 파장의 두 개의 신호 A, B가 커플러에 의하여 두 개의 SLALOM에 나뉘어 입사된다. AND 연산을 위한 왼쪽의 SLALOM에서 A, B 신호는 각각 입력신호와 제어신호로 입사되며 시계방향으로 진행되는 A신호가 제어신호 B와 동시에 반도체 광증폭기를 통과한 후 반시계 방향으로 진행되는 신호A가 통과하도록 Δx 를 조절한다. 제어신호 A와 B가 논리 1로 입사한 경우, 서로 반대 방향으로 진행되는 A신호의 위상차로 인하여 출력단에서 보강간섭을 일으키고 출력신호는 논리 1이다. 그러나 제어신호 B가 논리 0이고 신호 A가 논리 1 또는 논리 0일 경우 광증폭기 내

에서 발생하는 위상차가 없으므로 출력단에서 상쇄간섭을 일으키게 되며 출력신호는 논리 0이다. 제어 신호 B가 논리 1이고 입력신호 A가 논리 0일 때 출력신호는 논리 0이다. 이와 같은 동작으로 AND 연산을 수행하며 연산결과는 입력신호 A와 B의 CARRY를 나타낸다.

XOR 연산을 위한 오른쪽 SLALOM에서 A, B신호는 각각 시계방향과 반시계 방향의 제어신호로 사용된다. 클럭신호가 입력신호로 입사된 후, 커플러를 통과하여 시계방향으로 진행되는 클럭신호와 증폭되어 입사되는 신호 B가 동시에 반도체 광 증폭기를 통과하고, 반시계 방향으로 진행되는 클럭신호와 증폭되어 입사되는 A신호가 동시에 반도체 광 증폭기를 통과하도록 구성한다. AND 연산을 위한 왼쪽 SLALOM과 마찬가지로 반도체 광 증폭기 내에서 양 방향으로 들어오는 클럭신호가 제어신호로 인하여 위상차가 발생한다. 먼저 제어신호가 모두 논리 0일 경우 양방향으로 들어가는 클럭신호에 위상차가 발생하지 않으므로 출력단에서는 상쇄간섭을 일으켜 논리 0의 신호를 출력한다. 그리고, 제어신호 A, B중 하나만 논리 1일 경우 양 방향으로 반도체 광 증폭기를 통과하는 클럭신호에 위상차가 발생하여 출력단에서 보강간섭을 일으켜 논리 1의 신호를 출력하고 제어신호 A, B가 모두 논리 1일 경우 광 증폭기를 통과하는 클럭신호에 위상차가 발생하지 않게 되어 출력단에서는 상쇄간섭을 일으켜 논리 0의 신호를 출력한다. 그러므로 오른쪽의 SLALOM은 두 신호 A, B의 XOR연산을 수행하며 연산결과는 입력신호 A와 B의 SUM을 나타낸다.

제안된 전광 반가산기는 SLALOM을 구성하는 반도체 광 증폭기의 성능에 의하여 동작속도가 결정되며 현재 40Gbps 까지 동작가능하다. 그 이상의 속도에서 동작시키기 위하여 SLALOM대신 NOLM이나 TOAD를 이용하여⁽²⁾ 전광 반가산기를 구현할 수 있으나 NOLM의 경우 높은 제어신호 파워가 요구되며 루프를 구성하는 긴 광섬유로 인한 처리지연시간이 있으며, TOAD를 이용하는 경우 bit-differential 방식을 사용하므로 처리지연시간이 있다. 제안된 전광 반가산기는 전광 전가산기와 전광 이진카운터를 구현하는데 적용할 수 있다.

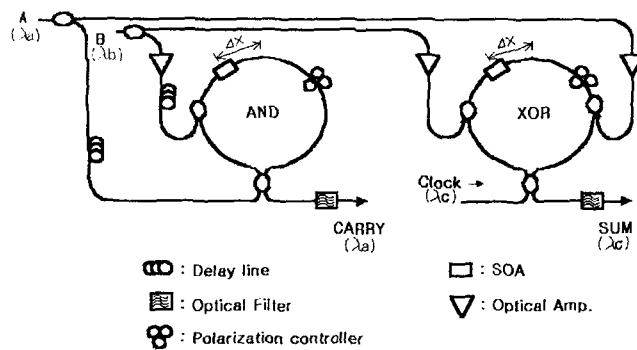


그림 1 SLALOM을 이용한 전광 반가산기의 구조

1. Singchul Lee, Sunho Kim, Byungkwon Kang, Seok Lee, and Jinwoo Park, "All-optical serial-to-parallel and parallel-to-serial data converters Based on Mach-Zehnder interferometer," LEOS' 2000, 115-116 (2000).
2. A.J. Poustie, K.J. Blow, A.E. Kelly, R.J. Manning, "All-optical binary half-adder," Optics Communications, 156, 22-26 (1998).
3. M. Eiselt, W.Poeper, and H. G. Weber, "SLALOM: semiconductor laser amplifier in a loop mirror," J. Lightwave Technol., 13, 10, 2099-2112 (1995).