KETI

반도체 집적회로의 신뢰성 평가와 고장

2001. 6.

천 성일
(chansi@keti.re.kr)

KETI

목 차

1. 반도체 집적회로의 이해

(1) 반도체 집적회로의 특징

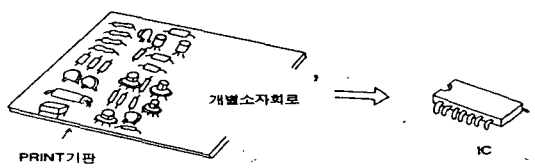
(2) 반도체 집적회로의 제조공정

2. 반도체 집적회로의 신뢰성 평가

(1) 신뢰성 시험항목과 평가방법

1. 집적회로(Integrated Circuit)의 이해

반도체라는 기판을 사용하여 그 표면 부위에 여러 종류의 소자를 총시에 제조한 후에 이들 소자를 금속박막으로 연결하여 전자회로의 기능을 갖도록 한 것



개별소자회로와 IC

(1) 반도체 집적회로의 특징

- 가격의 저감 : 1개의 WAFER에 수백개의 IC가 동시제작 되므로 대량양산이 가능.
- 신뢰도의 향상 : MTBF (Mean Time Between Failure)
  - ⏩ 개별소자로 구성된 전자회로의 MTBF는 소자의 개수와 개개의 소자의 신뢰도에 직접 관계되며 소자의 수가 많을 수록 회로전체의 신뢰도는 떨어짐.
  - ⏩ 전체가 하나로 된 Monolithic IC 에서는 집적도의 대소에 관계없이 한 개의 TR과 같은 MTBF를 갖는다.
- 초소형, 경량, 기능의 고도화
  - ⏩ 디지털 손목시계, PC, 음성합성기기, 전자번역기 등
- 고속화
  - ⏩ 실리콘 반도체 소자의 스위칭 속도는 1ns이하에 이르고 있으며 pico second 단위로 빨라짐

KETI

- 저 소비전력
- 양산성
- 문제점

▸▸ 제조기술의 한계

사진 식각 기술이 한계점에 도달해서 전자 Beam 을 이용한 가공이 실용화 되고 있으나 초 미소가공의 한계가 있음.

▸▸ **반도체 집적소자 제조기술(MEMS : Micro Electron Mechanical System)**

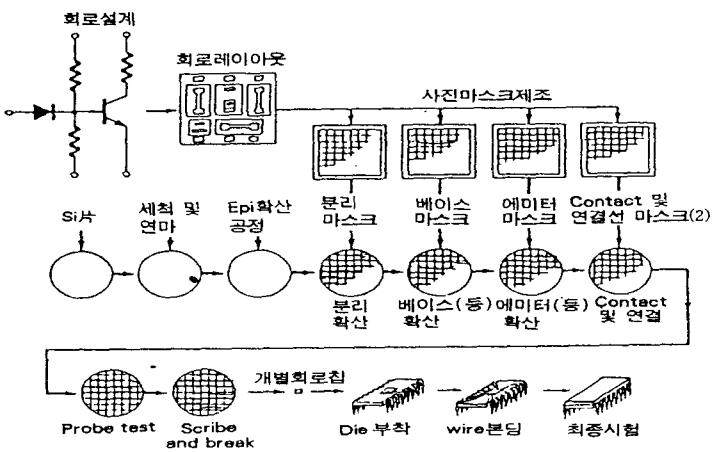
▸▸ **발열의 한계**

집적도가 높아질 수록 집중발열에 의한 온도상승이 심각해 진다.

▸▸ Wafer Processing에서 불순물을 균일하게 분포 시키는데 기술적인 한계가 있음.

KETI

(2) 집적회로 제조공정



KETI

회로설계와 Layout

- 개별 수동회로와는 달리 일단 만들어진 변수(Parameter) 조정이나 부품대치가 불가능함.
- 회로설계와 Layout은 Computer로 검증(Simulation)하는 것이 필수적임.
- 회로설계 후 칩 면적을 최소화하기 위하여 공정상의 제약에서 오는 설계규칙(Design Rule) 을 지키면서 소자들을 배치, 배선함.(Layout)
- 배치 배선(Layout)이 끝난 후 배선의 기생 저항 값 (R), 기생 커패시턴스 값 (C)을 고려하여 제대로 설계 되었는지, 설계목표를 만족하는지 확인함.

KETI

사진 마스크(Photo Mask) 제조

- 사진 식각 공정(Lithography)에서 산화막에 기하학적 창구(window)를 만들때 필요한 것으로 흑색 배경에 Window Pattern을 얇은 유리판에 그린 것을 Photo Mask라 함.
- 과거에는 실제크기의 500배 되는 패턴을 만들고 이 것을 2-3회에 걸쳐 사진을 축소하여 필요한 크기로 만들고 이것을 Step-And- Repeat Machine 에 의하여 똑같은 패턴을 2 차원적으로 다수 배열하여 Master Mask를 만든다.
- 이 마스크 제조방법은 미세한 선 폭의 크기가 빛의 파장(= 0.4um)에 의하여 제한되므로 최근에는 미세가공을 가는 전자비임을 컴퓨터 제어에 의하여 전자에 민감한 물질 위에 주사시켜 직접 마스크를 만든다(전자 Beam Lithography)

KETI

WAFER 처리

- 실리콘(Si) 웨이퍼 위에 IC를 올리는 작업은 Photo Mask를 가지고 창구를 통하여 불순물을 확산시키는 선택 확산 등의 공정을 되풀이 하여 소자의 각 층(베이스, 에미터, 콜렉터)을 만들고 각 소자사이에 배선을 하여 완성한다.
- Clean Room
- 대표적인 IC 소자의 크기

  1 mil = 1/1000 inch = 25.4 um

KETI

검사 및 Packing

- Probing Test : 처리된 웨이퍼에서 미소 Probe를 이용하여 각 Die(개별 Chip)의 기능검사 실시
- Die Bonding : 합격된 Chip은 세라믹 기판에 부착.
- Wire Bonding : 가는 금속선(알루미늄 또는 금) 으로 IC 전극부(Bonding Pad)와 Package의 Pin사이를 연결함.
- Packaging / Operating Test / Reliability Test / Outgoing

KETI

2. 반도체 집적회로의 신뢰성 평가

신뢰성

(1) 배 경

- 제 2 차 세계대전 : 항공기 볼량 (Why ? - 진공관)
- 우주선의 달 착륙 (미국의 자존심 아폴로 계획, 신뢰성 기술의 사금석)
- 일본의 신뢰성 (1960 년대)

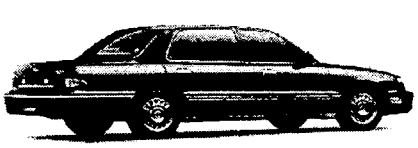
(2) 신뢰성 이란

- 품질, 가격, 납기에 있어서 기대대로 될 것을 바라는 정도.
- 기기, 부품 등에 있어서 기능의 시간적 안정성을 나타낸 정도 또는 성질 (JIS)
- 기기, 부품 등이 규정된 조건 아래서 의도하는 기간 중에 규정된 기능을 수행하는 확률

KETI

QIALITY

FITNESS FOR PURPOSE



RELIABILITY

Trust your system to operate when you need it

HIGH QUALITY PRODUCTS WILL GENERALLY LEAD TO IMPROVED RELIABILITY
BUT HIGH QUALITY DOES NOT DIRECTLY ENSURE HIGH RELIABILITY

신뢰도 R(t)

어떤 제품의 신뢰도란 시간 t=0에서 사용하기 시작한 제품의 몇 %가 임의의 시점 t에서 고장이 발생하지 않고 남아 있는지를 나타내는 잔존율 이다

불 신뢰도 F(t)

신뢰도 R(t)와는 반대로 어느 기간까지 전체의 몇 %가 고장 났는가를 나타내는 척도

$$R(t) + F(t) = 1$$

고장 발생시간의 밀도함수 f(t)

단위 시간당 전체의 몇 %가 고장 났는가를 나타내는 척도

$$f(t) = \frac{dF(t)}{dt} = -\frac{dR(t)}{dt}$$

고장률 λ(t)

R(t)중에서 다음의 단위시간에 몇 %가 고장 나는가를 나타내는 조건부 확률

$$\lambda(t) = \frac{f(t)}{R(t)}$$

(1) 신뢰성시험항목과 평가방법

- 시험검사 규격
  - US Department of Defense MIL-STD-883 Test methods procedures for microelectronics
  - British Standard BS-9400
    - Stress test : 전기적, 열, 기계적 Stress 시험을 통하여 부품의 취약 부분 검출
    - Operational test : 제품의 전기적 특성 규격만족 및 부품의 기능 검사

동작시험 검사는 Stress 검사 후 제품의 전기적 특성 검토 (개별 제품 규격, 회로 단선 및 개방) 를 만족하는 제품을 실시하며 모든 시험을 만족한 제품 만을 출하함.

KETI

● 시험항목 및 방법

✂ 고온동작수명시험 (HTOL:High Temperature Operating Life Test)

- 시험조건 : Ta = 125 ℃
  - Vdd = Vdd(max) / static or dynamic / 168hr, 500hr, 1Khr
  - 고온상태에서 제품을 동작시킴으로써 CHIP 자체의 안정성, 공정능력 및 설계 등의 신뢰성 시험(Wafer Fab Reliability)
- 주요불량 현상
  - Pinholes in gate oxide, Metal short, Dielectric defect, Un-etched layer defect
- Caution : The die temperature is to be limited to <160℃, lower than the Tg of mold compound
- Sample size : 3% LTPD, 129 (1) or 76(0) (MIL-S-19500E, TABLE C-1 LTPD sampling plans)

KETI

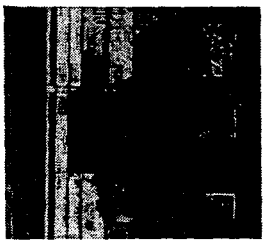
✂ 저온 동작 수명시험(CTOL : Cold Temperature Operating Test)

- 시험조건 Ta = -20 ℃
  - Vdd = Vdd(max) / static or dynamic / 168hr, 500hr, 1Khr
  - 저온상태에서 제품을 동작시킴으로써 CHIP 자체의 안정성 등의 문제점을 평가하는 시험
- 주요불량 현상
  - Hot Carrier
- 정상동작을 가정한 모의시험으로 Wear-out 불량현상을 가속함.
  - 1.0u이하 공정에서 효과적임.
- Sample size : 3% LTPD, 129 (1) or 76(0) (MIL-S-19500E, TABLE C-1 LTPD sampling plans)

KETI

고온고습 동작 시험(THB : Temperature Humidity Bias Test)

- 시험조건 : Ta = 130 ℃, 85% RH(HAST) / Ta = 85 ℃, 85% RH
  - Vdd = Vdd(operating) / static / 168HR, 500HR, 1KHR
  - 고온, 고습상태에서 제품을 동작함으로써 교번된 PIN에 정적인 Bias를 공급하여 칩의 부식을 가속 하는 시험 (Package Reliability)



- 주요불량 현상
  - Corrosion, De-lamination
- HAST(High Accelerated Stress Test)
  - 100 hr, 200 hr

KETI

온도순환시험(TC : Temperature Cycle Test, Air to Air)

- 시험조건 Ta = -65 ℃(15분) ←→150 ℃(15분) / 100CY, 200CY
  - Mechanical Stress Test(Package Reliability)
- 불량현상
  - 동작특성의 불변, 칩 보호막의 Crack, / 파손 등

고온보관시험(HTS : High Temperature Storage Test)

- 시험조건 Ta = 150 ℃, 168 hr
  - 전원이 가해지지 않은 상태로 고온에서 보관하는 시험
- 불량현상
  - 제조과장에서 발생 가능한 이온(ionic) 오염에 대한 평가

KETI

: 증기압 시험 (PCT : Press Cooker Test)

- 시험조건 : Ta = 121 ℃, 100 % RH, 168 hr
  - Bonding Pad의 Metal Corrosion (Package Reliability) / Plastic Package 만 적용함
- 고온 고습 창고에서 장시간 제품을 보관하는 환경을 재현한 시험.

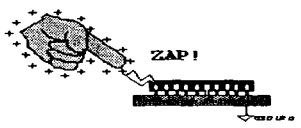
☎ 진동시험 (Vibration Test)

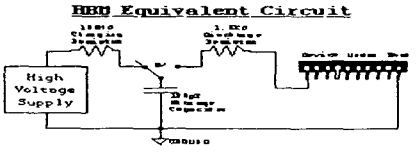
- 제품 출하 후 운송 또는 고객이 제품 사용시 거칠게 취급되는 경우 제품이 견딜 수 있는 능력을 시험하기 위한 시험이다. 반도체 제품의 크기는 매우 작고 취급상에 많은 주의사항이 있어 시험에서 많은 비중을 차지 하지 않는다.

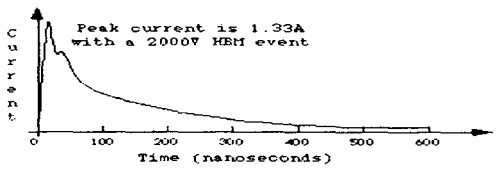
KETI

③ 정전기 시험 (ESD Test: Electro-Static Discharge Test)

- Human Body Model
  - 시험방법 : METHOD 3015 OF MIL-STD-883
  - 시험장치 : 100pF / 1.5Kohm (HBM)





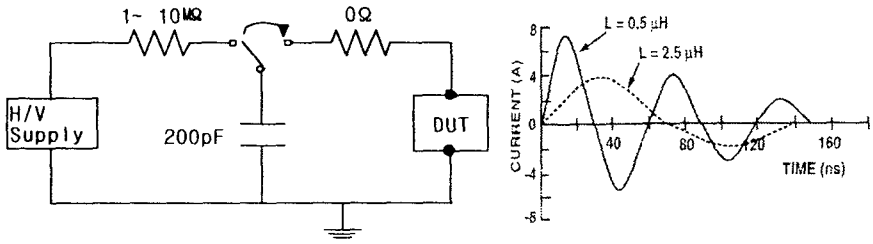


Reliability & failure analysis center

KETI

▸▸ Machine Model

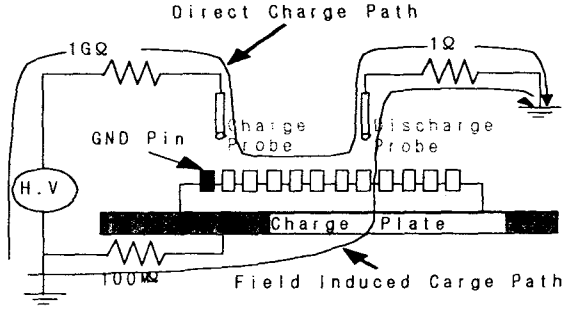
- 시험방법 : ESDA STM5.2-1999; JEDEC EIA/JESD22-A 115
- 시험장치 : 200pF / 0 ohm (MM)
- 400 V 방전시 7A의 전류가 발생(30ns)



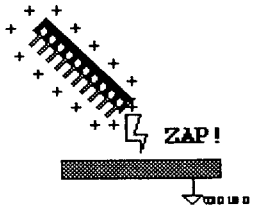
KETI

▸▸ Charge Device Model

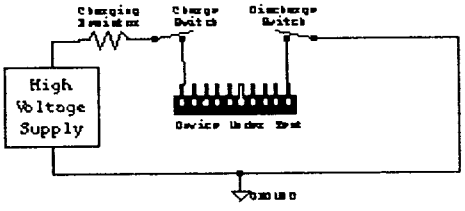
Electric field에 의해 Device에 charge된 정전기가 임의의 Conductivity material과 접촉 되면서 정전기 방전이 일어나 Device 자체가 Self 방전을 통해 Damage 받는 것을 Modeling한 방식

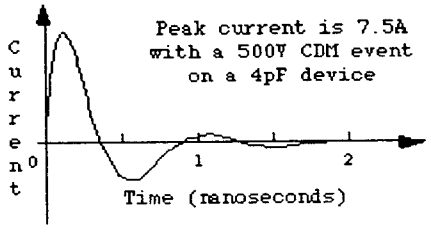


KETI



CDM Equivalent Circuit





Reliability & failure analysis center