

# 고밀도 DRAM 캐패시터에서 HSG-Si형성의

## 공정최적화에 관한 연구

정 양 희\*, 강 성 준\*\*

\* 여수대학교 전기공학과

\*\* 여수대학교 반도체·응용물리학과

### A Study on the Optimum Process Conditions of Hemispherical Grained Silicon Formation for High Density DRAM'S Capacitor

Yang-Hee Joung, Seong-Jun Kang

\* Dept. of Electrical Engineering, Nat'l Yosu University

\*\* Dept. of Semiconductor and Applied Physics, Nat'l Yosu University

E-mail : jyanghee@yosu.ac.kr

#### Abstract

In this paper, we discuss optimum process conditions of Hemispherical Grained Silicon formation for high density DRAM'S capacitor. In optimum process conditions, the phosphorous concentration, storage polysilicon deposition temperature and thickness of hemispherical grain silicon are in the range of  $3.0\text{-}4.0\text{E}19\text{atoms}/\text{cm}^3$ ,  $530^\circ\text{C}$  and  $400\text{\AA}$ , respectively. In the 64M bit DRAM capacitor using optimum process conditions, limit thickness of nitride is about  $65\text{\AA}$ . The results obtained in this study are applicable to process control and HSG-Si formation for high reliability and high density DRAM's capacitor.

#### 1. 서 론

최근 반도체 소자의 고집적화, 초소형화의 경향과 더불어 제한된 면적에서의 충분한 캐패시턴스 확보를 위해 저장전극 면적의 향상을 위한 많은 연구가 이루어지고 있다[1]. 캐패시터의 정전용량 증대를 위한 표면 확장방법으로는 하부전극을 Fin, box, 원통등의 모양으로 형성시키는 방법과 캐패시터 하부전극 폴리실리콘 표면을 이온반응 에칭이나 열산화막 성장후 grain에 따른 선택적 에칭등이 있다. 그러나 캐패시터의 구조변경은 정전용량 확보에 한계를 나타내고 있으며, 실리콘의 표면처리에 의한 방법은 공정의 신뢰성과 대량생산 특히 웨이퍼의 대규격화에 따른 균일한 캐패시턴스를 얻는데 여러 가지 문제가 대두되어[2-4]

최근 Low Pressure Chemical Vapor Deposition(LPCVD)를 이용한 amorphous doped 폴리실리콘을 증착하고 Si<sub>2</sub>H<sub>6</sub>를 조사한후 진공에서 annealing을 통하여 HSG-Si의 형성기술에 관한 매우 많은 관심이 집중되고 있다[5-10]. 따라서 본 논문에서는 64Mbit DRAM에서 고용량 캐패시턴스를 확보하기 위한 HSG-Si형성의 최적화를 위한 공정조건에 대하여 평가하도록 한다.

#### 2. 시료제작 및 실험 방법

본 실험에 사용되어진 시료는 비저항이  $9\sim 10\Omega\cdot\text{cm}$ 인 p-type 8인치 웨이퍼로 셀 사이즈가  $0.482\mu\text{m}^2$ 이며 캐패시터 구조는 box형을 이용하였다. 실험에 적용된 64Mbit DRAM의 개략적인 구성도는 그림 1과 같다.

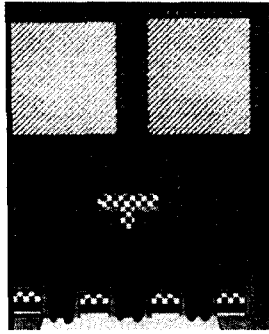


Fig. 1. The cross section of capacitor

그림 1에서 캐패시터의 기본적인 제작과정은 저장폴리 증착 전세정 실시후 K.E사의 LPCVD(model : DJ-835V)를 이용하여 온도와 압력을 각각 520℃, 133Pa로 하고, SiH<sub>4</sub>/PH<sub>3</sub>을 1000/99sccm으로한 in-situ doped amorphous 실리콘을 11300Å 증착하였다. 이때 인농도는 3.0E19 atoms/cm<sup>2</sup>으로 하였다. 저장폴리 증착후 사진식각과 건식각을 통하여 box형의 저장폴리를 형성하였다. HSG-Si의 형성 조건으로는 온도를 730℃에서 10sccm의 Si<sub>2</sub>H<sub>6</sub>를 100초간 주입하고 10<sup>-7</sup> Torr의 진공상태에서 100초동안 어닐링하였다. HSG가 형성된 시료는 자연산화막 제거를 위해 1:500HF처리후 유전막으로 질화막을 약 70Å 성장시킨후 약 700Å의 in-situ doped plate poly를 증착하여 캐패시터를 제작하였다. 캐패시터의 개략적인 제조과정은 그림 2에 나타내었다.

실험방법으로는 HSG-Si가 없는 기존의 simple stacked capacitor와 기존의 시료에 HSG-Si를 형성한 시료에 대하여 각각 셀 캐패시턴스(Cs)를 측정하였다. 이때 캐패시턴스의 측정은 Keithley S-475를 이용하였다. 또한 amorphous 실리콘의 인농도를 2.5~5.0E19 atoms/cm<sup>2</sup>으로 변화하여 HSG-Si 형성두께에 미치는 영향과 이들 HSG-Si의 두께가 Cs에 미치는 영향을 조사 분석하였다. HSG-Si의 두께 측정에는 Nanometrics사의 nano-8000을 이용하였다. amorphous 실리콘 증착시 온도변화가 HSG-Si형성에 미치는 영향을 고찰하였으며 마지막으로 상기의 실험을 통한 최적 조건으로 유전막으로 사용된 질화막 두께의 한계를 확인하기 위하여 I-V측정을 통한 누설전류와 절연파괴 전압을 측정하여 HSG-Si형성을 이용한 캐패시터 제조의 공정 조건을 최적화하였다.

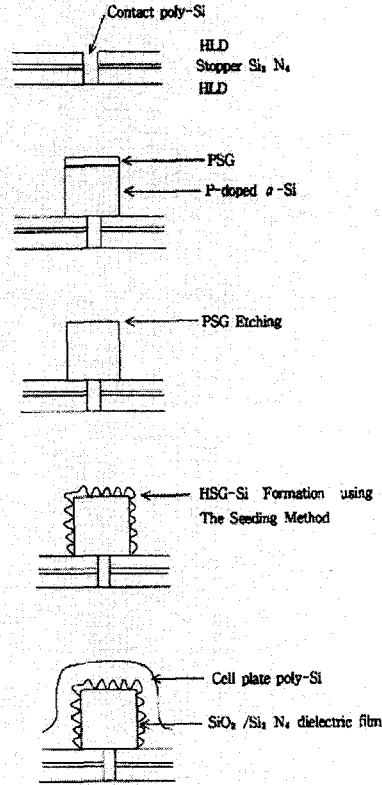


Fig. 2. Process flow for making HSG-Si capacitor

### 3. 결과 및 논의

캐패시턴스의 확보를 위해 HSG가 적용된 box형 저장폴리의 형상은 그림 3과 같다.

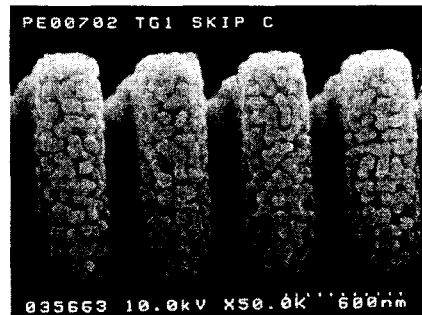


Fig. 3. SEM micrograph of electrodes after HSG-Si formation

그림 3은 doped amorphous 실리콘 증착후 진공에서의 어닐링을 통한 HSG-Si의 모양을 Scanning electron microscope(SEM)을 통하여 관찰한 사진으로 기존에 일반적으로 사용되어진 Stacked capacitor의 저장 폴리 형상과는 달리 저장폴리의 표면이 반구의 형태로 형성되어 있어 표면적의 증가를 확인할 수 있고, 여기에 증착되는 절연막의 형태는 저장폴리의 형태를 이루기 때문에 캐패시턴스의 증가효과를 예상할 수 있다. 따라서 simple stacked capacitor와 여기에 HSG-Si를 형성한 Capacitor의 셀 캐패시턴스를 측정하여 그림 4에 나타내었다.

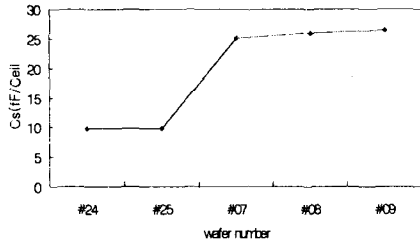


Fig. 4. Cell capacitance for simple and HSG-Si

그림 4에서 #24, 25는 simple stacked capacitor의 셀 캐패시턴스이고, 나머지 웨이퍼는 HSG-Si가 형성된 시료에 대한 셀 캐패시턴스를 비교하여 나타낸 것이다. 그림에서와 같이 HSG-Si가 적용된 웨이퍼의 경우는 simple stacked capacitor 대비 셀 캐패시턴스가 최소 약 2.0배가량 높은 26 - 28fF/cell을 나타내고 있어 HSG-Si에 의해 표면적의 증대가 있음을 명확히 확인할 수 있어 이는 최근 반도체 소자의 고집적화, 초소형화에 따른 면적의 한계를 극복할 수 있는 유용한 프로세스 기술이라 사료된다.

또한 HSG형성 두께가 셀 캐패시턴스에 미치는 영향을 조사하기 위하여 각각의 시료에서 nano-8000을 이용하여 HSG의 두께를 구분하고 이 시료에 대한 Cs를 조사 비교한 결과를 그림 5에 나타내었다.

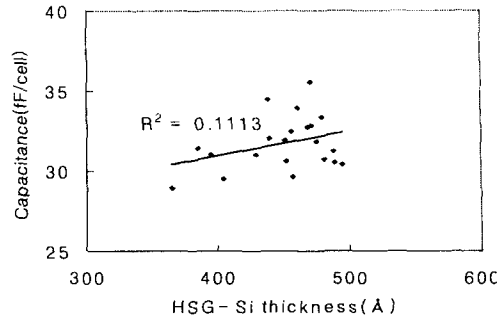


Fig. 5. Relationship of cell capacitance HSG-Si thickness

그림 5에서 보는바와 같이 HSG-Si의 두께가 약 400~500 Å의 범위에 있는데 이는 Batch type LPCVD 장치내의 zone에 따른 공정조건의 영향에 기인된 것으로 판단되고 HSG의 크기가 증가됨에 따라 표면적의 증대로 셀 캐패시턴스도 증가하는 것으로 확인되었다. 그러나 HSG가 500 Å 이상으로 과도하게 성장하는 경우 이들 grain이 떨어져 전극간의 short를 유발하는 불량을 발생시켜 불량율이 증가됨을 알수 있었다. 이를 그림 6에 나타내었다.

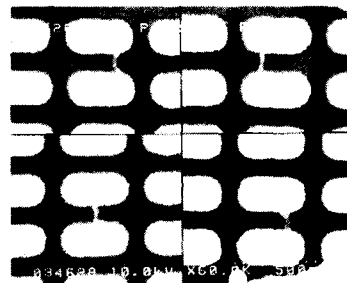


Fig. 6. HSG-Si node to node short by SEM

또한 인농도가 HSG-Si 두께에 미치는 영향을 평가하기 위하여 동일한 공정 조건에서 인농도의 변화에 따른 HSG-Si의 두께를 조사한 결과를 그림 7에 나타내었다. 그림 7에서 보는바와 같이 인농도의 증가에 따라 HSG-Si의 두께가 감소하는 것으로 나타났는데 이는 고진공에서의 열처리과정에서 인농도가 높을 때 열에너지에 의한 out diffusion으로 진공도의 저하에 기인한 것으로 해석할 수 있다[11].

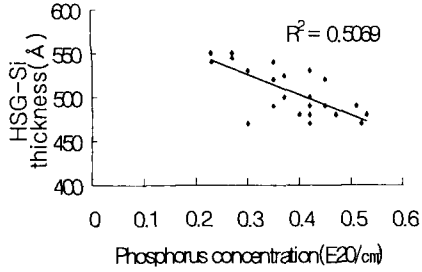


Fig. 7. HSG-Si thickness versus phosphorous concentration

또한 인농도가  $5.0E19$  atoms/cm<sup>3</sup> 이상으로 높은 경우 HSG-Si 형성 불량과 함께 Cs가 20ff/cell이하로 나타나는 경우가 있었는데 이는 amorphous 실리콘 성장시인농도의 증가가 결정화를 촉진하여 실리콘 원자의 migration을 둔화시킨 것으로 해석할 수 있다. 이들 HSG-Si의 형성불량은 그림 8에 나타내었다.

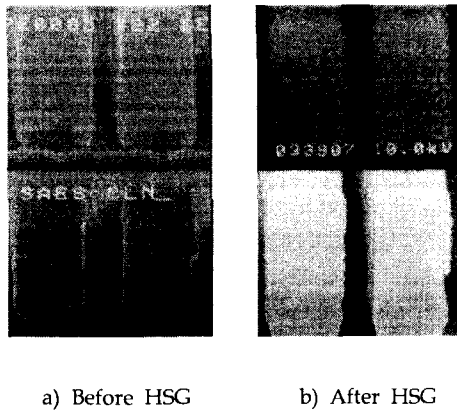


Fig. 8. Before and after HSG-Si formation by SEM

이와같은 문제는 특히 LPCVD 시스템의 up zone에 loading된 웨이퍼들에서 나타났는데 이는 PH3의 공급이 chamber의 아래에서 위로 향하도록 되어있어 공급압력 차이에 의한 농도변화를 최소화하기 위하여 up zone 노즐 사이즈가 크게 형성되어 있는데 기인한 것으로 일반적인 평행평판 저장폴리의 형성에서는 크게 문제가 되지 않았으나 HSG-Si의 형성에는 결정화라는 측면에서 민감하

게 작용하고 있음을 알 수 있다. 이들 각 zone별 시료의 XRD분석 결과를 그림 9에 나타내었는데 그림에서 보는바와 같이 up zone에서 결정화 피크가 나타났다.

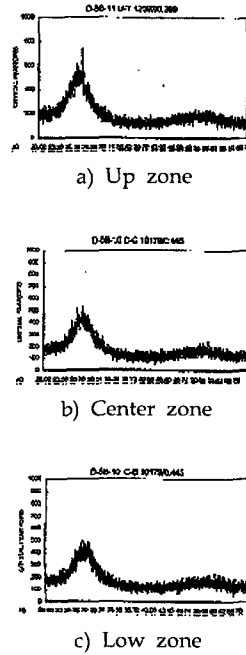
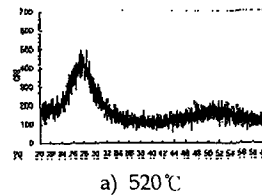


Fig. 9. Crystal peak with contents of zone by XRD

따라서 이와 같이 amorphous의 결정화에 가장 민감하게 작용할 수 있는 공정으로 amorphous 실리콘 성장시의 공정온도를 520 - 540℃로 구분하여 성장시킨후 이들 시료에 대한 HSG-Si의 형성, Cs, XRD분석을 실시하여 이중 XRD분석 결과를 그림 10에 나타내었다.



a) 520℃

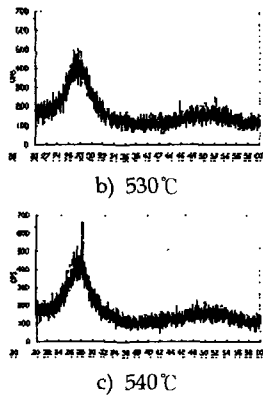


Fig. 10. Crystal peak with contents of depo. temp.

그림에서 보는바와 같이 XRD분석 결과는 인농도의 증가에 의한 결정화에서의 마찬가지로 520, 530°C까지는 결정화의 피크가 나타나지 않았으나 540°C에서는 결정화 피크가 나타나기 시작하였음을 볼 수 있다. 또한 HSG-Si의 형성과 Cs의 측정 결과는 정도의 차이는 있었으나 인농도의 향상에 의하여 나타났던 것과 같은 양상으로 540°C의 시료에서 HSG-Si의 형성 불량과 Cs의 저하를 초래하였다.

이와같은 상기의 결과에서 인농도는 4.0E19 atoms/cm<sup>2</sup>, amorphous성장 온도는 530°C, HSG-Si의 두께치는 400Å으로 설정하고 이들 조건에서 절연막의 두께 한계를 확인하기 위하여 70, 64, 60, 52Å으로 구분하여 누설전류, 절연파괴전압, 캐패시턴스 및 누설전류에 대한 불량을 조사하여 그림11, 12, 13에 나타내었다.

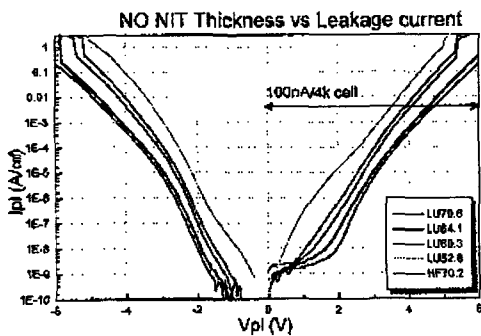


Fig. 11. Leakage current Vs Nitride thickness

그림 11에서 보는바와 같이 절연막 두께가 대략 60Å 이하의 경우는 2V이하의 낮은 전압에서도 누설전류가 많이 흐름을 볼 수 있어 절연막 두께 감소는 약 64Å이 한계임을 알 수 있다.

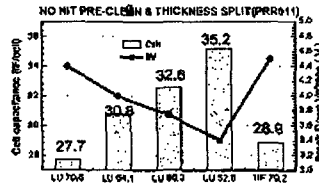


Fig. 12. Capacitance and Breakdown voltage with contents of nitride thickness

또한 그림 12에서 보는바와 같이 절연막의 두께가 감소됨에 따라 셀 캐패시턴스가 절연막 두께 5Å감소시 약 1.65fF/cell정도의 증가를 나타내고 있으나 절연파괴전압은 두께에 비례하여 감소됨을 확인할 수 있었다.

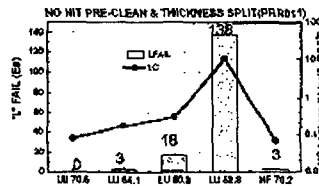


Fig. 13. Failure with contents of nitride thickness

그림 13은 이들 절연막 두께에 따른 시료에 대하여 누설전류에 대한 불량을 나타낸 것으로서 I-V측정의 결과에서와 마찬가지로 60Å 이하의 경우 불량율이 급격히 증가됨을 재확인할 수 있었다. 따라서 이들 시료에 대한 전기적 특성의 결과로 절연막의 두께는 약 65Å이 최적 조건임을 평가하였다.

#### 4. 결 론

HSG-Si의 형성으로 저장전극의 표면적을 증가시켜 기존의 캐패시터보다 약 2배가량의 셀캐패시턴스 향상을 확보할수 있음을 확인하였고, 인농도의 변화가 HSG의 grain크기에 밀접하게 관계됨을 알수 있었다. 또한 HSG의 두께에 따라 Cs는

증가하는 것으로 나타났지만 500 Å 이상으로의 과도한 형성은 전극간을 연결시키는 가교불량이 유발 됨을 확인하였다. 이들 시료에 대한 절연파괴 전기장을 측정된 결과 8~9MV/cm에 집중적으로 분포되어있는 것으로 보아 결함밀도에도 문제가 없는 것으로 사료되며 인농도가 증가되면서 저장 전극이 결정화 피크를 나타내고 이로인하여 HSG의 형성불량이 나타나고 이와 유사한 현상으로 저장전극의 증착 온도가 540°C 이상인 시료에서는 결정 피크가 나타나며 Cs도 저하되는 현상이 나타났다. 이상의 결과로 HSG형성의 최적 조건은 인농도가 3.0-4.0E19 atoms/cm<sup>2</sup>, 저장폴리의 증착 온도는 530°C, HSG의 두께는 약 400 Å이 최적의 공정 조건이며, 또한 이들 공정조건을 이용한 캐패시터의 형성시 유전막의 두께는 65 Å이 한계임을 확인되었다. 단, CVD 챔버 내부의 가스 공급 튜브의 개선이 추후 과제로 남아있다.

#### 참고문헌

- [1] Y. Kawamoto, T. Kaqa, "A 1.28 $\mu$ m<sup>2</sup> bit-line shielded memory cell technology for 64Mb DRAM," in Proc. Symp. VLSI Technol., 1990, pp. 13-14.
- [2] T. Ema, S. Kawanago, and T. Nishida, "3-dimensional stacked capacitor cell for 16M and 64M DRAM's," in IEDM Tech. Dig., 1988, pp. 592-595.
- [3] S. Inoue, A. Nitayama and Horiguchi, "A new stacked capacitor cell with thin box structured storage node," Proc. 21st Solid-State Devices and Materials Conf., 1989, pp. 141-144.
- [4] W. Wakamiya, Y. Tanaka, and H. Kimura, "Novel stacked capacitor cell for 64Mb DRAM," Proc. Symp. VLSI Technol., 1989, pp. 69-70.
- [5] H. Watanabe, N. Aoto, S. Adachi and K. Terada, "A new stacked capacitor structure using hemispherical-grain poly-silicon electrodes," Proc. 22nd Solid-State Devices and Materials Conf., 1990, pp. 873-876.
- [6] Y. Hayashide, and H. Miyatake, "Fabrication of storage capacitance-enhanced capacitors with a rough electrode," Proc. 22nd Solid-State Devices and Materials Conf., 1990, pp. 869-872.
- [7] M. Sakao, N. Kasai, T. Ishijima, and E. Ikawa, "A capacitor-over-bit-line cell with a hemispherical grain storage node for 64Mb DRAM," IEDM Tech. Dig., 1990, pp. 655-658.
- [8] M. Yoshimaru, J. Miyano, and M. Ino, "Rugged surface poly-Si electrode and low temperature deposition Si<sub>3</sub>N<sub>4</sub> for 64Mbit and STC DRAM cell," IEDM Tech. Dig., 1990, p. 659.
- [9] H. Watanabe, and N. Aoto, "New stacked capacitor structure using hemispherical grain polycrystalline-silicon electrodes," Appl. Phys. Lett., vol. 58, 1991, pp. 251-253.
- [10] H. Watanabe, S. Adachi and N. Aoto, "Device application and structure observation for hemispherical grained Si," J. Appl. Phys., vol. 71, 1992, p.3538.
- [11] H. watanabe, T. tatsumi, "HSG-Si formation on in-situ Phorphous doped amorphous-Si Electrode for 256Mb DRAM's capacitor," IEEE Tran. on ED., vol. 42, no. 7, 1995