

광대역 무선가입자망 기지국용 모뎀의 상향링크 수신기 설계 및 구현에 관한 연구

남옥우^{*}, 김재형^{**}

^{*}창원전문대학 전자통신과

^{**}창원대학교 제어계측공학과

A study on the design and implementation of uplink receiver for BWLL Base Station modem

Ock-woo Nam^{*}, Jae-hyung Kim^{**}

^{*}Changwon Junior College Dept. of Electronic and Telecommunication

^{**}Changwon National University Dept. of Control & Inst. Eng,

E-mail : phdnow@dreamwiz.com

요 약

본 논문에서는 광대역 무선가입자망(BWLL)의 핵심부품인 기지국용 모뎀의 상향링크 수신기의 설계 및 구현에 관하여 연구하였다. 수신기는 정합필터와 디지털 다운 컨버터, 그리고 동기회로로 구성되어 있다. 동기회로의 경우 심벌 타이밍 복구를 위하여 가드너 알고리즘을 사용하였고 반송파 주파수 복구를 위하여 4승법을 사용하였으며 반송파 위상 복구는 DD알고리즘을 사용하였다. 성능 분석을 위하여 제안된 알고리즘에 대한 시뮬레이션 결과와 VHDL로 코딩되어 FPGA에 구현된 실제회로의 결과를 비교, 분석하였다. 실험에 사용된 칩은 Alter사의 APEX20KE 시리즈의 60만 게이트 칩이다. 성능분석 결과 주파수 오프셋이 심벌율의 4.7% 까지 동기기가 잘 동작 하였다.

ABSTRACT

In this paper we describe the design and implementation of uplink receiver for BWLL base station modem. The demodulator consists of digital down converter, matched filter and synchronization circuits. For symbol timing recovery we use Gardner algorithm. And we use forth power method and decision directed method for carrier frequency recovery and phase recovery, respectively. For the sake of performance analysis, we compare simulation results with the board implemented by FPGA which is APEX20KE series chip for Alter. The performance results show it works quite well up to the condition that a frequency offset equal to 4.7% of symbol rate.

키워드

BWLL, base station modem, Synchronization, FPGA

1. 서 론

광대역 무선가입자망(BWLL)이란 26MHz 대역 주파수를 이용, 다양한 가입자 측 장치와 각종 통신망을 연결하는 가입자 계 무선망으로써 하나의 기지국에서 음성, 초고속인터넷, 데이터, 영상전화, 주문형 비디오 등 다양한 멀티미디어 서비스를 복합적으로 전송할 수 있는 차세대 통신망이다. 표준화 동향을 살펴보면, 미국에서는 스탠포드 텔레콤과 뉴브리지 주도로 DAVIC LMDS규격

[1]이 완료됐으며 노텔과 모토로라는 CATV 규격을 보완한 MCNS 규격[2]을 채택하였다. 유럽은 ACTS 프로젝트로 다양한 광대역 무선접속기술을 연구중이며, ETSI 산하에 BRAN 프로젝트를 추진하고 있다. 한국에서는 TTA에서 표준을 제정[3], ETRI를 중심으로 연구개발에 박차를 가하고 있다. 본 논문에서는 TTA 잠정표준안을 바탕으로 BWLL 시스템의 핵심부품인 기지국용 모뎀의 상향링크 수신기를 설계 및 구현하였다.

본 논문의 구성은 다음과 같다. 1 장의 서론에

이러 II장에서는 BWLL 기지국용 수신기의 전체적인 구조 및 동기 알고리즘을 설명한다. III장에서는 설계된 수신기를 이용하여 컴퓨터 시뮬레이션 한 결과와 실제 구현된 모델의 결과를 비교, 제시하고, 마지막으로 IV장에서 본 논문의 결론을 맺는다.

II. 기지국용 수신기 구조

그림 1은 본 논문에서 제안한 기지국 수신기에 대한 블록도이다.

수신된 IF 신호는 중심주파수가 5 MHz이고 대역폭이 5 MHz인 IF 필터를 거친 후, 고정클럭의 ADC를 사용하여 샘플링된다. 이 때 한 심벌 당 4 번의 샘플링을 함으로써 심볼율은 2.5 Msymbol/sec가 되게 하였다. AD 변환된 수신신호는 디지털 다운 컨버터를 거치면서 I와 Q 성분의 복소기저대역 신호로 변환된 후 정합필터의 입력으로 들어온다.

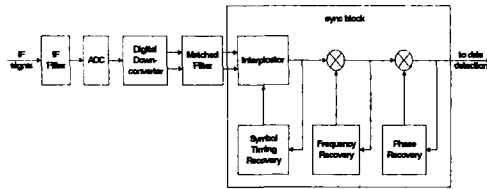


그림 1. 제안된 BWLL 기지국용 상향링크 수신기

1. 정합필터

수신기 필터 출력 샘플의 주파수 특성을 위하여 roll-off가 0.25인 raised-cosine 함수를 사용하는데, 최적의 전송을 위하여 root raised cosine (RRC) 필터를 사용한다. 송신기의 경우에는 다소 많은 탭의 RRC 필터를 사용하지만[1], 수신기는 상대적으로 적은 탭 수의 필터를 사용한다. 본 논문에서는 25탭의 FIR 필터를 사용하였다.

2. 심벌 타이밍 복구(Symbol Timing Recovery)

동기 회로의 경우 최적의 ML수신기를 위하여 그림에서 보듯이 타이밍복구 후 위상 복구가 수행된다[4]. 타이밍복구가 위상 복구 이전에 이루어지기 때문에 타이밍추정 알고리즘은 임의의 반송파 위상 오차나 주파수 오프셋이 존재하는 상태 하에서도 잘 동작을 해야 한다. 이를 위하여 심벌 타이밍 복구회로는 NDA방법으로 타이밍 오차를 검출하고 디지털 보간기를 이용해서 타이밍을 조절하는 Gardner 알고리즘[7]을 사용하였다. 그림 2는 심벌 타이밍 복구회로의 기능적인 블록도를 나타낸 것이다.

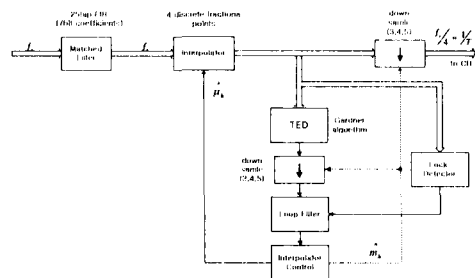


그림 2. 심벌 타이밍 복구회로의 블록도

가드너 알고리즘은 아날로그-디지털 변환 시 I 채널과 Q 채널에서 한 심벌에 두 샘플씩을 취한다. 이 값이 타이밍 오차 검출기(timing error detector : TED)의 입력이 된다. 가드너 알고리즘의 타이밍 오차값 $x_{NDA}(n)$ 은 식 (1)과 같다.

$$x_{NDA}(n) = z_i(nT - T/2 + \hat{\epsilon}T) \cdot \{ \text{sgn}[z_i(nT + \hat{\epsilon}T)] - \text{sgn}[z_i((n-1)T + \hat{\epsilon}T)] \} + z_q(nT - T/2 + \hat{\epsilon}T) \cdot \{ \text{sgn}[z_q(nT + \hat{\epsilon}T)] - \text{sgn}[z_q((n-1)T + \hat{\epsilon}T)] \}$$

식 (1)에서 구한 타이밍 오차값을 심벌 타이밍 복원에 이용하면 잡음의 영향이 줄어들어 개선된 심벌 타이밍의 추적 성능을 얻을 수 있고, 품셈 계산이 줄어들어 하드웨어의 부담을 덜어 줄 수 있다. 타이밍 오차 검출기로부터 나온 오차값은 루프필터로 들어가서 오차값에 대한 평균치가 계산된다. 가드너 알고리즘과 같은 케환 동기기는 오차 검출기를 사용하기 때문에 동기가 이루어졌는지(lock) 아닌지에 대한 신뢰할만한 지시가 필요하다. 이를 위하여 락 검출기(Lock Detector : LD)를 사용하였다[6].

마지막으로 보간기 제어 블록에서는 루프필터의 출력을 받아 오버플로의 발생여부에 따라 오버플로가 발생하면 새로운 입력 심벌을 받아들이고 기준 점 (\hat{m}_k)이 한 심벌 이동(이를 데시메이션(decimation)이라 함)하게 되고, 그렇지 않을 경우에는 작은 간격의 지연 ($\hat{\mu}_k$)에 따라 보간기의 샘플위치를 조절(이를 보간(interpolation)이라 함)한다.

3. 반송파 주파수 복구(Carrier Frequency Recovery)

만약 주파수 오프셋이 심볼율의 12.5%를 초과하지 않는다고 가정하면 STR 앞 단에 AFC가 없어도 가드너 알고리즘은 잘 동작한다. 따라서 심벌 타이밍이 복구된 이후에 주파수 복구를 하는 것이 가능하다. 즉, 한 심벌 당 한 샘플을 이용하여

주파수 옵셋을 추정할 수 있다.

주파수 추정을 위하여 데이터 변조에 대한 효과를 제거해야 되는데, 본 논문에서는 데이터 복조를 제거하기 위하여 V&V 알고리즘을 사용하였다[7]. V&V 알고리즘은 다음과 같다.

$$S(k) = F(\theta_{diff}(n)) e^{jG \cdot \arg(\theta_{diff}(n))} \quad (2)$$

여기서, $F(\theta_{diff}(n)) = |\theta_{diff}(n)|^\omega$, ω even $\leq M$ 이다. V&V 알고리즘에서는 NDA의 경우, $\omega=0$ 이고, G 는 $G=M$ 이다. 본 논문에서는 QPSK 변조를 고려하므로 $M=4$ 이다.

올바른 샘플링 순간의 정합 필터 출력샘플과 이것의 한 심벌(네 샘플) 지연된 샘플을 곱하면 심벌 간 위상 오차 신호를 구할 수 있는데, 이 위상 오차 샘플의 4승값을 구한 후 위상각을 구하면 심벌율로 정규화된 값의 4배에 해당하는 주파수 오프셋을 구할 수 있다. 이러한 순시 주파수 추정값 시퀀스를 심벌 간격으로 누적하여 평균을 취하고, 이 값을 4로 나누어주면 심벌 간격으로 필터링된 주파수 추정값을 얻을 수 있다. 이 주파수 추정값의 복소 공액값을 곱한 시켜 정합 필터 출력 값을 회전(derotation)시키면 된다. 그림 3에 주파수 추정회로의 블록도를 나타내었다.

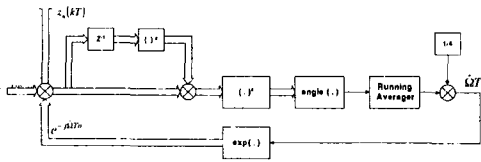


그림 3. 주파수 복구회로

4. 반송파 위상 복구(Carrier Phase Recovery)

본 논문에서 제안한 동기 알고리즘은 심벌 타이밍 복구가 위상 복구보다 먼저 이루어지기 때문에 만약 타이밍을 알고 있다면, 잔류 주파수가 보상된 정합 필터 출력샘플 값을 경판정하여 사용하는 DD알고리즘을 사용할 수 있다. 그림 4는 본 논문에서 사용한 DD 위상 복구회로의 블록도를 나타낸 것이다.

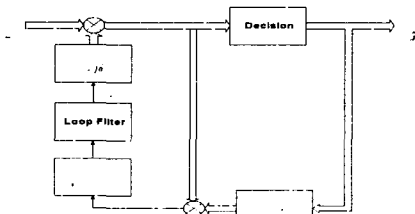


그림 4. 위상 복구회로

n 번째 데이터 심벌을 수신했을 때 위상 오차 검출기의 출력 값 즉, 오차 신호는 다음과 같다.

$$x_\theta(k; \hat{\theta}) = \text{Im}[\hat{a}_n^* z_n \exp(-j\hat{\theta})] \quad (3)$$

여기서, \hat{a}_n^* 는 결정(decision)된 값의 복소공액을 나타내고, $\hat{\theta}$ 는 올바른 반송파 위상 θ_0 의 추정값을 나타낸다. 이 오차 검출기 출력 값이 루프 필터를 통과하여, 디지털 적분기에서 위상 추정값이 갱신된다. 주파수 동기 회로가 없더라도 아주 작은 잔류 주파수 오차(대략 심벌율의 0.1%내외)는 이러한 시변 위상추정 방법만을 통해서도 해결할 수 있다.

III. 시뮬레이션 결과

본 장에서는 제안한 동기 알고리즘을 이용하여 설계한 BWLL 기지국용 변·복조기의 성능을 컴퓨터 시뮬레이션에 의하여 평가한 결과와 실제 구현된 모뎀의 결과를 비교, 분석하고자 한다. 본 논문에서의 시뮬레이션은 실제 하드웨어로의 구현을 위하여 부동소수점(fixed-point)방식으로 수행하였다. 수신기의 ADC를 통해 샘플링된 IF 신호를 down-conversion 한 뒤 로직 분석기(logic analyzer)를 이용하여 캡처한 후 시뮬레이션 데이터로 사용하여 성능을 평가하였다.

그림 5와 6은 각각 초기 위상 오차가 $1/16[\text{rad}]$ 이고, 주파수 옵셋은 존재하지 않는 경우의 시뮬레이션 결과와 실제 구현된 모뎀의 신호 정상도 결과를 나타낸 것이다.

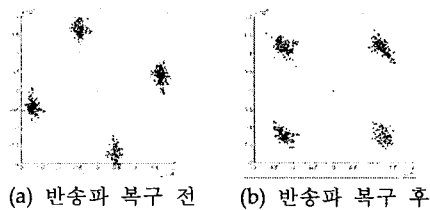


그림 5. 시뮬레이션 결과

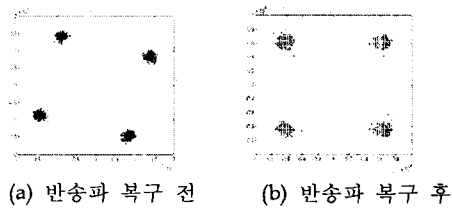
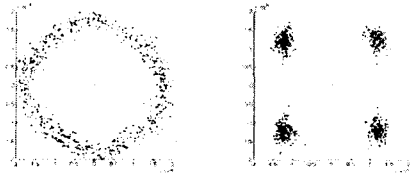


그림 6. 실제 구현된 모뎀의 신호 정상도

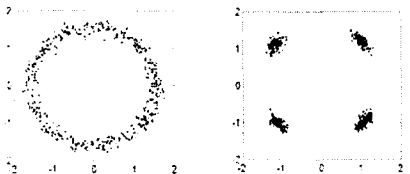
비록 주파수 옵셋은 없다고 가정하였만 송·수신기 간의 클럭오차로 인하여 약 25ppm (125Hz)

정도의 오프셋이 존재한다. 반송파 위상 복구 후의 결과 파형을 보면 반송파 위상 동기 알고리즘이 잘 동작하고 있음을 알 수 있다.

그림 7과 8은 각각 주파수 오프셋이 심벌율의 4.7%인 경우에 대한 시뮬레이션 결과와 실제 구현된 모델의 신호 성상도 결과이다.



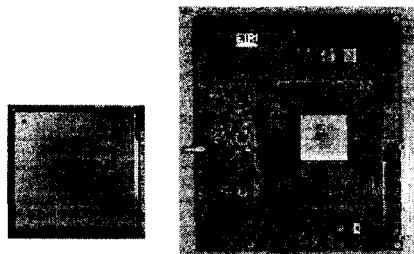
(a) 반송파 복구 전 (b) 반송파 복구 후
그림 7. 시뮬레이션 결과(주파수 오프셋=심벌율의 4.7%)



(a) 반송파 복구 전 (b) 반송파 복구 후
그림 8. 실제 구현된 모델의 신호 성상도 결과 (주파수 오프셋=심벌율의 4.7%)

그림에서 보듯이 주파수 오프셋으로 인하여 신호 성좌점이 회전하고 있다. 반송파 복구 후의 성좌점을 보면 다소 많은 주파수 오프셋임에도 불구하고 주파수 복구회로로 인하여 복구가 잘 됨을 알 수 있다.

마지막으로 그림 9의 (a)와 (b)는 각각 FPGA 칩과 실제 제작된 모델 보드의 외형을 나타낸 것이다.



(a) FPGA 칩 (b) 모델 보드
그림 9. FPGA 칩과 실제 구현된 기지국 모델 사진

본 논문에서는 BWLL 시스템의 핵심부품인 기지국용 모델의 상향링크 수신기의 설계 및 구현에 관하여 연구하였다. 수신기는 정합필터와 디지털 다운 컨버터, 그리고 동기회로로 구성되어 있다. 동기회로의 경우 심벌 타이밍 복구를 위하여 가드너 알고리즘을 사용하였고 반송파 주파수 복구를 위하여 4승법을 사용하였으며 반송파 위상 복구는 DD알고리즘을 사용하였다. 성능 분석을 위하여 제안된 알고리즘에 대한 시뮬레이션 결과와 VHDL로 코딩되어 FPGA에 구현된 실제회로의 결과를 비교, 분석하였다. 실험에 사용된 칩은 Alter사의 APEX20KE 시리즈의 60만 게이트 칩이다. 성능분석 결과 주파수 오프셋이 심벌율의 4.7%까지 동기기가 잘 동작 하였다.

참고문헌

- [1] DAVIC 1.3 Specification Part 8, "Lower Layer Protocols and Physical Interfaces", Digital Audio-Visual Council, 1997.
- [2] MCNS DOCSIS, "Radio Frequency Interface Specification", SP-RFI v1.1-I01-990311, Cable Television Laboratories, 1999.
- [3] 광대역무선가입자망 무선접속규격 잠정표준, 한국정보통신기술협회, 1999.
- [4] H.Meyr, M. Moeneclaey and S.A.Fechtel, "Digital Communication Receivers", Wiley-Interscience, 1998.
- [5] F. M. Gardner, "A BPSK/QPSK Timing-Error Detector for Sampled Receivers", IEEE Trans. on Commun., vol. COM-34, pp.423-429, May 1986.
- [6] G.Karam, et.al., "Lock Detectors for Timing Recovery", IEEE, pp.1281-1285, 1996.
- [7] A.J.Viterbi, et.al., "Non-Linear Estimation of PSK-Modulated Carrier Phase with Application to Burst Digital Transmission", IEEE Trans. on Info. Theory, vol. IT-29, no.4, pp.543-551, July 1983.

IV. 결 론