

셀룰러와 PCS대역의 대역폭을 가지는 2-way 광대역

전력 분배기 설계

정대훈* · 오준석** · 최영식** · 한대현**

동의대학교 전자공학과

Design of 2-way broadband power divider with bandwidth of Cellular and PCS band

Tae-Hoon Jeong* · Jun-Suk Oh** · Young-Shig Choi** · Dae-Hyun Han**

*Dong-Eui University Dept. of electronics Eng.

Email: kiss7743@hanmail.net

요 약

이 논문은 셀룰러와 PCS 대역에서 사용 가능한 전력 분배기를 설계하였다. 본 논문에서 설계한 전력 분배기는 2-way 소자로 각 포트 소자는 가역성을 가지므로 전력을 분배하는 경우 또는 합성하는 경우에 사용되는 소자이다. 2-way의 경우 50Ω 특성임피던스를 갖는 입력포트에 전력을 인가하여 전력의 크기와 위상이 동일하게 두 부분으로 분배되어 두 개의 출력포트에 나타난다. 일반적으로 3dB의 분배효과를 가지게 되지만 설계 시 내부 손실을 가지게 된다. 본 논문에서는 내부손실을 최소화하여 광대역에서 균일한 내부손실을 가지도록 설계하고 또한 대역범위에서 양호한 isolation를 가지는 소자를 설계하는데 그 목적을 두었다.

Abstract

In this paper, we designed power divider that using cellular and PCS band as 2-way device, because each port of designed power divider have reversion that is used to divide the power or compose the power in case of the 2 way, if input port of characteristic impedance with 50Ω is loading the power then size and phase of power appear on two output port being shared to two parts equally. Usually, divider have division effect of 3dB, but divider have insertion loss when designed in this paper, we have the purpose to design that have good isolation and design that equal insertion loss with minimum insertion loss in the broadband.

1. 서 론

RF 신호의 분배 및 합성에 많이 이용되는 소자로는 분배기와 합성기가 있다. 이러한 소자를 이용한 응용분야를 보면 그 예로 송·수신 안테나의 시스템용 급전배열의 설계 또는 평형증폭기와 한 개의 발진기 신호를 무전기의 송신부와 수신부에 급전하는 회로 등 여러 분야에 응용이 가능하다. 이러한 분배기와 합성기는 N-way로 설계가 가능하고 하나의 입력에 여러 개의 출력 포트를 가지도록 설계 가능하며 소자의 각 포트

들은 가역성을 지니므로 분배 및 합성회로에 사용이 가능하게 된다. 이러한 분배기 및 합성기의 형태는 사용주파수나 설계형태 및 방법에 따라 여러 종류로 나누어 질 수 있다. 본 논문에서는 전력 분배기 중 널리 사용되는 Wilkinson 전력 분배기/합성기를 바탕으로 셀룰러와 PCS대역의 대역폭을 가지는 전력분배기/합성기의 설계 방법과 그 결과를 서로 비교하고 실제 설계회로 제작에 따른 특성을 알아보도록 하겠다.

II. 전력분배기의 설계 이론과 방법

1. 전력분배기의 설계기준

본 논문에서는 마이크로스트립라인을 다중스텝을 이용하여 일반적으로 알려진 협대역의 Wilkinson 전력분배기/합성기를 본 논문에서 사용 가능한 대역폭으로 넓혀 보았다. 이러한 방법을 사용하는데 있어 우선 사용하게 될 주파수 범위를 결정하여야 하는데 셀룰러대역 900MHz와 PCS대역 1.8GHz를 고려하여 그 두 주파수의 중심주파수 1350MHz를 기준으로 $\lambda/4$ 변환기가 되도록 설계하였다. 또한 두 출력 단자간의 isolation의 기준을 -20dB에 맞추고 원하는 대역만큼 그 폭을 넓히기 위해 임피던스 스텝구조를 고려하였으며 단일 스텝을 이중으로 사용하고 각 단일 스텝의 끝 부분에는 isolation을 위해 칩저항을 사용하였다.

2. 마이크로스트립 라인의 넓이 결정

본 논문에서 사용하게 될 기판은 상대유전율 (ϵ_r)이 4.6이고 기판의 두께(d)가 0.8mm인 kinsten사의 기판을 사용하여 설계하였다. 임피던스 스텝을 사용하여 설계하는데 있어 중요한 사항은 각 스텝의 라인 임피던스를 어떻게 하는가에 따라 전력분배기/합성기의 내부 손실의 차이가 발생하게 되는데 임피던스를 각각 조절하여보면 그에 따른 내부손실의 차를 알 수 있는데 여러 번의 시뮬레이션 결과를 토대로 50 Ω 과 100 Ω 의 전송선을 사용하도록 하였다. 또한 설계시 입력에서의 SWR의 기준을 1.22이하가 되도록 설계 할 것이다. 이는 50 Ω 과 100 Ω 의 전송선을 사용하여 적절히 조절하면 이러한 대역 안에서 만족하는 값을 얻을 수 있다. 이제 각 전송선의 폭이(W)를 결정하여야 하는데 마이크로스트립 라인의 실효유전율은 다음과 같다.[1]-[3]

$$\epsilon_{re} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \frac{1}{\sqrt{1 + 12 \frac{d}{W}}} \quad (1)$$

임피던스의 크기와 실효유전율이 결정되었다면 전송선의 넓이는 다음과 같이 계산 할 수 있다.

$$Z_0 = \frac{60}{\sqrt{\epsilon_{re}}} \left(\frac{8d}{W} + \frac{W}{4d} \right) \quad \frac{W}{d} \leq 1 \text{ 일 때} \quad (2)$$

$$Z_0 = \frac{120\pi}{\sqrt{\epsilon_{re} \left[\frac{W}{d} + 1.393 + 0.667 \ln \left(\frac{W}{d} + 1.444 \right) \right]}}$$

$$\frac{W}{d} \geq 1 \text{ 일 때} \quad (3)$$

3. 임피던스 스텝 구조

다단의 임피던스 스텝을 이용하여 설계하는데 있어 이러한 스텝을 해석하기 위해 각 단의 단

일 스텝을 해석하도록 한다.[4]-[6]

단일 스텝의 다이어그램과 등가 회로는 그림1에서 보인다.

대칭적인 스텝에서 인덕턴스는

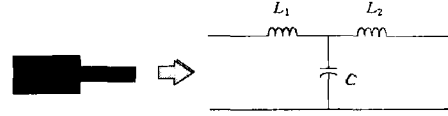


그림 1. 임피던스 스텝과 등가회로

$$L_1 = \frac{L_1'}{L_1' + L_2'} L \quad (4)$$

$$L_2 = \frac{L_2'}{L_1' + L_2'} L \quad (5)$$

이다. 여기서 L_1' 과 L_2' 은 두 선의 단위길이당 인덕턴스이고,

$$\frac{L}{d} \left[\frac{nH}{m} \right] = 40.5 \left(\frac{W_2}{W_1} - 1 \right) - 32.57 \ln \left(\frac{W_2}{W_1} - 1 \right)^2 \quad (6)$$

스텝 커패시턴스는

$$\frac{C}{\sqrt{W_1 W_2}} \left[\frac{PF}{m} \right] = (4.386 \ln \epsilon_r + 2.33) \frac{W_2}{W_1} - 5.472 \ln \epsilon_r - 3.17 \quad (7)$$

으로 계산된다. 지금까지는 셀룰러대역과 PCS대역의 대역폭을 가지는 전력분배기/혼합기의 마이크로스트립 라인의 넓이와 임피던스 스텝에 관하여 살펴보고 III에서는 실제 이러한 전송선을 적용하여 시뮬레이션 결과를 보이도록 하겠다.

III. 시뮬레이션 결과 및 측정

우선 시뮬레이션 결과를 보기에 앞서 대표적인 협대역의 Wilkinson 전력분배기/혼합기와 비교하도록 하겠다.

1. Wilkinson 전력분배기/혼합기

Wilkinson에 의해 고안되어진 N-way 전력분배기/혼합기는 동일한 크기와 위상을 가지는 출력신호로 입력신호를 분배하거나 혼합한다. 본 논문에서는 설계하고자하는 전력분배기/합성기와의 비교를 위해 동일한 기판을 사용하여 알려진 Wilkinson 전력분배기를 설계하여 비교하도록 한다. 여기서 Wilkinson 전력분배기/합성기의 중심주파수를 셀룰러 대역인 900MHz로 하여 시뮬레이션 하였다. 그림2는 두 출력간의 isolation을 나타낸다. 이론적으로 2-way 전력분배기의 각각의 출력포트의 분배비율은 3dB가 되어야 하지만 설계시 내부손실을 가지게 된다. 안정된 회로를 얻기 위해 VSWR 1.22를, 두 출력 사이

의 isolation은 -20dB가 되는 범위를 기준으로 한다. 이러한 기준을 만족하는 범위는 대역폭이 740MHz에서 1.06GHz까지 320MHz이고 1.43:1의 비율을 가진다. 이는 Wilkinson 전력분배기/합성기가 협대역이기 때문이다.

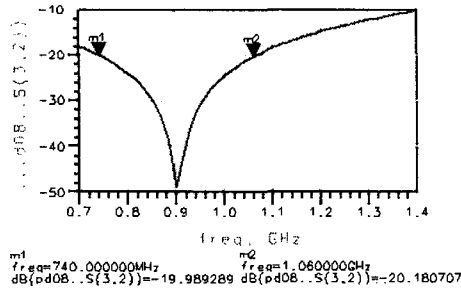


그림 2. Isolation 특성

이 대역에서 두 출력의 전력분배를 보면 대역폭 내에서 -0.05dB의 양호한 내부손실이 있음을 알 수 있으나 본 논문에서 사용하고자하는 범위까지 확장하여 보게되면 그림3과 같다.

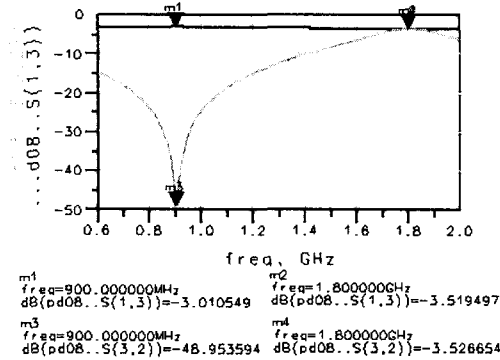


그림 3. 확장하여본 분배와 isolation

900MHz 대역에서 분배비는 -3.01dB, isolation은 -49dB로 양호한 결과를 얻을 수 있으나 1.8GHz 대역에서는 분배비가 -3.52dB, isolation은 -3.52로 좋지 않은 결과를 얻었다. 이를 통하여 본 논문에서 요구하는 대역에서는 사용이 불가능하다는 것을 알 수 있고 이를 개선한 전력분배기/합성기를 설계하도록 한다

2. 셀룰러대역과 PCS대역의 대역폭을 가지는 전력분배기/합성기의 설계

앞서 수식 (2)와 (3)을 이용하여 전송선의 넓이를 설정하고 2단의 임피던스 스텝을 가지도록 설계를 하도록 한다. 설계를 하는데 있어 각 전송선의 길이에 따라 S11과 SWR의 변화를 알 수 있다. 설계 시 중요한 점은 다단의 임피던스 스텝의 총

길이는 원하는 대역의 중심주파수 1350MHz에 대한 $\lambda/4$ 변환기가 되도록 설계하고 각 임피던스 전송선의 길이를 조금씩 변화시킨다. 그 결과 얻어진 회로도 와 layout을 보이면 다음과 같다.

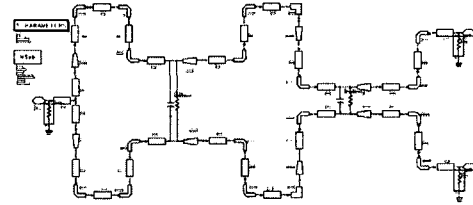


그림 4. 회로도

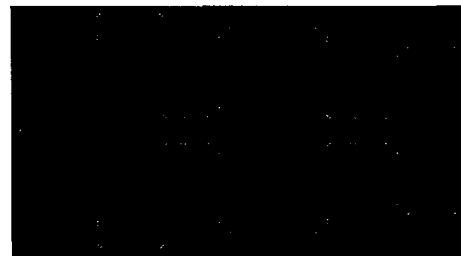


그림 5. 회로도에 대한 layout

위의 그림5에서는 그림4에서 표현한 저항과 커패시터는 생략하였다. 여기서 저항은 각 임피던스 스텝에 대한 isolation 저항이다. 이 저항은 각 임피던스 스텝에 대한 두 출력단의 isolation을 결정하는 소자로 각각을 변화하여 원하는 isolation을 얻도록한다. 각 단의 커패시터 또한 isolation을 결정하는 것으로 S-파라미터 상에서 주파수가 이동되어 있는 것을 좌측으로 이동하는데 쓰인다. 각 저항과 커패시터를 결정하는 방법을 보면 우선 각 단의 전송선 넓이와 길이를 결정하고 저항과 커패시터를 연결하지 않은 상태에서 스미스차트의 결과를 보면 그림6과 같다.

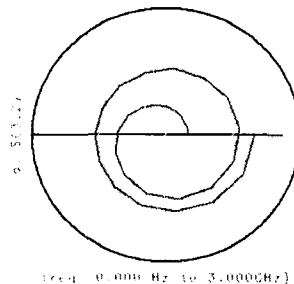


그림 6. Isolation 소자 연결 전

그림6을 통하여 isolation이 상당히 좋지 않음을 알 수 있는데 각 임피던스 스텝 사이에 저항과 커패시터를 연결하여 각 소자의 크기를 변화시켜 원하는 값을 얻도록 한다. 이를 그림7에서 보인다.

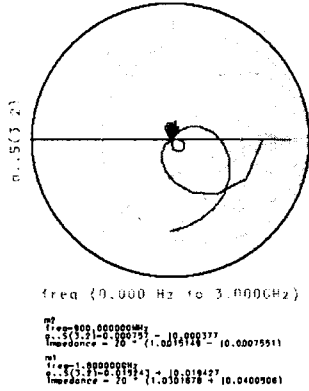


그림 7. Isolation 저항과 커패시터 연결시

이 결과를 보게되면 셀룰러대역인 900MHz와 PCS대역인 1.8GHz에서 스미스차트의 중심으로 이동하였음을 알 수 있다. 그림8에서는 S-파라메타를 이용하여 표현한다

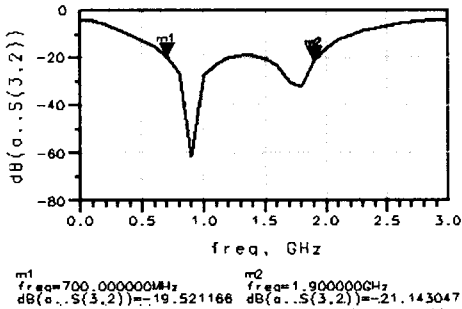


그림 8. Isolation 소자 연결 후 S-파라메타

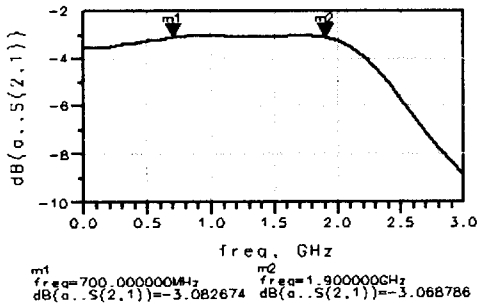


그림 9. 전력분배비

이 결과를 통해 본 논문에서 20dB의 isolation 범위는 700MHz에서 1.9GHz로 대역폭은 1.2GHz가 되고 비율이 2.71:1로 Wilkinson 전력분배기/합성기에 비해 개선되었음을 알 수 있다. 다음으로는 이 범위에서의 전력분배를 그림9에서 보이고 700MHz에서 -3.08dB, 1.9GHz에서 -3.07dB로 대역범위 내에서 큰 오차가 없이 양호한 내부손실을 가지고 셀룰러 대역인 900MHz에서는 -3.02dB를 PCS대역인 1.8GHz에서는 -3.01dB의 내부손실을 가진다는 것을 알 수 있다.

IV. 제작 및 측정결과

III에서의 시뮬레이션을 통하여 결정되었던 마이크로스트립라인의 넓이와 길이 및 isolation 소자를 가지고 제작한 회로를 그림10에서 보인다.

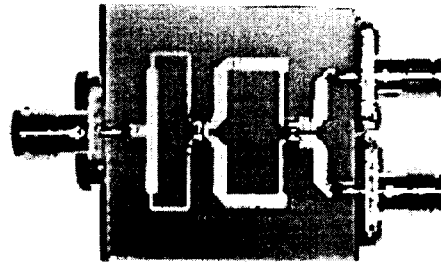


그림 10. 설계 회로

다음은 그림11에서 14는 Agilent 8753ES를 이용하여 각각의 특성을 측정한 값이다.

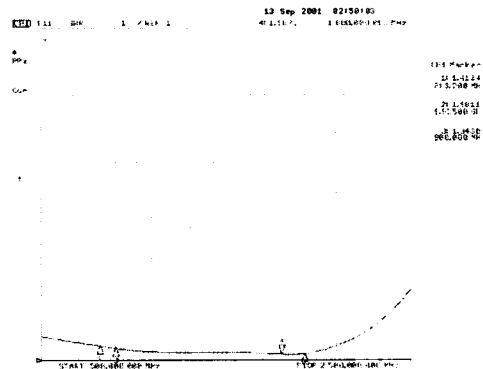


그림 11. S11에 대한 SWR

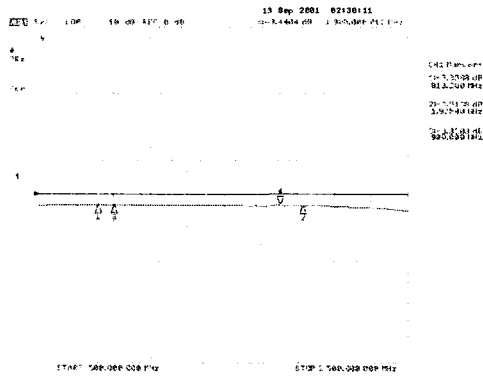


그림 12. 두 출력단의 전력분배비

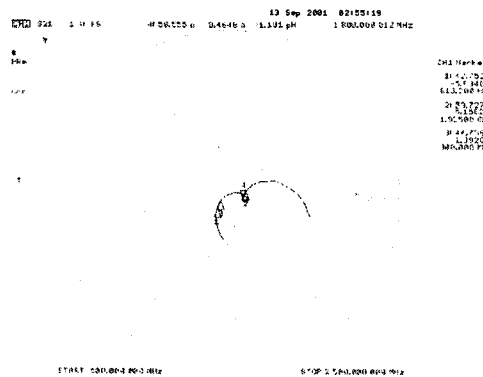


그림 13. 셀룰러와 PCS대역의 스미스차트

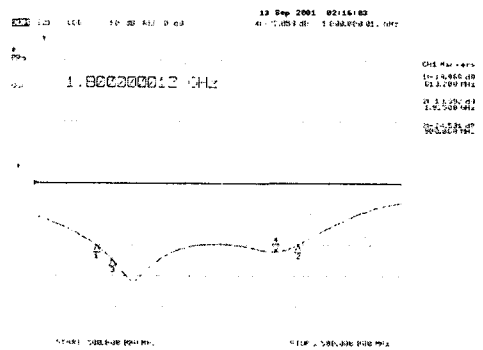


그림 14. 두 출력간의 isolation

V. 결론 및 고찰

본 논문에서는 셀룰러와 PCS대역의 대역폭을

가지는 2-way 광대역 전력분배기를 설계하였다. Wilkinson 전력분배기/혼합기를 기초로 하여 임피던스 스텝구조를 채택하고 원하는 대역폭을 얻기 위해 각각의 임피던스를 결정하여 전송선로의 넓이와 길이를 결정하고 스미스차트를 이용하여 isolation 저항과 커패시터의 크기를 결정하였다. 최종적으로 III의 시뮬레이션을 통해 얻어진 결과를 이용하여 제작하고 측정된 결과치를 살펴보면 다음과 같다. -20dB 이하를 가지는 isolation의 범위가 813MHz에서 1925MHz까지이고 2.37:1의 비율을 가진다. 900MHz에서는 -24.5dB, 1800MHz에서는 -22.05dB로 측정되었다. 분배비를 살펴보면 813MHz에서 -3.36dB, 900MHz에서 -3.34dB, 1800MHz에서 -3.44dB, 1925MHz에서는 -3.51dB로 측정되었다. 시뮬레이션 결과와 제작 측정된 결과를 서로 비교하여 보았을 때 오차를 가지게 되었으나 원하는 주파수 범위 내에서 사용 가능한 특성을 가지고 있음을 알 수 있다. 이러한 오차는 제작과정에서 발생하는 것으로 판단되고 임피던스 스텝 구조에서 칩 저항과 커패시터를 연결하면서 발생하는 겹침 현상에 의한 차이로 판단되며 앞으로 이를 더욱 개선해 볼 계획이다. 또한 3D 시뮬레이션을 통하여 마이크로스트립라인의 E-field와 H-field 유형을 살펴보고 진행과에 따른 손실 분포를 살펴볼 계획을 가지고 있다. 앞으로는 대역폭을 증가시켜 대역폭이 decade가 되도록 개선 할 계획이다.

참 고 문 헌

- [1] Chadha. R and K.C.Gupta(1982), "Compensation of Discontinuities in planar Transmission Line." "IEEE" Trans.Microwave Theory Tech.
- [2] Akhtarzad,S., and P.B.Johns(1975b), "Dispersion characteristics of a Microstrip Line with a step Discontinuity."
- [3] Stanislaw Rosloniec " Three-Port Hybrid Power Dividers Terminated in Complex Frequency-Dependent Impedances." Trans Microwave Theory Tech. VOL. 44. NO.8 1996
- [4] Hung Yuet Yee "N-way TEM-Mode Broad-Band Power Dividers" "IEEE" VOL. MTT-18, NO.10. 1970
- [5] Qiang XU, Kevin J.WEBB "Study of Modal Solution Procedures for Microstrip Step Discontinuities" "IEEE" VOL.37, NO. 2, 1989
- [6] Peter Bened다 "Equivalent Capacitances for Microstrip Gaps and Steps" "IEEE" VOL. MTT-20, NO.11, 1972