DDS 방식에 의한 고속 가변 클럭 발생기의 설계

김재향 · 김기래
신라대학교 정보통신공학과

Design of the High Speed Variable Clock Generator by Direct Digital Synthesis

Jae-Hyang Kim, Gi-Rae Kim
Dept. of Information & Communications Eng., Silla University

요 약

통신회로에서 많이 사용되는 PLL 방식에 의한 주파수 합성기는 여러 장점이 있지만 위상잡음 특성이 나쁘고 긴 주파수 도약 시간을 갖기 때문에, 최근의 고속(1㎲이하)으로 주파수 호핑(Frequency Hopping)을 요구하는 디지털 통신 시스템에서는 사용이 어렵다. 본 연구는 디지털 영상 패턴 발생기에서 1600hops/s 로 600개 이상의 랜덤한 주파수를 발생하는 주파수합성기를 DDS (Direct Digital Synthesis) 방식을 이용하고, CPLD에 의해 구현하였다.

Abstract

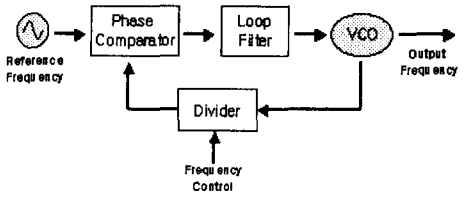
The PLL synthesizer is used often in communication system due to several merits, such as broad bandwidth, high accuracy and stability of frequency. But it is difficult to use in current digital communication systems that need frequency hopping at a high speed because of its long frequency hopping time. In this paper, we designed frequency synthesizer that generate the clock frequency randomly at a high speed using the DDS technology and is applied to the pattern generator systemfor for digital image.

키워드
이동 통신, 무선 통신, 디지털 통신

I. 서 론

주파수 합성기(Frequency Synthesizer)는 안정도가 높은 기준 주파수 발진기로부터 제어워드에 의해 원하는 주파수를 발생하는 회로를 의미하며, 통신 시스템에서 채널을 결정하는 발진기를 비롯하여 다양하게 사용된다. 주파수 합성기의 주요 성능은 주파수 안정도, 정확도, 위상잡음, 주파수 도약(스위칭) 시간 등이다. 일반적으로 주파수 합성기의 원리는 세 가지 방식에 의해 구현된다. 즉, 직접 아날로그 합성 방식(Direct Analog Synthesis), 간접 합성 방식인 위상고정루프 (PLL) 그리고 직접 디지털 합성(Direct Digital Synthesis, DDS) 방식인데 이것은 각 장단점을 갖고 있다. 직접 아날로그 합성 방식(DAS)은 안정도가 높은 기준 주파수를 믹서, 필터 그리고 분주기에 의해 에러 보정없이 직접 원하는 주파수를 발생시킨다. 이 방식은 직접 주파수를 합성하기 때문에 위상 잡음 (Phase Noise) 특성이 양호하고 주파수 스위칭 시간이 매우 빠르다는 장점을 갖지만, 부가적인 회로가 필요하여 회로가 복잡하고 설계 비용이 높다.

간접 합성 방식인 위상고정루프 (PLL)는[1] 반도체 기술의 진보에 따라 지금까지 통신 시스템



등에 널리 사용되고 있다. 이 회로의 기본 구성은 그림 1과 같이 위상비교기, 루프필터, 전압제어발진기(VCO) 그리고 분주기로 구성된다.

그림 1 PLL 신세사이저의 구성

기준 주파수가 위상 비교기의 한 입력으로 연결되고, VCO의 주파수가 N 분주기를 통해 궤환되어 위상 비교기에 입력된다. 부궤환 (Negative Feedback) 루프는 필터의 출력으로 VCO의 주파

수를 제어하여 기준 주파수의 N배가 되도록 한다. PLL의 시정수는 루프필터의 특성에 따라 결정되기 때문에 회로 설계시 위상잡음, 스위칭 속도, 주파수 해상도 등의 특성 사이에 상호 조정이 필요하다[2]. 상대적으로 주파수 안정도가 높고, 주파수 대역폭이 넓은 장점을 갖고 있지만 위상 비교기에서 약화되는 위상잡음 특성이 나쁘고 궤환 특성에 의한 주파수 스위칭 시간이 길다[3].

DDS(Direct Digital Synthesizer)는 빠른 Switching Time, 연속적인 위상 스위칭 응답, 낮은 위상잡음 특성을 가지므로 PLL 합성법 보다 좋은 이점을 제공한다. DDS는 직접 주파수 합성 방식으로 아날로그 신호를 디지털 회로에 의해 직접 주파수를 생성하는 방법이다. 일반적으로 PLL 회로는 주파수 스위칭 시간이 ECL 소자의 경우 최대 100μs, 주파수 해상도 (frequency resolution) 가 수㎑ 정도이다. 최근 디지털 통신 시스템의 클럭이 고속화되고, 동일한 시스템에서 여러 개의 클럭을 고속 (1μs이하)으로 가변 해야할 필요성이 있다. 특히 CDMA와 같은 대역확산 통신 방식에서 주파수 도약(Frequency Hopping)을 하기 위해 수십 *ns* 정도의 스위칭 시간이 요구된다. 이 경우 PLL 회로로서는 불가능하여 새로운 방식에 의한 고속의 주파수 합성기가 필요하게 된다. 본 연구에서는 수십 *ns* 정도의 스위칭 시간을 갖고 ± 0.05 Hz 이하의 높은 주파수해상도를 갖는 DDS 회로를 이용하여 고속 가변 클럭 발생기를 설계하고자 한다. 본 회로는 디지털 영상 패턴 발생기 시스템에서 적용되며, 이 시스템에서 영상 패턴을 발생시키기 위해서는 영상의 종류에 따라 40~160 MHz 클럭 주파수 범위에서 랜덤하게 고속으로 클럭을 발생해야 한다. 이 클럭 발생기의 핵심 사양은 100ns 이하의 스위칭 시간과 ±0.05Hz의 주파수 안정도이다.

II. DDS의 구성 및 원리

DDS는 그림 2에서 나타낸 바와 같이 Phase accumulator, Phase to Amplitude Converter (ROM), Digital/Anlogue converter, Filter의 4가지 블록으로 구성된다.

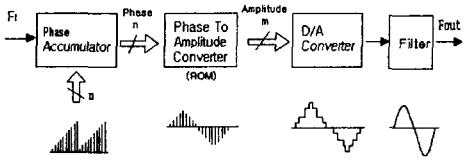


그림 2 DDS의 기본 원리

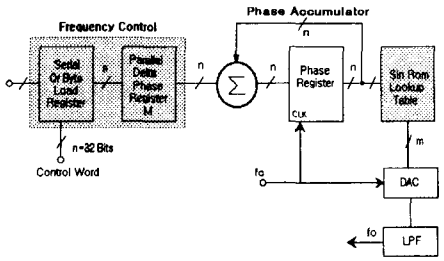


그림 3 DDS의 구성

DDS는 직접 주파수 합성법으로 정현파를 디지털회로에 의해 직접 생성하는 것이다. 정현파를 샘플링 이론에 의해 세분화하여 각 위상값과 진폭을 ROM으로 Look-up 테이블을 구성하여 원하는 주파수의 정현파를 DDS에 의해 생성한다. 그림 3에서와 같이 버퍼 레지스터로부터 FCW(Frequency Control Word) 데이타를 n 비트 입력하여 기준 주파수(F_r)를 2^n 개로 샘플링하게 되므로 DDS의 주파수 해상도는 식(1)과 같이 결정된다.

$$F_{res} = \frac{F_r}{2^n} \qquad (1)$$

한 주기의 정현파는 2^n 개의 위상으로 분할되어 각 위상에 해당하는 진폭을 ROM 테이블로 저장한다. 각 위상은 주소가 되고 진폭은 디지털 데이터로 저장된다. 그림 3에서 n=32 비트의 제어워드가 입력되어 Delta Phase Register에 저장되고 클럭에 따라 계속적으로 Phase Register의 현재 값에 더해진다. 이 Phase Register는 클럭의 상승에지에서 이전의 Delta Phase Accumulator 값이 새로운 Delta Phase Accumulator 값으로 바뀐다. 만약 Delta Phase Accumulator 값이 0000....11 (32bit) 라고 하면 Phase Accumulator값은 각 클럭마다 0000..11 (32비트), 즉 3 씩 증가한다. M=1, 즉 0000.....01 (32비트) 이면 한 주기의 정현파를 만드는데 2^n 개의 클럭이 필요하며 따라서 주기는 $2^n/F_r$ 이 되고 주파수는 $F_r/2^n$ 이다. 그리고 M=2, 즉 0000....10 (32비트) 이면 2 씩 증분되므로 $2^n/2$ 개의 클럭이 필요하여 정현파 한 주기가 반으로 줄어들어 주파수는 M=1 일 때의 2 배가된다. 식(1)에서 M에 의하여 위상이 분할되고, 분할된 위상값에 의해서 주파수 값이 결정되어 정현파가 발생한다. 따라서 출력주파수는 식(2)와 같이 된다.

$$F_{out} = \frac{F_r \times M}{2^n} \qquad (2)$$

여기서 F_r 은 기준 주파수이고, M은 위상 증분으로 정수이다. 만약 n=32비트이고, 기준주파수가 125MHz이면 $F_{out} = 0.0291 \times M$이된다. 즉 주파수 해상도는 0.0291 Hz가 된다. 여기서 M=1, 2, 3... 이라면 출력주파수는 각각 F_{out}=0.0291Hz,

0.0582Hz, 0.0873Hz .....가 나오게 된다. ROM에는 위상값과 디지털 진폭값이 테이블로 저장되어 있다. Phase Register에 저장되어 있는 값은 ROM이 주소가 되어 위상값이 진폭에 해당하는 디지털 데이터로 출력된다. 즉, Phase Accumulator에서 출력된 n 비트는 ROM의 주소가 되어 ROM 테이블에서 n 비트 주소에 해당하는 디지털 진폭값을 찾아서 m 비트로 출력된다. m 비트는 D/A Converter에 입력되어 디지털 값을 아날로그 값으로 변환한다. 아날로그로 변화된 값은 LPF (Low Pass Filter)에 의해서 높은 주파수 성분이 제거되어서 깨끗한 정현파가 제공된다. DDS는 PLL(Phase Locked Loop)과는 달리 귀환 루프가 없기 때문에 주파수 스위칭 시간이 짧다는 장점을 가지고 있으나, 많은 채널 데이타를 저장해야 할 경우에는 ROM의 크기가 커진다는 단점이 있다. 일반적으로 ROM의 용량은 $2^n \times m$ 이 되는데, 용량을 줄이기 위해 정현파의 주기성을 이용하여 1/4 주기의 데이터만 저장하여 설계한다.

III. 설계 및 구현

DDS 방식을 이용하여 40MHz~160MHz의 주파수 대역에서 200KHz 간격으로 1600hops/s 속도로 주파수 호핑을 하면서 랜덤하게 클럭주파수를 발생시키는 주파수 합성기를 설계한다. 설계된 주파수 합성기의 구성은 그림 4와 같다. 본 연구에서는 클럭(Fr)을 33.554 MHz로, 채널을 제어하는 튜닝워드를 32비트로 설계하므로 주파수 해상도는 $33.554MHz/2^{32}$, 0.0078125Hz로 된다. 회로에서는 DDS에 의해 먼저 20~80MHz의 정현파를 발생시키고 주파수 체배기를 통해 2체배되고 비교기를 통해 디지털 클럭으로 변환된다. 식(1)에서 $f_{out} = f_{res} \times M$ 이므로 f_{res} 는 정해진 값이므로 출력 주파수는 M에 의해서 결정된다. M은 32비트 데이터로서 채널을 결정하는 값이다. 이것은 CPLD에 의해 프로그램되어 DDS에 제공된다. 출력 주파수와 M 데이터 값을 <표1>에 나타내었다. VHDL에 의해 설계된 CPLD는 그림 5에서와 같이 Control Data(40bit), 워드클럭 (W_CLK), 주파수 업데이터(FQ_UD) 신호를 발생한다. 이 데이터들은 각각 Data Input Register, Frequency /Phase Data Register를 통해 DDS 부에 입력된다. W_CLK와 FQ_UD는 각 레지스터를 구동시키는데 사용되고, Control Data는 총 40비트로 5비트는 위상제어워드, 32비트는 주파수 튜닝워드, 1비트는 전원 온/오프, 2비트 동작 테스트로 사용된다.

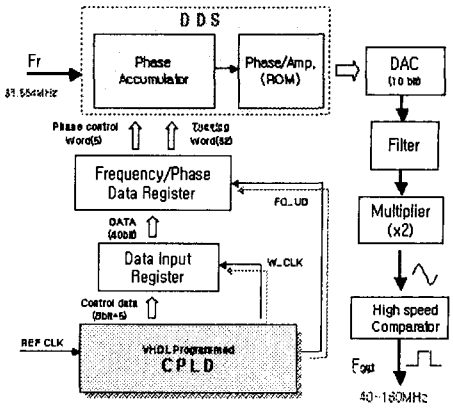
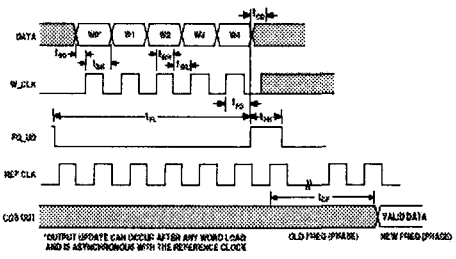


그림 4 설계된 고속 클럭 발생기의 구성

<표 1> 출력 주파수와 M 데이터

주파수(M)	M (dec)	M (hex)
20.0	2.5600×10^{9}	98968000
20.1	2.5728×10^{9}	9959D000
:		
30.6	3.9168×10^{9}	E975A000
:		
50.2	6.4256×10^{9}	7EFEE000
:		
79.9	1.02272×0^{9}	6196B000
80.0	1.02400×0^{9}	625A0000



(a) 신호의 타이밍도

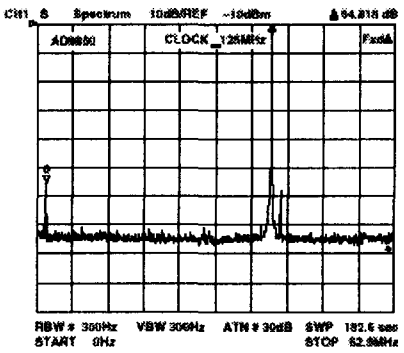
SYMBOL	DEFINITION	MIN
t_{DS}	DATA SETUP TIME	3.5ns
t_{DH}	DATA HOLD TIME	3.5ns
t_{WH}	W_CLK HIGH	3.5ns
t_{WL}	W_CLK LOW	3.5ns
t_{CD}	CLK DELAY AFTER FQ_UD	3.5ns
t_{FH}	FQ_UD HIGH	7.0ns
t_{FL}	FQ_UD LOW	7.0ns
t_{FD}	FQ_UD DELAY AFTER W_CLK	7.0ns
t_{OF}	OUTPUT LATENCY FROM FQ_UD	
	FREQUENCY CHANGE	18 CLOCK CYCLES
	PHASE CHANGE	13 CLOCK CYCLES

(b) 파형의 시간 사양

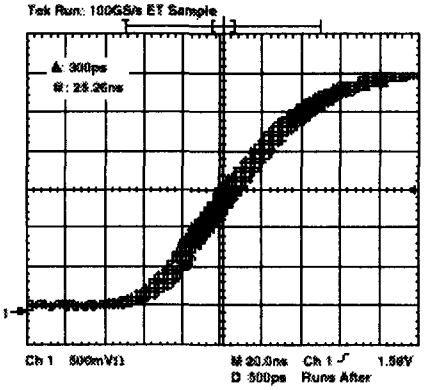
그림 5 CPLD 신호의 타이밍 및 데이터 형식

그림 5(a)에 나타낸 타이밍도는 DDS 신호의 동작을 나타낸다. DDS는 W_CLK에 따라 w0-w4 (8bit × 5 = 40 bit)의 데이터를 입력받는다. 입력되는 40비트 값은 처음 8비트는 제어 워드로 사용되고, 나머지 32비트는 주파수 제어 워드로 사용되는 비트이다. FQ_UD 신호는 새로운 주파수를 발생하기 위해 어드레스를 로드한다. W_CLK 상승 에지에서 각 8bit 데이터가 입력되어 첫 번째 register pointer에 저장된다. 반복적으로 8bit 데이타가 레지스터에 5번 Load된 후에 W_CLK는 무시되게 된다. FQ_UD의 상승에지에서 40비트 FCW가 로드되고, 어드레스 포인터는 첫번째 레지스터에 놓이게 된다. W_CLK의 상승에지에서 8비트 데이타 워드가 로드되고 레지스터 포인터는 다음 레지스터로 옮겨진다. W_CLK에 의하여 5번 로드된 후에는 W_CLK는 FQ_UD가 리셋 될 때까지 무시된다. FQ_UD가 1이 되면 새로운 데이타로 업데이트되어서 출력된다.

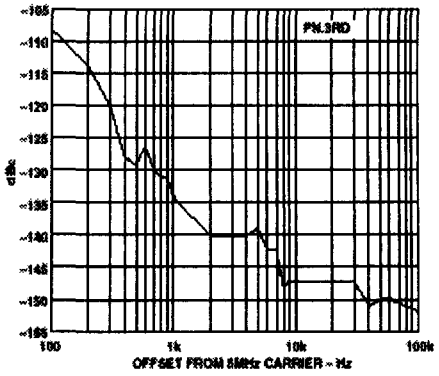
V. 특성 및 결과



(a) SFDR, F_{out} = 20.0 MHz



(b) Output Jitter (@f_{out}=40MHz)



(c) Output Residual Phase Noise (@f_{out}=40MHz)

그림 6 설계된 DDS의 특성

V. 결 론

PLL 또는 전통적인 방식에 의한 주파수 합성기는 위상잡음 특성이 나쁘고 특히 주파수 도약 시간이 길기 때문에, 최근의 대역확산 통신 시스템과 같은 고속(1μs이하)으로 주파수 호핑(Frequency Hopping)을 요구하는 디지털 통신 시스템에서는 사용이 불가능하다. 본 연구는 새로운 주파수 합성법인 DDS 방식을 이용하여 40MHz~160MHz의 주파수 대역에서 200KHz 간격으로 1600hops/s 속도로 주파수 호핑을 하면서 랜덤하게 클럭주파수를 발생시키는 주파수 합성기를 설계한다. 시스템의 요구에 따라 랜덤한 주파수 채널을 발생시키는 프로그램은 VHDL에 의해 CPLD로 구현하였다. 본 연구의 결과를 디지털 영상 패턴 발생기 시스템에 적용하여 좋은 결과를 얻었다. 영상 패턴을 발생시키기 위해서는 영상의 종류에 따라 40~160 MHz 클럭 주파수 범위에서 랜덤하게 1600hops/s 로 클럭을 발생해야 하며, 클럭 발생기의 핵심 사양은 100ns 이하의 스위칭 시간과 ±0.05Hz의 주파수 안정도이다. 본 연구의 결과는 대역확산 통신 시스템과 같은 주파수 호핑 통신시스템에 적용할 수 있으며, PLL 합성기 대용으로 폭 넓게 이용될 것이다. 향후 연구 과제로는 이를 블루투스 칩 등에 응용할 수 있도록 할 것이다.

References

[1]Ulrich L. Rohde, *Digital PLL Frequency Synthesizers*, Prentice-Hall, 1983.

[2]*Phase-Locked Loop Design Fundamentals*, Applications Note An-535, Motorola Inc.

[3]F. M. Gardner, *Phaselock Techniques*, 2nd

Edition, John Wiley, NewYo가, 1979.

[4]Henry T. Nicholas, III and Henry Samueli, *An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase-Accumulator Truncation,* IEEE41st Annual Frequency Control Symposium Digest of Papers, 1987, pp.495-502.

[5]Henry T. Nicholas, III and Henry Samueli, *The Optimization of Direct Digital Frequency Synthesizer Performance in the Presence of Finite Word Length Effects,* IEEE 42st Annual Frequency Control Symposium Digest of Papers, 1988, pp.357-363.