

B-WLL 상향링크 수신기용 동기 회로 설계 및 구현

손교훈* · 정인화* · 김재형*

*창원대학교

A Design and Implementation of Synchronization Circuit for B-WLL Up-Link Receiver

Kyo-Hoon Son* · In-Hwa Jung* · Jae-Hyung Kim*

*Changwon National University

E-mail : sonkh@korea.com

요 약

본 논문에서는 B-WLL 상향링크 수신기용 심볼 및 위상 동기 회로를 설계하였다. B-WLL 상향링크는 버스트 전송 방식이고, 변조 방식은 QPSK를 사용한다. 본 연구에서는 심볼율을 2.5 Msymbol/sec로 가정하였고, 디지털 Up/Down Converter를 이용한 IF 대역은 20 [MHz]를 사용하였다. 수신필터는 25 탭, 7 비트 계수를 가지는 FIR 필터로 설계하였다. 심볼 타이밍 복구 회로는 Gardner 알고리즘을 이용하여 설계하였으며, 반송파 복구는 결정 지향 알고리즘을 이용하여 설계하였다. 설계된 알고리즘은 VHDL로 코딩되어 FPGA에 구현되었다. 실험에 사용된 FPGA는 ALTERA사의 APEX20KE 시리즈의 60만 게이트 FPGA이다. 구현된 복조기의 성능을 평가하기 위하여 모의실험 결과와 구현 결과를 비교하여 제시하였다. 그 결과로 주파수 오프셋과 위상 오프셋이 있는 경우에도 심볼 타이밍 복구 회로는 잘 동작을 하였으며, 주파수 오프셋이 심볼율의 0.12%까지 위상 동기 회로가 잘 동작하였다.

1. 서 론

광대역 무선 가입자망(B-WLL)은 미국의 LMDS(Local Multipoint Distribution Service), 캐나다의 LMCS(Local Multipoint Communication System), 그리고 유럽의 MVDS(Microwave Video Distribution System) 등과 같이 무선 CATV 전송 뿐만 아니라 전화, 인터넷 접속, 그리고 양방향 데이터 서비스를 제공할 수 있는 옥외용 가입자 액세스 망의 대체 수단을 통칭하는 시스템이다. 현재 국내에서도 시스템의 표준화 및 시스템 핵심 기술의 개발 과정이 진행중이다.

TTA(한국정보통신기술협회)의 무선접속규격 잠정표준에 의하면 B-WLL 상향링크는 버스트 전송 방식이고, QPSK 변조방식을 제공해야 한다. 그리고 물리 부계층은 롤-오프 인자가 0.25인 Nyquist Square Root Raised Cosine Shaping을 지원해야 한다. 이때 스펙트럼은 표 1의 채널대역폭에 제한되어야 하며, 가능한 심볼율과 채널대역폭의 예는 표 2와 같다.

표 1. 최대 채널대역폭

심볼율(Ksym/sec)	채널대역폭(kHz)
$N \times f_{BW} / (1 + \text{roll-off})$	$N \times f_{BW}$

여기서, N은 정수, f_{BW} 는 기본 채널대역폭을 의미함

표 2. 상향 심볼율과 채널대역폭의 예

심볼율(Ksym/sec)	채널대역폭(kHz) ^주
160	200
320	400
640	800
1,280	1,600
2,560	3,200
5,120	6,400
10,240	13,000
20,480	26,000

주. 채널대역폭은 -30 dB 대역폭을 의미함

그리고, 상향링크 데이터에는 가변 길이의 프리엠

블이 첨가된다. 첨가되는 프리앰블의 값은 프로그램화 할 수 있어야 하고, 그 길이는 0,2,4,... 또는 1024 비트이다. 따라서 프리앰블 최대 길이는 512 개의 QPSK 심볼이 된다[3].

II. 본 론

1. B-WLL 수신기 구조

그림 1은 TTA의 무선접속규격 잠정표준에 근거하여 본 연구에서 구현한 B-WLL 상향링크 수신기의 구조를 나타낸다. B-WLL 상향링크는 버스트 전송방식이고, 변조방식은 QPSK를 사용한다. 먼저, 수신된 IF 신호는 중심 주파수 5 Mhz, 대역폭 5 Mhz의 IF 필터를 거친 후 20 Mhz로 샘플링 된다. ADC의 샘플링 주파수는 고정하고, 한 심볼당 4번 샘플링 함으로써 2.5 Msymbol/sec의 심볼율이 되도록 하였다. ADC를 통해 샘플링 된 데이터는 8 비트로 양자화 된 후 디지털 다운 컨버팅 되고 I, Q로 나누어져 정합 필터로 입력된다. 정합 필터의 16 비트 출력은 Gardner 알고리즘을 이용하는 심볼 타이밍 복구 회로에 의해 타이밍 동기 되고, 결정 지향(Decision Directed) 알고리즘을 이용하여 캐리어 위상 복구가 이루어진다. 그리고, B-WLL의 상향링크는 버스트 모드이기 때문에 하나의 시간 슬롯 안에서 주파수 복구와 타이밍 복구가 이루어져야 한다. 그래서 상향링크에서는 프레임 동기화를 위해서 51 바이트의 프리앰블을 사용한다.

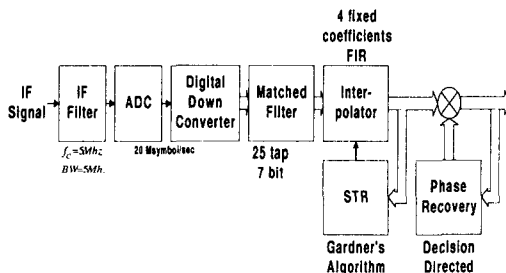


그림 1. B-WLL 상향링크 수신기의 블록도

2. 정합 필터

기지국 수신기 필터는 롤-오프 인자가 0.25인 Square-Root Raised-Cosine 필터로 25 탭, 7 비트 계수를 사용하였다. 필터의 탭 수를 25로 정한 이유는 심볼당 4 번 샘플링을 할 때 잡음이 없을 경우 ISI(Intersymbol Interference)에 의한 손실을 최소로 할 수 있는 탭 수이기 때문이다[4]. 계수가 고정되면 곱셈기를 shift-and-add 연산자들로 대체함으로써 디자인 면적을 효과적으로 줄일 수 있다. 그리고 계수들을 이진수로 표현했을 때, '1'의 개수만큼 덧셈기가 필요한데 이것도

CSD(Canonical Signed Digit) 표현을 이용해서 덧셈기의 개수를 줄일 수 있었다.

3. 심볼 타이밍 복구(Symbol Timing Recovery : STR) 알고리즘

디지털 통신 시스템의 복조기에서 심볼 동기화의 목적은 수신된 아날로그 신호로부터 심볼 복구를 위해 송신 심볼을 또는 천이 시점 및 그 정수배의 클럭에 동기화를 정확하게 추정하는 것이다. 특히, 현재 폭넓게 사용되고 있는 디지털 복조기에서는 다른 동기 요소들이 모두 심볼 동기 회로에서 선택된 최적의 샘플링 시점에서 동작하므로 디지털 통신의 복조 과정에서 반드시 필요하다.

시스템 구현 입장에서 심볼 타이밍 복구 방법은 크게 세 가지로 구분된다. 첫 번째는 아날로그 회로에서 타이밍 에러를 검출하고 VCO에 의해 ADC 샘플링 타이밍을 조절하는 방법이고, 두 번째는 디지털 회로에서 타이밍 에러를 검출하고 VCO에 의해 ADC 샘플링 타이밍을 조절하는 방법이며, 세 번째는 ADC에는 고정 클럭을 사용하여 샘플링을 하고 디지털 회로에서 타이밍 에러를 검출하여 디지털 보간기를 이용해서 타이밍을 조절하는 방법이다. 요즘 아날로그 시스템에서 디지털 시스템으로 전환되는 추세에 따라 세 번째 방법이 많이 사용되고 있다.

알고리즘에 따라 분류하면, 결정 지향(Decision Directed: DD) 방식과 비-결정 지향(Non-Decision Directed: NDD) 방식으로 나누어진다. 먼저 대표적인 DD 방법으로는 매 심볼마다 한 개의 샘플을 이용하는 Mueller & Mueller 알고리즘이 있다. 이 방법은 이진 신호의 경우, 구현이 간단하고 우수한 성능을 보인다. 그러나 이 방법은 타이밍 함수가 반송파의 위상오차에 직접적인 영향을 받기 때문에 심볼 동기 전에 정확한 반송파 복구가 요구되는 문제가 있다.

NDD 방식 중 대표적인 것으로는 Gardner 알고리즘이 있다. Gardner 알고리즘은 주로 BPSK 나 QPSK 방식을 위한 타이밍 복구 알고리즘으로 제안되었는데, 이 방법은 하나의 심볼마다 두 개의 샘플링이 되므로 처리속도에 대한 부담을 줄일 수 있고 포착과 추적의 어느 동작 모드에서도 유효하며, 반송파 동기에 독립적으로 동작할 수 있다. 즉, 위상에러가 존재하는 상황에서도 타이밍 복구가 가능하다. 그래서 주파수 복구와 함께 수행될 수 있는 장점이 있다. 본 연구에서는 단말기 복조기의 심볼 타이밍 복구에 보간기와 Gardner 알고리즘을 이용하여 타이밍을 조절하였다. 그림 2는 단말기 복조기에서 심볼 타이밍 복구 회로의 구조를 나타낸다.

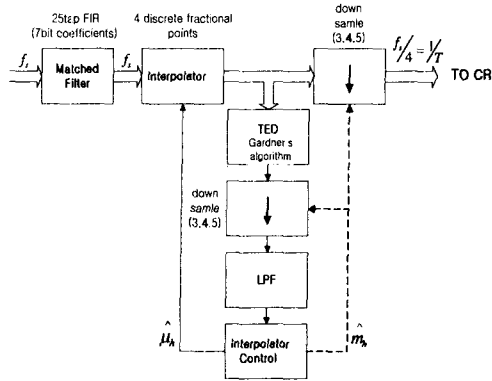


그림 2. 심볼 타이밍 복구 회로의 블록도

ADC에 의해 샘플링 된 데이터들이 정합 필터를 거쳐서 보간기의 입력으로 들어간다. 보간 필터는 심볼의 샘플율이 송신기의 주 클럭과 같도록 샘플 개수를 올리는 기능을 한다. 보간기는 고정 클럭에 의해 f_{ADC} 와 같은 클럭으로 샘플링 된 데이터를 입력으로 받아 내부적으로 f_{ADC} 클럭으로 동작을 한다. 보간기는 FIR 필터 뱅크로 구현되는데 Farrow 구조 중 Cubic Lagrange 보간기를 가지는 필터 부분과 타이밍 오차를 입력으로 보간을 수행하기 위한 파라미터들을 출력하는 제어기로 되어 있다. Cubic 보간기는 두 심볼 사이를 보간하는데 네 개의 입력 심볼 값을 이용한다. 보간기 출력식은 (2.1)과 같다.

$$Y(n_k) = C_{-1}X(k-1) + C_0X(k) + C_{-1}X(k+1) + C_{-2}(k+2) \quad (2.1)$$

필터 계수는 식 (2.2)와 같이 표현된다.

$$\begin{aligned} C_1 &= -\frac{1}{6}\mu^3 + \frac{1}{2}\mu^2 - \frac{1}{3}\mu \\ C_0 &= \frac{1}{2}\mu^3 - \mu^2 - \frac{1}{2}\mu + 1 \\ C_{-1} &= -\frac{1}{2}\mu^3 + \frac{1}{2}\mu^2 + \mu \\ C_{-2} &= \frac{1}{6}\mu^3 - \frac{1}{6}\mu \end{aligned} \quad (2.2)$$

필터 계수에 영향을 주는 파라미터는 프랙셔널 딜레이 $\mu(0 \leq \mu < 1)$ 뿐이다. 본 설계에서 μ_k 는 $\pm 1/4, \pm 1/2$ 중 하나의 값을 가진다. 그리고 이 값은 TED의 출력에 의해 선택된다. 보간기의 출력은 타이밍 에러 검출기의 입력이 된다.

STR에서는 먼저 Gardner 알고리즘을 이용하여 타이밍 에러를 계산한다. 타이밍 에러는 식 (2.3)을 이용한다.

$$\begin{aligned} x_{NDA}(n) = & z_i(nT - T - T/2 + \hat{\epsilon}T) [\text{sgn}[z_i^*(nT + \hat{\epsilon}T) \\ & - \text{sgn}[z_i^*((n-1)T + \hat{\epsilon}T)]] \\ & + z_q(nT - T - T/2 + \hat{\epsilon}T) [\text{sgn}[z_q^*(nT + \hat{\epsilon}T) \\ & - \text{sgn}[z_q^*((n-1)T + \hat{\epsilon}T)]] \end{aligned} \quad (2.3)$$

계산된 타이밍 에러 값은 루프 필터링 된 후 보간기 제어부로 들어가게 된다. 보간기 제어부에서는 두 가지 파라미터를 계산한다. 먼저, 루프 필터링 된 후, 누적된 타이밍 에러 값의 레벨에 따라 다운 샘플링을 조절하는 파라미터인 \hat{m}_k 와 보간기로 들어가서 계수를 결정하는 $\hat{\mu}_k$ 를 출력한다. 그리고 타이밍 복구된 심볼들은 반송파 복구를 위해 전달된다. 그림 3은 보간기 제어부의 구조를 나타낸다.

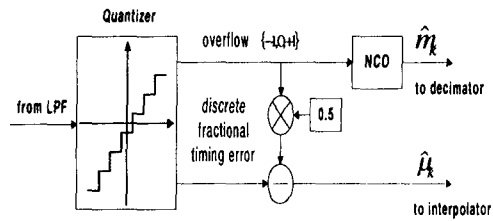


그림 3. 보간기 제어부 블록도

4. 반송파 복구(Carrier Recovery : CR)를 위한 결정 지향(Decision Directed) 알고리즘

디지털 무선통신 시스템의 복조기에서 반송파 복구란 심볼 데이터를 올바르게 결정(Dicision)하기 위해 샘플 데이터에 포함되어 있는 반송파 주파수 오프셋과 위상 오프셋을 보상해주는 것을 의미한다. 즉, 송신기와 수신기의 주파수와 위상을 일치시키는 과정이다. 수신된 신호에 포함된 반송파 성분은 IF 부에서 국부발진기에 의해 제거된다. 그러나 반송파의 주파수 오프셋과 위상 오프셋은 계속 존재하며, 일반적으로 이들 잔류 주파수 및 잔류 위상 복구는 복조기 구현을 간단히 하기 위해 기저대역, 즉 디지털 회로에서 검출과 보상이 이루어진다. 버스트 모드 전송에서의 반송파 복구는 주로 Data-Aided(DA) 형식으로 수행되는데, 반송파 복구를 지원하는 데이터들은 프레임내의 프리앰블 부분에 포함되어 전송된다. 따라서, 버스트 모드 전송에서는 프리앰블 데이터들로 인한 전송효율의 감소가 불가피하다. 전송효율을 극대화하기 위해서는 반송파 복구를 지원하는 프리앰블 데이터 수를 가능한 한 작게 유지해야 하는데 이를 위해서는 반송파 획득을 빠르게 할 수 있는 알고리즘이 요구된다.

$\hat{\theta}$ 만큼 디-로테이션 된 타이밍 복구 회로 출력의 실수 부와 허수 부의 부호를 이용하여 데이

터 결정을 한다. 이 결정 결과의 켈레 복소수와 디-로테이션 된 값을 곱한 결과의 허수 부로서 위상 에러를 계산한다. 이것은 식 (2.4)를 이용한 것이다.

$$x_n = \text{Im}[\hat{a}_n z_n(\hat{\epsilon})e^{-j\hat{\theta}}] \quad (2.4)$$

그리고 이 결과를 루프 필터링해서 위상 에러 추정 값을 구한다. 이것을 다시 디-로테이션 함으로써 틀어진 위상을 원래의 QPSK 신호의 위치로 옮기는 역할을 한다. $e^{-j\hat{\theta}}$ 은 2^8 개의 주소를 갖는 ROM-table을 이용하여 구현하였다. 그림 4는 위상 복구 알고리즘의 구조를 나타낸다.

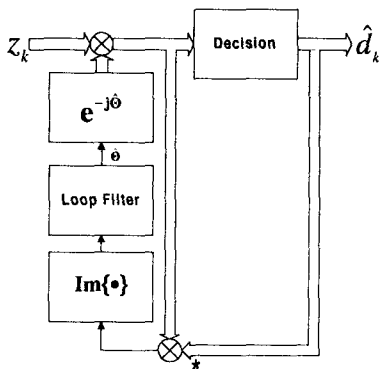
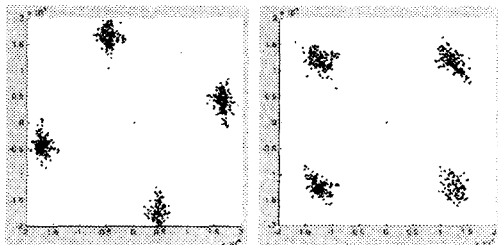


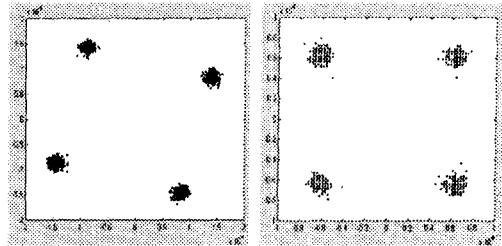
그림 4. 결정 지향(Decision Directed) 알고리즘을 이용한 위상 복구 블록도

III. 실험 결과

그림 5와 6은 각각 주파수 오프셋이 없는 경우의 모의 실험 결과와 실제 구현된 모델에서 STR과 CR을 한 후 로직 분석기를 통해 데이터를 수집해서 신호의 성상도를 나타내었다. 주파수 오프셋이 없는 경우에도 송수신기 모델 클럭의 오차에 의해 25 ppm, 즉 125 Hz 정도 존재하게 된다. 그림 5의 A와 그림 6의 (a)는 STR의 출력을 나타낸다. CR의 출력은 그림 5의 (b)와 그림 6의 (b)에 나타나는데, 위상 복구가 잘 되고 있음을 나타낸다.

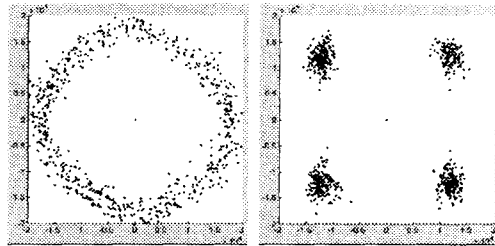


(a) 반송파 복구 전 (b) 반송파 복구 후
그림 5. 모의 실험 결과

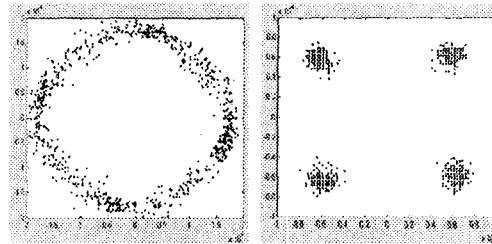


(a) 반송파 복구 전 (b) 반송파 복구 후
그림 6. 구현된 모델의 신호 성상도

그림 7과 8은 2 KHz의 주파수 오프셋이 있을 경우에 모의 실험 결과와 실제 모델의 출력 결과를 나타낸다. 주파수 오프셋이 있을 경우 STR 후의 신호 궤적은 그림 7의 (a)와 그림 8의 (a)에 나타나는 것 처럼 원을 그리게 되는데, 구현한 CR 회로에 의해 위상 복구된 상태를 그림 7의 (b)와 그림 8의 (b)에서 나타낸다. 실험에 따르면, 주파수 오프셋이 심볼율의 0.12% 즉 3 KHz 정도까지도 추적 할 수 있었다. 즉, 이동성이 없는 B-WLL의 LOS 환경을 고려하면 이러한 작은 주파수 오프셋에 대해서는 따로 보상을 하지 않고도, CR 회로가 주파수를 충분히 추적 할 수 있다는 것을 보여준다.



(a) 반송파 복구 전 (b) 반송파 복구 후
그림 7. 모의 실험 결과
(주파수 오프셋=2 KHz, 심볼율=2.5 Msym/sec)



(a) 반송파 복구 전 (b) 반송파 복구 후
그림 8. 구현된 모델의 신호 성상도
(주파수 오프셋=2 KHz, 심볼율=2.5 Msym/sec)

IV. 결론

본 논문에서는 B-WLL 상향링크 수신기용 심볼

및 위상 동기 회로를 설계하였다. B-WLL 상향링크는 버스트 전송방식이고, 변조방식은 QPSK를 사용한다. 본 연구에서는 심볼율을 2.5 MSymbol/sec로 가정하였고, 디지털 Down Convert를 이용한 IF 대역은 20 MHz를 사용하였다. 수신필터는 25 탭, 7 비트의 계수를 가지는 FIR 필터로 설계하였다. 심볼 타이밍 복구회로는 Gardner 알고리즘을 이용하여 설계하였으며, 반송파 복구는 결정 지향 알고리즘을 이용하여 설계하였다. 설계된 알고리즘은 VHDL로 코딩되어 FPGA에 구현되었다. 실험에 사용된 FPGA는 Altera사의 APEX20KE 시리즈의 60만 게이트 FPGA이다. 구현 결과 약 10만개의 게이트가 소요되었고, 내부 메모리는 4096 비트를 사용하였다.

실험은 주파수 오프셋이 없을 때와 오프셋을 주었을 때로 나누어 진행하였고, 주파수 오프셋이 없을 때, 송수신단의 클럭 차이로 인해 발생하는 작은 오프셋에 STR과 CR이 잘 동작하였고, 오프셋을 주었을 경우에도 2.5 Msymbol/sec 심볼율의 0.12%까지 잘 추적할 수 있었다.

참고문헌

- [1] DAVIC 1.3 Specification Part 8, "Lower Layer Protocols and Physical Interfaces", 1997
- [2] MCNS DOCSIS, "Radio Frequency Interface Specification", SP-RFI v1.1-101-990311, Cable Television Laboratories, 1999.
- [3] 한국정보통신기술협회, "광대역무선가입자망 무선접속규격 잠정표준", 1999.
- [4] Meyr, Moeneclaey, Fechtel, "Digital Communication Receivers", Wiley-Interscience, 1998
- [5] Floyd M. Gardner, "Interpolation in digital modems - Part II : implementation and performance", IEEE Trans. Comm., vol. 41, no.6, 1993.
- [6] Duech, "Digital Design with CPLD Applications and VHDL", Delmar, 2001.
- [7] Kevin Skahill, "VHDL for Programmable Logic", Addison Wesley, 1996.
- [8] Douglas J. Smith, "HDL Chip Design", Doone Publications, 1996.