

고속 주파수 합성기를 이용한 FH-SS 송수신기의

채널 효율 개선 연구

김재향* 김기래*

*신라대학교 정보통신공학과

A Study on the Improvement of channel efficiency for FH-SS

Tranceiver by applying the Frequency synthesizer

with high speed switching time.

Jae-Hyang Kim* Gi-Rae Kim*

*Dept. of Information & Communication Eng., Silla University

E-mail : grkim@silla.ac.kr

요 약

최근의 확산대역 통신 방식에 사용되는 주파수 합성기는 주파수 스위칭 시간이 중요한 요소가 되고 있다. FH-SS(Frequency Hopping Spread Spectrum) 송수신기에서 고속 주파수 합성기 설계는 채널 효율을 높이기 위해 매우 중요하다. 본 논문에서는 기존 PLL방식에 직접 접근 주파수 합성(DDS) 방식을 응용하여 1 μ s 이하의 스위칭 시간을 갖는 고속 주파수 합성기를 설계하고, 이를 2.4GHz 대역의 FH-SS 송수신기에 적용하여 시뮬레이션 결과 20% 이상의 채널 효율 개선 효과를 얻었다.

Abstract

Recently, Switching time is the principal factor in a design of frequency synthesizer for Spread-Spectrum Communications. Fast switching frequency synthesizer is important to improve the channel efficiency in a Frequency Hopping Spread Spectrum (FH-SS) tranceiver. In this paper, we design the frequency synthesizer with fast switching time as fast as 1 μ s. In frequency synthesizer design, we use the interpolated PLL method inserted memory Look-up table of DDS to reduce switching time, and have result of improved channel efficiency about 20% by applying to FH-SS Tranceiver.

I. 서 론

최근의 디지털 통신 시스템에 대역 확산 통신 방식이 적용되고, 주파수가 높아지고 고속 통신이 요구되면서 기존의 통신기기 회로에 많은 변화가 요구되고 있다. 특히 송수신기에서 국부발전기와 반송파 발진기 등에 주파수를 제공하는 주파수 합성기는 주파수가 높아지고 또한 채널 스위칭 시간이 1ms 이하의 고속 주파수 합성기가 요구되어진다^[1]. 기존의 PLL 방식에 의한 주파수 합성기는 소비 전력이 적고 불요파 방사가 적은 장점

이 있지만 위상 잡음 특성이 나쁘고, 루프 특성에 의해 긴 주파수 도약 시간을 갖기 때문에 최신 통신 시스템에서는 사용이 어렵다.

그리고 DDS (Direct Digital Synthesis)^[2] 방식은 주파수 합성 방식 중에서 가장 빠른 스위칭 시간을 갖지만, 소비전력이 크고, UHF 대역 이상의 고 주파수의 합성이 어렵고, 방해 잡음을 발생하기 때문에 저 전력을 요구하는 휴대용 기기에 사용하기가 어렵다. 확산대역 통신 방식의 송수신기에서는 주파수 합성기의 스위칭 시간이 느리면 채널 스위칭 시간이 낭비되기 때문에 데이터 전송이 효과적이지 못하게 되어서 채널 효율이 떨어

*본 연구는 2000년도 무량향학술진흥회의 연구비 지원에 의해 수행되었음.

어지게 되는 요인이 된다. 본 논문에서는 송수신기의 채널 효율을 높이기 위하여 기존의 PLL 주파수 합성방식 구조에 직접 접근 주파수 합성(DDS) 방식의 장점을 적용한 새로운 주파수 합성기를 설계하여 1 μ s 이하의 스위칭 시간을 얻었다. 이를 2.4GHz 대역의 송수신기에 적용하여 시뮬레이션 결과 20% 이상의 채널 효율 개선 효과를 얻을 수 있었다. 제안된 주파수 합성기를 이용한 송수신기는 주파수 호핑 방식의 이동 통신 시스템의 응용에 적용할 수 있다.

II. 주파수 합성 방법

주파수 합성기는 통신 시스템에서는 채널을 결정하는데 중요한 부분을 차지하고 있다. 일반적으로 주파수 합성 방법은 직접 아날로그 합성 방법, 그리고 PLL과 DDS 방법이 있으며, 대표적인 PLL과 DDS 방식의 특성 비교하여 <표 1>에 나타내었다^[2]. PLL 회로의 기본 구성은 위상비교기, 루프필터, 전압제어발진기(VCO) 그리고 분주기로 구성된다. 기준 주파수가 위상 비교기의 한 입력으로 연결되고, VCO의 주파수가 N 분주기를 통해 케환되어 위상 비교기에 입력된다.

<표 1> PLL과 DDS의 비교

	PLL	DSS
Loop	Feedback	No Feedback
Technology	Analog	Digital
Band Width	Broad(0-2GHz)	Narrow(0-65MHz)
Switching	Slow(<100 μ s)	Fast(<100ns)
Resolution	Low(>250KHz)	High(<0.05Hz)
소비전력	Small	Large

PLL의 시정수는 루프필터의 특성에 따라 결정되기 때문에 회로 설계시 위상잡음, 스위칭 속도, 주파수 해상도 등의 특성 사이에 상호 조정이 필요하다. 상대적으로 주파수 안정도가 높고, 주파수 대역폭이 넓은 장점을 갖고 있지만 위상 비교기에서 약화되는 위상잡음 특성이 나쁘고 케환 특성 때문에 주파수 스위칭 시간이 길다는 단점을 가지고 있으므로, 고속으로 주파수 호핑을 요구하는 통신시스템에서는 적용이 불가능하다. 따라서 고속 스위칭 시간을 갖는 PLL 주파수 합성기에 대한 연구가 있었다. 디지털 신호 처리 기법을 이용하여 Pre-tuned PLL 을 제안하였다^[3]. 이것은 FH-SS의 고속 스위칭 요구조건을 만족하지만 소프트웨어 의존도가 높고 가격이 비싸 실용

화에 문제점이 있었다. 두 개의 PLL을 사용하여 교대로 동작하게 하는 Dual PLL^[4]이 제안되었는데, 이것은 20ms 정도의 스위칭 시간을 갖는다. DDS 방식은 빠른 Switching Time, 연속적인 위상 스위칭 응답, 낮은 위상잡음 특성을 가지므로 PLL 합성법보다 좋은 이점을 제공한다. 직접 주파수 합성 방식으로 아날로그 신호를 디지털 회로에 의해 직접 주파수를 생성하는 방법이다. 그러나 주파수 대역이 넓지 않아 UHF 대역 이하에서 사용이 제한된다. 이것의 구성은 그림 1에서 나타내었다.

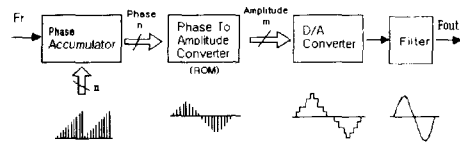


그림 1 DDS의 기본 원리

DDS는 정현파를 샘플링 이론에 의해 세분화하여 각 위상값과 진폭을 ROM으로 Look-up 테이블을 구성하여 원하는 주파수의 정현파를 DDS에 의해 생성한다. DDS는 PLL과는 달리 케환루프가 없기 때문에 주파수 스위칭 시간이 짧다는 장점을 가지고 있다. 그러나 많은 채널 데이터를 저장해야 할 경우 주파수 해상도는 높아지지만, ROM의 크기가 커진다는 단점이 있다.

III. 개선된 주파수 합성법

본 논문에서 제안하려는 개선된 주파수 합성법은 기존의 PLL 방식과 DDS의 구성을 혼합한 방식으로 루프 필터와 VCO(Voltage Controlled Oscillator) 사이에 Memory-Look-up 테이블을 삽입하여 주파수 제어 절차를 간소화시키므로 채널 스위칭 시간을 감소시킬 수 있도록 하였다. 제안된 주파수 합성기의 구성도를 그림 2에 나타내었다. 그림 3은 VCO와 루프필터 사이에 삽입된 DMA (Data Conversion and Memory Access) 회로의 상세한 구성도이다.

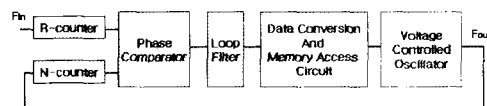


그림 2. 제안된 주파수 합성기의 구성

채널 스위칭 시간을 최소화하기 위해서 짧은 시간동안에 주파수를 호핑시키고, 데이터 변환하고 메모리를 제어하는 회로인 DMA는 loop filter와 VCO사이에 설계된다. DMA에서 DAC (Digital-Analog Conversion)의 해상도는 16비트이다. 만약, 발진 주파수가 2.4GHz라면, 80MHz의 주파수 범위를 3채배하여 사용한다. 16비트 DAC는 5KHz보다 나은 주파수 해상도를 제공한다.

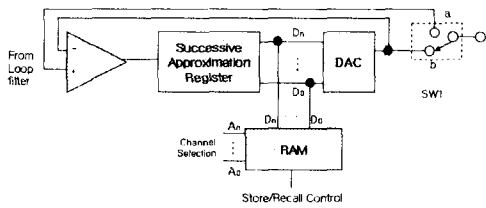


그림 3. Data Conversion and memory Access Circuit 의 구성

DAC의 Settling time은 5 μ s이고, VCO의 응답시간과 RAM의 액세스 타임을 포함하여 10 μ s의 채널 스위칭 시간을 만들어 낼 수 있다. DMA에서의 RAM 사이즈는 채널의 총수에 의해 결정된다. 각 채널은 송신 주파수를 위한 2바이트와 수신기의 국부 발진 주파수를 위한 2바이트(총 4바이트)로 이루어진다. 직접 접근 주파수가 처음 동작할 때, RAM은 각 채널 주파수의 VCO 제어 전압에

대한 정보를 가지고 있지 않다. 제어전압을 알기 위해서는 회로 내부적으로 자체적인 교정이 필요하게 된다.

연속적으로 근접하는 ADC 형태인 SAR(연속하는 근접 레지스터)은 DAC와 연계되어 동작한다. 시간이 흐름에 따라 VCO의 출력 주파수는 부품의 불안정성과 기온 변화에 의해서 변동하게 된다. 제어 전압 값 교정은 일정한 시간이 지난 후에는 더 이상 그 전압값을 유지하지 않기 때문에 주파수가 변동할 것이다. 이러한 문제를 해결하기 위해서 자체 교정 수행은 각 채널 주파수의 제어 전압을 유지시키기 위해서 미리 정해진 시간 동안의 자체 교정 후에는 자동적으로 반복하여 자체 교정을 할 것이다. 자동적인 재교정은 전체적인 시스템을 적절히 수행하는데 중요한 역할을 한다. 그런데, 이러한 자동적인 재교정 후에도 VCO는 때때로 변동한다. 채널 효율을 극대화하기 위해서 교정 비율은 가능한 한 작게 유지되었다. 송신기에서 최고의 주파수 에러에 대한 규칙 때문에, 송신기 주파수가 정해진 범위를 유지하기 위해서 짧은 교정 주기를 가져야 한다. 본 논문에서 송신기의 교정 주기는 5초로 미리 정해준다. VCO가 제어 전압을 자체 교정한 후, 주파수 합성기는 정상적인 모드로 동작하며, 정상적인 모드에서 DAC는 병렬 어드레스 라인을 사용하여 RAM에 의해서 직접 전송된다. 병렬 어드레스 라

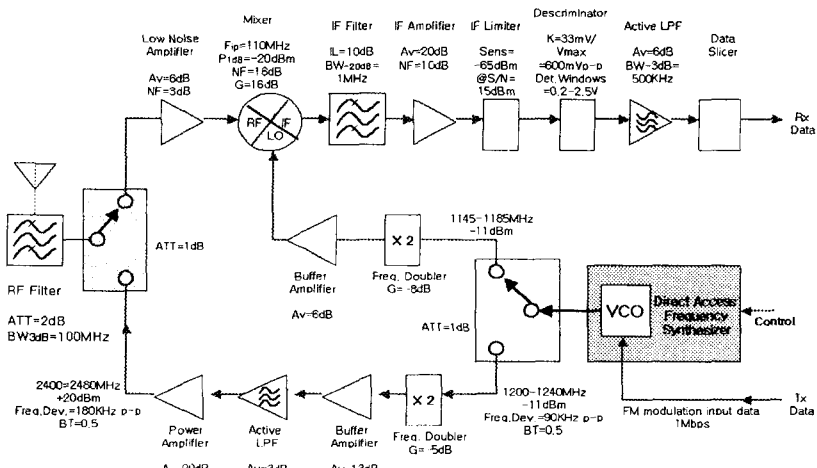


그림 4. 설계된 송수신기 블럭도

☞

인을 사용하는 방법은 기존의 PLL의 실행 시간보다 더 짧다.

IV. 송수신기 시뮬레이션 설계

본 논문에서 시뮬레이션하기 위해 설계된 송수신기의 구성은 그림 4와 같다. 그리고 송수신기의 사양은 다음과 같다.

- Operating Frequency : 2400 - 2480MHz
- Frequency Error(주파수 오차) : +/-50KHz
- Channel spacing(채널 간격) : 1MHz
- Transmission power(송신전력) : +20dBm(0.1W)
- Data rate (데이터 전송비율) : 1Mbps
- Channel efficiency : 90%, 시간당 20K hop/s
- Receiving Sensitivity(수신 감도) : -90dBm
- Adjacent Channel rejection : 30dB
- Supply voltage(공급전원) : 3.0V

V. 결론

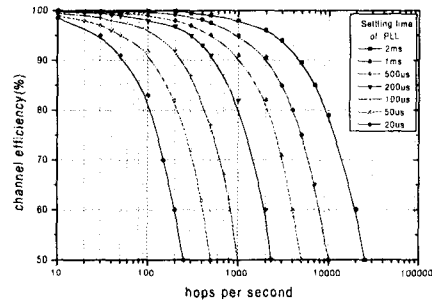
최근 확산대역 통신 방식에서 사용하는 고속 주파수 합성기는 주파수 스위칭 시간이 매우 중요하다. 본 논문에서는 기존의 PLL방식에 채널 스위칭 시간이 빠른 DDS방식을 적용하여 1us 이하의 스위칭 시간을 갖는 합성기를 설계하고, 이를 2.4Ghz 대역의 송수신기에 적용하여 시뮬레이션 결과 그림 5에서 나타낸 바와 같이 채널 효율을 20%이상 개선 효과를 보였다. 그림 5(a)는 기존 PLL 주파수 합성기를 사용하였을 때의 채널 효율을 나타낸 것이고, 그림 5(b)는 본 논문에서 제안한 주파수 합성기에 대한 채널 효율을 나타낸 것이다. 만약, PLL의 settling time이 50us라면, 시스템이 1초에 10000번 hop하는 동안에 (a)의 경우는 채널 효율이 50% 이고, 그림 5(b)의 경우는 98% 정도의 채널 효율을 갖는다. 본 연구의 결과는 대역 확산과 같은 주파수 합성기 시스템과 같은 FH-SS방식에 적용할 수 있으며, 향후에 개발 될 고속 통신 시스템에도 적용이 가능할 것이다.

참고문헌

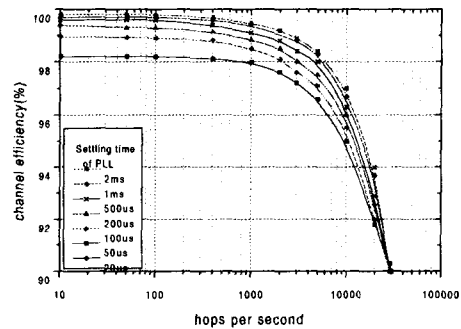
[1] F.A.B. Cercas, M. Tomlinson, A.A. Albuquerque, "Direct digital frequency synthesizer for a FH spread spectrum system : analysis and design." *IEEE ITS 90 Record*, pp.19.4.1-19.4.5, 1990.
 [2] 김기래,김재향, "DDS 방식에 의한 고속 가변

클릭 발생기의 설계" 한국해양정보통신학회 2000년추계학술발표대회 논문집, pp176-179.

[3] A. Kajiwara, "A new PLL frequency synthesizer with high switching speed." *IEEE Trans. Veh. Technol.*, vol. 41, pp.407-413, April 1992
 [4] C.M. Yuen, 'One microsecond fast acquisition 2.4GHz low voltage frequency synthesizer for frequency-hopping spread spectrum mobile communications.', *Proceedings of IEEE TENCON'97* pp.501-504, Dec. 1997
 [5] N. M. Filiol , C. P. Plett, T. A. D. Riley, M. A.Copeland, "An interpolated frequency-hopping spread-spectrum transceiver." *IEEE Trans. Veh. Technol.*, Vol. 45, pp. 3-11, Jan. 1998



(a) 호핑 속도가 다를 때 PLL 주파수 합성기에서 채널 효율



(b) 개선된 송수신기에서의 채널 효율

그림 5. PLL합성기와 개선된 주파수 합성기에서의 채널 효율