

# 고속 저전력 곱셈기를 위한 새로운 부분곱 압축기와 ENMODL CLA의 설계

## Design of New Partial Product Compressor and ENMODL CLA for High Speed and Low Power Multiplier

백한석, 진중호, 송근호, 문성룡, 한석봉, \*김강철  
경상대학교 전자공학과, \*여수대학교 컴퓨터공학과  
전화 : 055-751-5354 / 핸드폰 : 011-821-8586

H. S. Baek, J. H. Jin, G. H. Song, S. R. Moon, S. B. Han, \*K. C. Kim  
Dept. of Electronic Eng., Gyeongsang National University  
\*Dept. of Computer Eng., Yosu National University  
E-mail : hsbaek@vlsi.gsnu.ac.kr

### Abstract

In this paper, we propose new partial product compressor and ENMODL(Enhanced-NORA-MODL) CLA(Carry Look-ahead Adder) for high speed and low power multiplier. To reduce transistor count, area, power we developed two new-approaches. One is small size partial product compressor, the other is dynamic CMOS logic ENMODL CLA. The transistor count of new compressor is reduced by 11% as compared with that of conventional one. The speed of ENMODL CLA is increased by 6.27% as compared with NMODL CLA.

### I. 서론

최근 고성능 프로세서나 영상처리, 통신 시스템에서 고속, 저전력 곱셈기의 중요성이 대두되고 있다. 현재 널리 사용되고 있는 곱셈기는 부분곱을 생성하는 Booth 알고리즘, 부분곱 압축 블록, 최종합을 계산하는 최종합 생성 부분으로 구성되어 있다. [1,2,3]

기존의 Booth 알고리즘 방식은 개선된 Booth 알고

리즘(Modified Booth Algorithm)을 사용하여 Booth encoder와 decoder부분으로 구성되어 있다.[1,2,3] 기존의 제안된 방식들 중 속도 및 면적에서 가장 우수한 Booth 알고리즘을 본 논문에서 채택하였다.[3]

생성된 부분곱을 압축하는 부분곱 압축 블록과 캐리 전파에 의한 최종합 생성부분은 곱셈기의 연산에서 큰 비중을 차지하고 있다. 현재 부분곱 압축 블록은 4-2 압축블록이 많이 사용되고, 최종합 생성 블록은 CLA가 사용되고 있다. 4-2 압축블록의 기본 구성은 전가산기로 이루어져 있다. 따라서 부분곱 압축 블록의 성능은 전가산기의 성능에 따른다.[1] 최종합 생성블록은 결과값을 연산하는 부분으로, 현재 빠른 동작 속도와 적은 면적이 요구되고 있다.

본 논문에서는 고속 저전력 곱셈기에 사용하기 위하여 면적이 작고 속도가 빠른 구조를 사용한 부분곱 압축블록과 ENMODL CLA를 이용한 최종합 생성블록을 제안한다.

본 논문에서 제안하는 방식을 검증하기 위하여 현대 0.6 $\mu$ m, 2-poly, 3-metal CMOS 공정 파라미터를 이용하여 HSPICE로 모의실험하고, CADENCE로 레이아웃하여 현재 칩 제작 중에 있다.

## II. Booth encoder와 decoder 블록

Booth 알고리즘은 일반적으로 덧셈 또는 뺄셈 연산을 결정하는 Booth encoder와 여기서 결정된 신호로부터 계산에 사용할 값을 만들어 내는 Booth decoder로 구성된다[2]. 현재 많이 사용되는 Booth 알고리즘은 개선된 Booth 알고리즘이며, [1,2] 표 1은 기존의 Booth 알고리즘을 비교 분석한 것으로 참고문헌 3의 Booth 알고리즘의 성능이 가장 우수함을 알 수 있다. 따라서 본 논문의 곱셈기에는 비교 논문 중 성능이 가장 우수한 참고 문헌 3의 Booth 알고리즘을 사용하였다.

표 1 Booth 알고리즘 비교

	Number of TRs	소비전력 (pw)	동작속도 (nS)
참고문헌 1	58	1.26897	5.82e-10
참고문헌 2	50	1.0728	4.33e-10
참고문헌 3	46	1.32287	3.23e-10

표2는 본 논문에서 사용한 Booth encoder 진리표이다.

표 2. Booth encoder 진리표

$b_{i+1}$	$b_i$	$b_{i-1}$	Func.	$P_i$	$N_i$	$S_i$
0	0	0	0	0	0	1
0	0	1	$a_i$	1	0	0
0	1	0	$a_i$	1	0	0
0	1	1	$a_{i-1}$	1	0	1
1	0	0	$a_{i-1}'$	0	1	1
1	0	1	$a_i'$	0	1	0
1	1	0	$a_i'$	0	1	0
1	1	1	0	0	0	1

본 논문에서 사용한 Booth encoder는 간단한 AOI(AND-OR-INV)구조 및 트랜스미션 게이트를 이용한 XOR로 구성되어 동작 속도 및 트랜지스터 개수가 작고, Booth decoder 부분도 모두 트랜스미션 게이트로 이루어져 저전력 고속 동작이 가능하다.

## III. 부분곱 압축 블록

큰 수의 곱셈에 있어서 부분곱의 개수는 곱셈기에 서 큰 부분을 차지하게 된다. 따라서 부분곱 연산 속도가 곱셈기의 성능에 영향을 주게 되므로, 현재 많이 사용하는 방법이 부분곱 압축블록이다[5].

대표적인 부분곱 압축블록은 4-2 압축블록, 7-2 압

축블록, 9-3 압축 블록이 있다[4].

본 논문에서는 이들 중 면적과 속도면에서 우수한 4-2 압축블록을 사용하였고, 그림1은 4-2 압축블록의 구조로써 전가산기로 이루어져 있다. 따라서 전가산기는 4-2 압축블록에서 중요한 역할을 한다.

본 논문에서 사용한 전가산기의 구조는 트랜스미션 게이트를 이용한 것으로 면적과 속도, 소비전력면에서 우수한 성능을 나타내었다.

모의 실험 결과 기존 논문의 압축블록보다 제안한 전가산기를 사용한 압축블록의 성능이 우수하였다. 그림 2는 현대 0.6 $\mu$ m 2-poly 3-metal 공정 파라미터를 이용하여 HSPICE로 제안한 4-2 압축블록과 기존논문의 4-2 압축블록을 모의 실험한 결과로써 그림 2의(a)는 4-2 압축블록의 Sum 출력을 표시한 것으로 기존 논문과 비교하여 빠른 동작을 확인하였다. 그림 2의 (b)는 Carry 출력을 표시한 것이다.

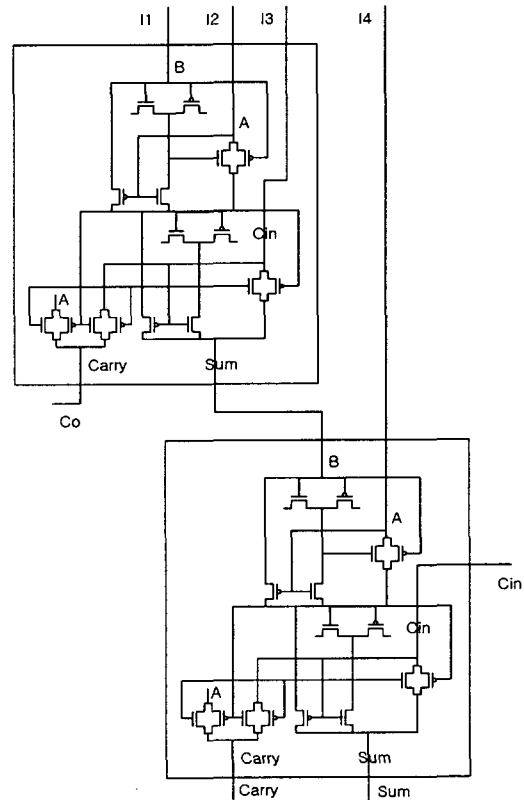
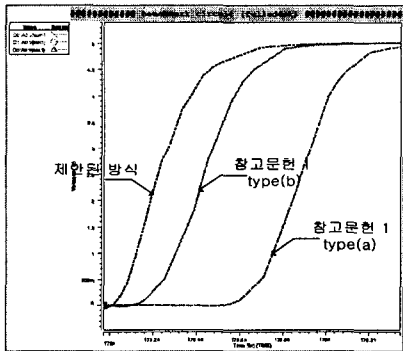


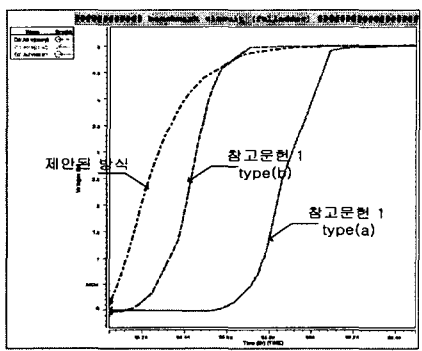
그림 1 새로운 구조의 4-2 압축블록

그림 2의 모의실험결과에서 기존논문type-(b)와 비교하여 Sum의 출력값은 55%의 속도 증가를 가져왔고, Carry의 출력값은 57%의 속도 증가를 보였다.

고속 저전력 곱셈기를 위한 새로운 부분곱 압축기와 ENMODL CLA의 설계



(a) Sum 출력



(b) Carry 출력

그림 2. 제안한 압축블록 모의실험

표 3. 4-2 압축블록 성능 비교

	Number of TRs	소비전력 (nW)	Sum (nS)	Carry (nS)
제안된 방식	32	1.000	0.17	0.28
참고문헌1-type(a)	36	1.3000	0.40	0.83
참고문헌1-type(b)	36	1.3000	0.38	0.66

표3에서는 기존 논문과 제안한 전가산기를 사용한 4-2 압축블록의 트랜지스터 개수, 소비전력, Sum과 Carry의 동작속도를 비교하였다.

본 논문에서 제안한 4-2 압축블록은 총 32개의 트랜지스터로 구성되어 기존논문과 비교하여 11%의 감소를 보였고, 전력소모도 1nW로써 23% 성능이 우수함을 알았다.

IV. 최종합 생성 블록

최종합 생성블록은 곱셈기의 최종합을 출력하는 부분으로 종류는 CSA(Carry Select Adder), CLA 등이

있다.[4] 현재 많이 사용하는 CLA는 캐리 전파시간이 빠르나 회로가 커지는 단점을 가지고 있어서 회로의 면적이 작으면서 속도가 빠른 CLA를 만드는 방법이 요구된다. 그러므로 회로가 작으면서 빠른 연산이 가능한 다이내믹 CMOS로직을 CLA에 이용한다.

본 논문에서는 연구실에서 제안한 다이내믹 로직인 ENMODL CLA를 사용하여 최종합을 구하였다.[5]

그림 3은 ENMODL의 구조를 나타낸 것으로, 기존의 NMODL에서 프리차지 소자 pMOS를 제거하여 속도 및 면적이 감소하는 장점이 있다. 그림4는 ENMODL과 NMODL로 구성된 CLA를 이용하여 최종합을 모의 실험한 결과이다.

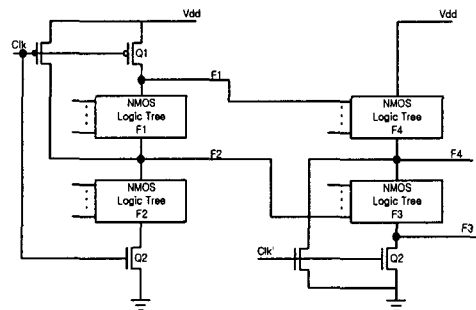


그림 3. ENMODL 구조

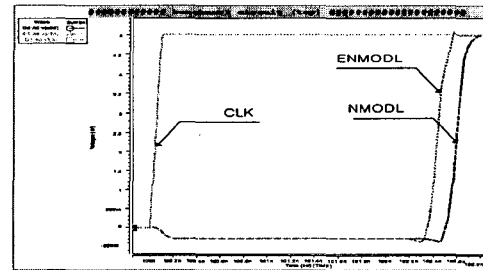


그림 4. 최종합 모의실험

표4는 본 논문에서 제안하는 ENMODL 방식과 NMODL 방식의 성능을 분석한 것이다.

표 4 최종합 생성 블록 모의실험

	Number of TRs	C <sub>26</sub> (nS)
NMODL	992	2.55
ENMODL	986	2.39

표4에서 ENMODL 방식은 NMODL 보다 6개의 트랜지스터 개수의 차이가 난다. ENMODL 회로의 트랜지스터 개수의 차이는 모두 프리차지 소자인 pMOS이므로 면적 및 속도에 유리한 영향을 준다. 속도는 NMODL 보다 6.27%성능 향상을 보여주었다.

### V. 16×16비트 곱셈기 설계

본 논문에서 제안하는 전가산기 회로를 가지는 부분 곱 압축블록, ENMODL CLA 최종합 생성 블록의 고속 저전력을 검증하기 위하여 현대 0.6 $\mu$ m 2-poly, 3-metal 공정 파라미터를 이용하여 CADENCE tool로 16×16비트 곱셈기를 레이아웃 했다.

표 5는 레이아웃 공정 및 칩의 동작특성을 정리한 것이고 그림 5는 전체 레이아웃이다.

표 5. 레이아웃 공정 정보 및 칩 정보

Process	0.6 $\mu$ m 2-poly 3-metal
Multiplier	16bit
Multiplicand	(2's complement)
Product	32 bit
Supply voltage	5V
Core area size	1.98×2.80 mm <sup>2</sup>
Transistor count	7038

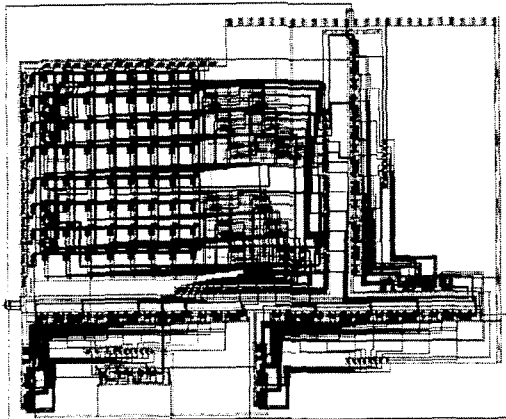


그림 5. 16×16비트 곱셈기 레이아웃

### VI. 결론

본 논문에서는 부분 곱 압축 블록에 사용되는 전가산기를 기존의 논문과 비교하여 속도, 면적, 전력면에서 우수한 전가산기를 제안하였고, 최종합 생성 블록은

본 연구실에서 제안한 ENMODL CLA를 사용하였다.

제안한 방식을 검증하기 위하여 현대 0.6 $\mu$ m 2-poly, 3-metal 공정 파라미터를 사용하여 모의실험 하였다.

모의실험 결과 제안한 부분 곱 압축블록의 성능이 기존의 논문보다 면적은 11%, 전력소모는 23%, Sum의 출력속도는 55%, Carry의 출력 속도는 57% 향상되었다. 최종합의 연산 속도도 기존의 방식보다 6% 우수함을 알았다.

모의실험 결과의 검증을 위하여 같은 공정을 사용하여 16×16비트 곱셈기를 레이아웃 하여 현재 칩 제작 중에 있다.

본 논문에서 제안하는 전가산기와 최종합블록을 가지는 곱셈기 회로는 고성능 연산기능을 요구하는 컴퓨터의 연산장치, 디지털 신호처리 시스템 및 특수 목적용 칩 등에서 뛰어난 성능을 제공할 수 있을 것으로 사료된다.

### 감사의 글

본 연구는 반도체설계교육센터(IDECE)의 지원을 받아 수행되었습니다.

### 참고문헌

- [1] Norio Ohkubo et al "A 4.4ns CMOS 54×54-bit Multiplier Using Pass-Transistor Multiplexer" IEEE journal of solid-state circuit vol 30 No3 March 1995
- [2] Wen-Chang Yeh, Chein-Wei Jen "High-Speed Booth Encoded Parallel Multiplier Design" IEEE Transactions on Computer, VOL.49, NO.7, JULY 2000
- [3] G. Goto, et al "A 4.1-ns Compact 54 × 54-bit Multiplier Utilizing Sign-Select Booth Encoders", IEEE Journal of Solid-State Circuits, Vol. 32, No. 11, Nov. 1997.
- [4] K. Hwang, Computer Arithmetic/Principles, Architecture, and Design, New York : Wiley, 1979.
- [5] 이효상, 송근호, 류진수, 김강철, 한석봉 "개선된 MODL을 이용한 고성능 32비트 CLA가산기 설계" 대한전자공학회 하계종합학술대회 논문집.18(1) 1995 :357-360