

고속블럭정합 알고리즘을 위한 실시간 영상프레임 데이터 처리 제어 방법의 설계 및 구현

이 강 환, 황 호 정
중앙대학교 전자공학과 반도체 연구실,
전화 : 02-860-5296 핸드폰 : 016-461-4379

A Design and Implementation of Real-time Video frame data Processing control for Block Matching Algorithm

Kangwhan Lee, Ho Jung Hwang
Dept. of Electronic Engineering, Chung-Ang University
E-mail : kwlee@kimcheon.ac.kr

Abstract

This paper has been studied a real-time video frame data processing control that used the linear systolic array for motion estimation. The proposed data control processing provides to the input data into the multiple processor array unit(MPAU) from search area and reference block data. The proposed data control architecture has based on two slice band for input data processing. And it has no required external control logic blocks for input data as like reference block or search area data.

I. 서론

최근 인터넷, 영상회의, PDA, IMT200, 고선명TV 및 3-D TV 등은 초고속정보통신망과 컴퓨터시스템의 발달로 인해 사용자에게 좀더 친숙한 정보전달의 방법으로 영상과 음향이 결합된 멀티미디어 매체를 필수적으로 요구하게 되었다. 특히 제한된 전송선로를 통한 HDTV, 화상회의, 영상통신 등의 영상정보의 취득과 전송을 효율적으로 수행하기 위한 데이터의 압축기술이 필수적으로 요구된다.

움직임 추정 연산부는 후보프레임으로부터 탐색영역의 데이터 처리가 요구되며, 기준 프레임으로부터는 탐색영역에 요구되는 적절한 기준블록의 데이터 처리가 수행되어야 한다. 이때 외부 메모리를 사용한 데이터 처리 방식의 경우 메모리로부터 데이터 접근 방식이 중복되고, 이를 제어하기 위한 외부로직 블록이 요구된다. 따라서 이는 하드웨어의 복잡도가 증가하는 요인으로 작용한다.

본 논문에서는 선형시스톨릭 어레이를 이용한 블럭정합 움직임 추정 연산 장치의 구현 시 움직임 추정연산기의 외부로부터 요구되는 부가적인 제어로직이 필요 없고, 실시간 움직임 추정이 가능한 효율적인 데이터의 입력 처리 제어 방법을 연구하고 이의 설계 방법을 제안하고자 한다.

제안된 구조는 탐색영역의 데이터 처리를 위해 외부로부터 2개의 밴드를 가지고 있으며, 중복되는 메모리의 접근을 제거하여 하드웨어의 복잡도를 감소하였다. 또한 움직임 추정을 위해 제안된 다중 프로세서어레이(Multiple Processor Array Unit(MPAU)내로의 데이터 입력 처리 시 추가적인 외부 제어로직이 요구하지 않고 우수화소열과 기수화소열로 입력 데이터를 다중 처리 함으로써 데이터 처리 연산량을 증가시키고 하드웨어 크기를 감소시킬 수 있는 실시간 움직임 추정연산의 효율적인 움직임 추정구조를 개발하고 이를 구현

하였다.

II. 블록정합움직임추정알고리즘

블록정합 움직임추정 알고리즘(Block Matching Motion Estimation Algorithm)은 기준 프레임의 블록($N \times N$)의 정방형의 블록으로 나누어 각 블록을 기준 블록(Reference block) $R(i, j)$ 으로 한다. 기준블록과 비교하는 후보프레임을 탐색영역(Search Area) $S(i+u, j+v)$ 의 크기에 따라 나누고, 각각의 기준블록에 대한 탐색영역에서의 움직임 추정 연산을 수행한다. 움직임 벡터는 후보 프레임의 탐색영역 중에서 기준 프레임의 각 기준블록에 대응하는 블록을 중심으로 주변 영역을 탐색하여 절대 오차값이 가장 작은 블록을 선택하고, 그때의 변위(Displacement)를 계산하여 움직임 벡터로 설정하게 된다.

그림 1은 블록정합 움직임 추정의 개념을 나타낸 것으로 블록의 최대탐색거리를 ($\pm q_h \times \pm q_v$)로 한정함으로써 지정된 탐색영역은 블록의 원점을 기준으로 $(N+2q_h, N+2q_v)$ 인 탐색영역에서 합의 절대차이(SAD:Sum of Absolute Difference)를 구한다. 블록정합 알고리즘에서는 탐색영역이 정방형인 경우 $(2q+1)^2$ 번의 기준블록과 비교연산을 수행하고, 이때 최소값을 갖는 위치의 움직임벡터를 선택한다.

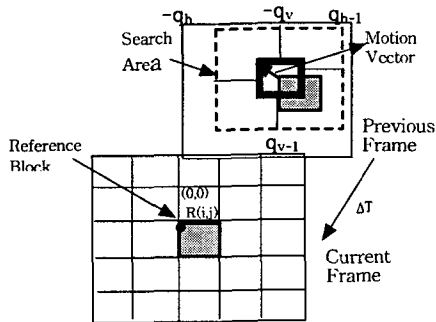


그림 1. 블록정합 움직임 추정처리

III. 움직임 추정기의 구조 및 설계

3.1 기존의 탐색영역 프레임 데이터 처리방법

일반적인 블록정합을 위한 움직임 추정기의 연산은 탐색영역 후보 프레임의 데이터가 프로세서어레이로 화소 단위로 입력되며, 이는 그림 2처럼 구성이 된다. 이때 기준블록의 프레임 메모리는 제어부로부터 발생된

신호에 의해 ($N \times N$)기준블록 데이터를 탐색영역으로부터 요구되는 일정주기동안 연속적으로 전달한다. 이러한 일련의 메모리 중복접근이 허용되는 시스템적 어레이 구조의 움직임 추정 구조는 주어진 탐색영역 내에서의 움직임벡터를 구하기 위해 탐색영역의 프레임 메모리와 기준블록 메모리로부터 데이터를 중복 접근하여 프로세서어레이에 전달하는 시스템적 어레이구조를 나타낸다. 이 구조는 프레임 메모리로부터 탐색영역 데이터를 PE(Processing Element) 어레이로 전달시, 기준프레임의 지정된 매크로블록($N \times N$)의 처리를 위해 주어진 탐색영역에서 매번마다 초기 PE의 유휴시간(idle time)이 프로세서 어레이(PA)에서 존재한다는 것을 의미한다.^{[1][3][4]}

이러한 기준블록 메모리와 탐색영역 프레임 메모리로부터 메모리의 중복접근으로 인한 불규칙적인 데이터 입출력은 VLSI 설계과정에서 비효율적인 제어구조가 발생되며, 결국에는 하드웨어 경비상승과 시스템의 동작속도를 낮게 하는 요인으로 작용된다.

3.2 제안된 움직임 추정기 구조

본 논문에서 제안된 고속 블록정합 알고리즘을 위한 실시간 VLSI 움직임추정기의 구조는 기준블록과 탐색영역 데이터처리를 위한 효율적인 탐색영역 데이터의 입력 제어 방법을 제안한다. 블록정합 알고리즘의 실시간 구현은 VLSI 구조개발에 크게 의존하며, 이를 위해 많은 제안들이 기존 논문을 통해 연구되어 왔다.^[6] 특히 시스템적 어레이 구조를 기반으로 한 움직임추정 구조는 자체의 확장성으로 인하여 탐색영역확장에 유용하게 적용되고 있으나, 이 구조는 그림 2에서 보여주는 바와 같이 기준블록 및 탐색영역데이터의 프레임 메모리 중복접근에 따른 효과적인 방안을 제시하지 못하고 있다.

따라서 본고에서는 제안된 방법으로부터 얻는 효과는 기존의 프로세서 어레이 구조로부터 입력되는 외부 데이터를 우수화소와 기수화소의 스테레오의 교번(interleaving)으로 처리하는 PA구조를 개발하여 PA내에서 데이터 처리 계산량이 증가되고, 소요되는 하드웨어 크기는 1/2로 감소하는 구조를 갖는 움직임 추정 구조를 얻는다.^[10] 이를 위해서 기준블록 처리기와 후보프레임으로부터 입력되는 탐색영역의 데이터를 제어하는 탐색영역처리기를 기존의 움직임 추정 계산기 구조의 기준블록 메모리 및 탐색영역 데이터 메모리 대신에 추가한다. 그림 3에서는 본 논문에서 제안된 움직임 추정기의 구조와 영상프레임 데이터의 처리 구조를 보여준다.

고속블럭저항 알고리즘을 위한 실시간 영상프레임 데이터 처리 제어 방법의 설계 및 구현

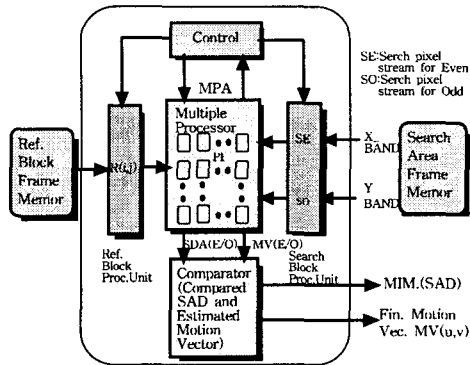


그림 3. 제안된 움직임 추정기 연산구조

그림 3의 제안된 움직임추정기 동작을 살펴보면, 외부로부터 입력되는 두 개의 슬라이스단위(Slice Unit)의 탐색영역데이터 X-BAND, Y-BAND는 구성된 다중프로세서 어레이로 직접 입력되지 않고 먼저 탐색영역 처리부(Search Block Process Unit)로 입력된다. 다중프로세서 어레이로부터 출력된 우수 화소 및 기수 화소에 대한 각각의 SAD(E/O) 및 PE의 위치 정보를 이용한 MV(E/O)는 비교부에서 처리되어 최종적인 움직임벡터를 선택한다.

특히 탐색영역 처리부에서는 후보프레임의 탐색영역 데이터를 그림 4에서처럼 우수화소열(SE:Search data Even stream)과 기수화소열(SO:Search data Odd stream)로 처리한 다음 우수화소 및 기수화소열을 스테레오의 교번관계로 연산하는 다중연산용 프로세서어레이(Multiple Processor Array Unit)로 입력한다^[10]. 따라서 다중프로세서어레이(MPAU)는 우수화소열(SE)과 기수화소열(SO)로 입력된 후보프레임의 데이터를 기준 프레임의 기준블록 데이터와 연산을 다중처리 함으로써 탐색영역 데이터 처리 계산량을 증가시키고, 소요되는 하드웨어 크기를 1/2로 감소할 수 있는 구조를 갖는다.

3.3 입력 데이터 제어부 구조

본 논문에서 입력되는 탐색영역 데이터의 구조는 제안된 다중 프로세서 어레이로부터 요구되는 우수화소열(SE)과 기수화소열(SO)의 교번 형태를 가지며, 이는 그림 4처럼 후보프레임의 탐색영역 데이터 대역폭을 가지게 된다. 이때 각 슬라이스 단위로 입력되는 두 개의 슬라이스 밴드(Slice Band)인 X-BAND 및 Y-BAND의 구조는 입력되는 기준블록의 크기를 제어하게 된다.

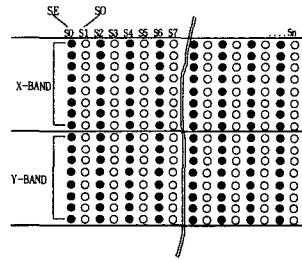


그림 4. 탐색영역 데이터 처리구조

그림 5에서는 제안된 구조의 움직임 추정 연산에서 요구되는 탐색영역 처리부 SBPU의 구성을 보여 준다. 후보프레임의 탐색영역 데이터는 그림 4에서 슬라이스 단위로 입력되고 이를 각각 X-BAND와 Y-BAND로 나타낸다. 먼저 그림 4의 우수화소열(SE)을 발생하기 위해서는 ST(0)에서 X-BAND의 데이터는 그림 7의 멀티플렉스(MUX)의 상위단자로 직접 입력하고, Y-BAND의 데이터는 기준블록크기(N×N) 화소수에 대해 N[T] 만큼 지연된 데이터를 SBPU의 멀티플렉스(MUX)의 하위단자로 입력한다. 기수화소열(SO)을 발생하기 위해서 X-BAND의 데이터는 멀티플렉스(MUX)의 하위 단자로 직접 입력하고, Y-BAND의 데이터는 (N×N) 화소수에 대해 2N[T]만큼 지연된 데이터를 멀티플렉스의 상위단자로 입력한다. 이때의 두개의 멀티플렉스는 제어부로부터 발생된 선택신호 "SEL"에 의해 기준블록 (N×N) 화소수에 대한 2N[T] 만큼 간격을 두고서 X-BAND신호와 Y-BAND에 해당하는 후보프레임의 탐색영역 데이터를 우수화소열(SE)과 기수화소열(SO)로 출력되어 프로세서어레이로 전달된다.

그림 6에서는 그림 5의 후보프레임의 탐색영역 데이터를 처리하기 위한 타이밍도를 보여준다. 제어신호 "SEL"에 의해 후보프레임의 탐색영역 데이터 X-BAND와 Y-BAND는 우수열(SE)와 기수열(SO)로 출력되어 프로세서어레이로 입력되어 처리된다.

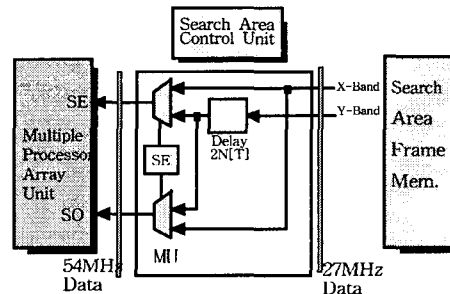


그림 5. 탐색영역 제어부 구성

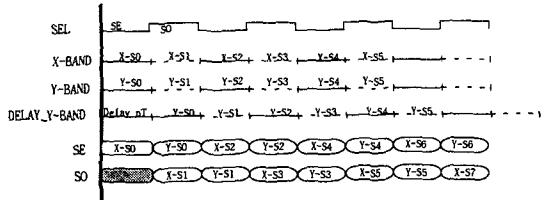


그림 6. 탐색영역 제어부 타이밍

한편 그림 3의 기준블록 입력 처리부의 구성은 그림 7에서 보여준다. 현재프레임의 기준블록 데이터는 다중프로세서어레이(MPAU) 처리속도의 1/2속도로 발생되고, 이 데이터를 $2N+1(T)$ 만큼 지연시킨 후 그림 7에서처럼 다중화하여 2배의 속도로 데이터를 다중프로세서어레이(MPAU)로 입력하여 움직임 추정 연산을 수행한다.

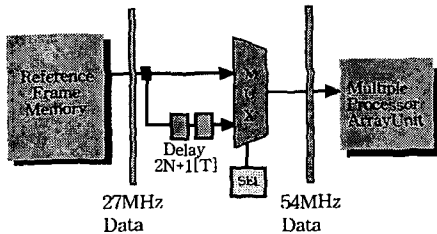


그림 7. 기준블록 데이터 입력부

IV. 고속블럭정합 알고리즘의 구현

본 장에서는 앞서 설계 및 검증한 실시간 고성능 움직임 추정기의 성능 향상을 위한 영상 프레임 데이터의 효율적인 처리 방법을 선형적 시스틀릭 어레이 방식을 적용하여 블럭정합의 알고리즘을 구현하였다. 개발 구현된 VLSI는 현재 고선명 TV의 시스템에 장착되어 헤드엔드 장비의 영상 데이터 압축을 위한 장치로 운영되고 있다. 이는 프레임 메모리와 전처리부 및 DCT의 구현 부분과 연동되어 시스템 내에서 이상 없이 동작함을 확인하였다. 다음의 그림 8에서는 구현된 VLSI의 시험을 위한 전체 시스템의 구성도와 구현된 칩을 보여준다.

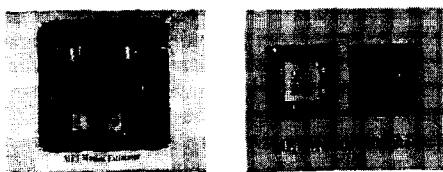


그림 8. 구현된 움직임 추정기 칩

V. 결론

본 논문에서 제안하는 실시간 움직임추정기의 VLSI 구조는 설계의 복잡도를 감소시키고 외부의 부가적인 메모리제어요소가 필요 없으며, PE 구조내의 탐색영역 데이터와 기준블록 데이터를 입출력 대역폭에 따라 매크로블록의 크기조정이 가능하며, 동시에 입출력의 단순한 구조를 얻는다. 한편 탐색영역 데이터의 제어방법을 슬라이스 단위인 X-BAND 및 Y-BAND로 각각 슬라이스 시간(Slice time)에 따라 제어함으로써 중복되는 메모리의 접근을 제거하여 데이터의 처리량을 증가시키고 소요되는 하드웨어 크기를 1/2로 감소시킬 수 있는 효율적인 실시간 움직임 추정기의 데이터 입력 제어방법을 제안 설계, 검증 및 구현하였고, 영상압축을 위한 고선명TV 시스템에서 동작함을 확인하였다.

본 논문은 차세대 초고속 무선 영상 처리를 위한 영상데이터 압축의 설계의 기초 자료로 활용될 수 있을 것으로 사료된다.

감사의 글

본 논문이 완성 되기 까지 많은 조언을 해 주신 한국전자통신연구원의 영상통신연구실 연구원 여러분께 감사사를 드립니다.

참고문헌

- [1] Kwlee, Hklee, Jwkim, "An efficient VLSI Architecture for Block Matchin Motion Estimation," SPIE - Digital Compression Technologies and Systems for Video Communication, Vol.2, Nol, pp 575-581, 1996
- [2] Thomas Komarek and Peter Pirsch, "Array Architecture for Block Matching Algorithm," IEEE Trans. Circuit and Systems, Vol. 36, No.10, pp.1309-1316, Oct. 1989.
- [3] Bor-Min Wang, Jui-Chen Yen and Shyang Chang, "Zero waiting-cycle Hierarchical Block Matching Algorithm and its Array Architecture," IEEE Trans. Circuit and Systems for video technology, Vol. 4, No. 1, pp.18-27, Feb.1994.
- [4] 한국전자통신연구원, "고선명TV 전송기술개발", 1997.
- [5] 이강환, "MPEG-2 DTV 인코더 움직임 추정기," 한국통신학회지, Vol. 6 No. 1, pp. 669-677, 1996