

가변 분할을 적용한 유한 요소법에 의한 커패시턴스 추출

김 정 학, 하 성 주, 김 준 희, 김 석 윤
숭실대학교 대학원 컴퓨터학과
전화 : 02-813-0682 / 핸드폰 : 019-433-6790

Capacitance Extraction Based on Finite Element Method Adopting Variable Division

Jung-Hak Kim, Seong-Ju Ha, Joon-Hee Kim, Seok-Yoon Kim
Soongsil Univ. Graduate School, Department of Computing,
E-mail : chkim@ic.soongsil.ac.kr

Abstract

This paper proposes an efficient method for 3-dimensional capacitance extraction based on Finite Element Method(FEM). This method expands the conventional FEM by adopting variable division. This method improves the extraction efficiency 2 to 100 times and even the accuracy 1% to 3% when compared to the conventional FEM with equal division. The proposed method can be used efficiently to extract electrical parameters of on/off-chip interconnects in VLSI systems.

I. 서론

반도체 소자 및 공정 기술이 지속적으로 발전함에 따라, 소자의 feature size는 작아지는 반면, 시스템은 칩(system-on-chip)화 경향을 뒷받침하기 위하여 다이(die) 사이즈는 점차 증가하는 추세를 보이고 있다. 이에 따라 클럭 신호 배선망 등의 전체적인 신호 연결선들은 더욱 길어지는 현상이 두드러지고 있다. 즉, 소자의 크기 축소와 성능 개선 등으로 말미암아 동작속도는 증가되었지만, 클럭 배선망과 같이 칩 전체에 걸쳐있는 신호선 들은 상대적으로 길이가 증가함으로써 칩의 최대동작 속도에 영향을 미치게 되었다. 전역 연결선망에서의 시간지연이나 잡음결함을 추정하는 과정은 추출된 전기변수를 바탕으로 모형화를 수행한 다음 이를 해석하게 된다. 이 과정의 정확도 보

장을 위해서는 전기 변수 추출의 정확도 증진이 선행되어야 한다. 더욱이 동작주파수가 커지고 선 폭 및 연결선 사이의 간격이 작아지고 단면 모양의 비(aspect-ratio)가 증가함에 따라 커플링 커패시턴스와 같은 2차적 요소의 비중이 더욱 부각되게 되었다.

본 논문에서 취하는 접근 방법은 수치적인 방법이며, 연결선의 커패시턴스 성분 추출을 위하여, 유한 요소법[1, 2]의 분할을 가변적으로 함으로써 정확도의 손상을 최소화하면서도 수치 복잡도를 줄이고 시간적인 이득을 얻을 수 있다.

II. 커패시턴스 성분의 추출

도체의 커패시턴스 추출 방법은 아래의 식과 같이 전하밀도와 점전하 전위의 관계식으로서 추출한다. 아래의 식을 포아송 방정식(Poisson's equation)이라고 한다.

$$\nabla^2 \phi(r) = -\frac{\rho(r)}{\epsilon} \quad (1)$$

유한 요소법을 사용하여 위의 식을 풀이함으로써 전위 $\phi(r)$ 을 얻을 수 있다. 도체 사이의 자유전하 공간에서 도체를 작은 셀들로 분할하고, 셀들 사이의 거리를 사용하여 전위 계수를 얻음으로서 전위 $\phi(r)$ 의 근사값을 얻을 수 있고, 이때 전하값의 합이 도체의 커패시턴스이다. 식 (2)에서 전하밀도에 대한 적분을 사용하여 전위를 구할 수 있다.

$$\phi(r_i) = \int \rho(r) G(r_i, r) dV_n \quad (2)$$

경계 요소법[3, 4]의 커패시턴스 추출 방법은 전하들이 시스템에서 도체들의 표면에 점전하의 전위를 형성한

다는 것을 응용하여 도체의 표면을 적분함으로써 커패시턴스를 구하는 방법이다. 이를 가정하면, 식 (2)를 사용하여 모든 도체 표면을 적분하는 방법으로 간략화 될 수 있다.

$$\phi_i(r_i) = \int_{\sigma V} \sigma(r) G(r_i, r) dS_n \quad (3)$$

즉, 경계 요소법의 커패시턴스 추출은 도체의 표면을 셀들로 분리하는 것으로 시작하여, 표면 전하밀도의 함수로서 표면의 전위를 구한다. K개의 도체 각각의 표면들은 도체당 면의 개수 N으로 인하여 K×N개의 면들의 집합이 된다. 그리고 각 면들은 분할된 작은 셀들을 이루게 된다[5]. 이때, 도체 i위의 셀의 중점 r_i의 표면전위는

$$\phi_i(r_i) = \sum_{n=1}^K \left[\sum_{m=1}^{N_n} \int_{S_n} G(r_i, r) \sigma_n(r) dS_n \right] \quad (4)$$

와 같이 표현된다. σ_n(r)은 도체 표면 S_n에서의 전하 밀도이고, G(r_i,r)은 아래의 식으로서 유한 유전체에 대한 그린함수(Green's Function)를 표현한다.

$$G(r_i, r) = \frac{1}{4\pi\epsilon_0} \frac{1}{|r_i - r|} \quad (5)$$

각 셀의 표면전하밀도 σ(r)는 평균값의 이론을 사용하여 적분형 안에서 제거할 수 있다. 그리고 모든 셀 i에 대한 식 (4)가 적분되어지면, Galerkin의 방법을 사용하여 다음의 식 (6)을 얻을 수 있다.

$$\phi_i(r_i) = \sum_{n=1}^K \sum_{m=1}^{N_n} \frac{q_n}{S_n} \int_{S_n} G(r_i, r) dS_n \quad (6)$$

위의 식을 행렬식으로 바꾸면

$$[\phi] = [P][Q] \quad (7)$$

가 된다. 이때 P는 전하들 사이의 전위계수 행렬이다. 따라서, 전하계수 행렬 P의 값은

$$p_{ij} = \frac{1}{S_i S_j} \int_{S_i} \int_{S_j} G(r_i, r) dS_i dS_j \quad (8)$$

이 된다. 그러므로, 커패시턴스 행렬 C는

$$[C] = [A]^T [P]^{-1} [A] \quad (9)$$

가 된다. C 행렬은 전위 행렬 P와 상태 행렬 A로부터 얻을 수 있다. 이때 A_{ij}의 값은 셀 i가 도체 j의 위에 위치하면 '1'의 값을 갖고, 아니면 '0'의 값을 갖는다.

예를 들어 C_{ij}를 구하기 위해 먼저 패널의 전하를 구해야 한다. 이때 j번째 도체를 1로 하기 위해 행렬 값 중에 도체 j위의 패널들을 모두 1로 한다. 그래서 다음의 식을 얻을 수 있다.

$$[P][a] = \begin{bmatrix} 0 \\ 1 \\ 1 \\ 1 \\ 0 \\ 0 \end{bmatrix} \Rightarrow [a] = [P]^{-1} \begin{bmatrix} 0 \\ 1 \\ 1 \\ 1 \\ 0 \\ 0 \end{bmatrix} \quad (10)$$

1 Volt Applied in ith conductor 1 Volt Applied in ith conductor

행렬의 C_{ij}를 구하려면 i번째 도체의 모든 패널의 전하를 더하면 구할 수 있다.

reference node를 포함한 전체 커패시턴스는 다음과 같이 표현될 수 있다.

$$C_{ii} = C_{i \text{ to reference}} + \sum_{j \neq i} (-C_{ij}) \quad (11)$$

III. 가변 분할을 적용한 커패시턴스 추출

3.1 패널의 분할

커패시턴스를 계산하는 문제는 궁극적으로 행렬의 문제로 귀결된다. 일반적인 방법(예를 들면, LU Decomposition)을 사용하여 문제를 푸는 것은 O(n³)의 시간 복잡도를 요한다[6]. 여기에서 n은 도체를 분할한 큐빅 모형의 셀 수이다. 효율적인 계산을 위해서는 일정 거리 이상 떨어진 도체 상호간의 영향을 무시하고, 각 셀에 밀집되어 있는 전하의 양을 측정함으로써 커패시턴스의 값을 추출 할 수 있다. 이 때, 셀의 개수를 늘릴수록 더욱 정확한 값을 얻을 수 있으나, 셀 수의 증가에 따라 정확도는 점점 증가하지만 이에 따라 계산시간은 점점 커지게 된다. 도체의 한 면은 다수의 패널들로 나눌 수 있고, 이 패널들은 일정 개수의 셀들로 나누어진다. 따라서 전체 셀 개수는

$$\text{전체 셀의 수} = \text{도체의 수} \times \text{도체당 면의 수} \times \text{면당 패널의 수} \times \text{패널당 셀의 수} \quad (12)$$

로 나타낼 수 있다.

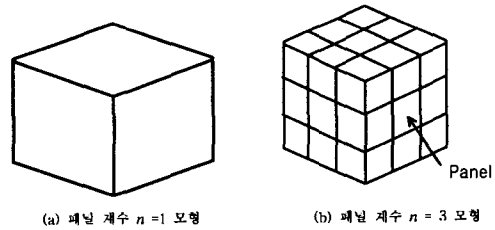


그림 1. 패널계수 n에 따른 정육면체 모형

그리고, 도체 면의 패널 수는 분할 계수 n에 의해

$$\text{도체 면당 패널의 수} = n^2$$

와 같이 나타낸다.

가장 단순한 구조인 정육면체 구조(그림 1)의 도체를 기본으로 하여 패널의 개수를 결정하는 계수 n을 증가시키면 커패시턴스 값의 변화는 그림 2의 (a)와 같다. 이때 수행시간은 그림 2의 (b)와 같이 증가하게 된다. 본 논문에서 사용하는 3차원 추출기는 MIT에서 개발한 Fastcap을 사용하였다[7].

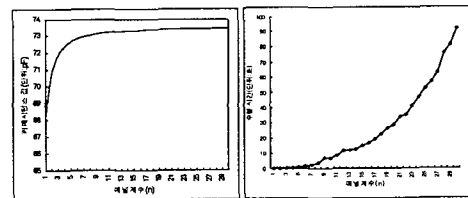


그림 2. 큐빅 구조의 커패시턴스 추출 값과 수행 시간

3.2 가변 분할의 적용

가변 분할을 적용한 유한 요소법에 의한 커패시턴스 추출

코너부분을 가변으로 분할하기 위해 식 (13)을 사용하고 있다. 아래의 식 (13)은 코너부분에서의 비례적인 거리를 의미한다. 이때 계수 r 은 가변 분할의 정도를 결정하는 가변 분할 계수이다.

$$y = x^r \quad (13)$$

도체의 면당 패널 계수가 8이라 할 때 도체는 면의 중심으로부터 각각 4개의 코너에서 4X4의 패널이 생성되어 진다. 그림 3에서는 균등하게 분할된 패널들을 보여주고 있다.

가변 분할을 적용하면, 그림 3의 패널 균등 분할에서 보여주고 있는 분할된 패널들에서 코너를 갖는 4개의 패널들의 묶음으로 보고(그림 3의 붉은 박스부분), 이 부분의 분할을 코너쪽으로 갈수록 더 작은 패널로서 비균등하게 분할하게 된다(그림 5 (b)). 이때 분할 방법은 식 (13)을 사용하여 얻어진 그림 5 (a)와 같이 코너에서부터의 거리를 결정하게 된다.

그림 4는 가변 분할 계수(r)에 따른 코너로부터 각 패널들의 거리를 보여주고 있다. 이중 가변 분할 계수(r)이 1일 때는 패널이 균등 분할되어 진다.

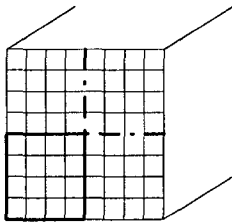


그림 3. 패널의 균등 분할

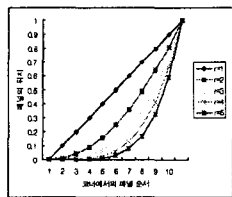
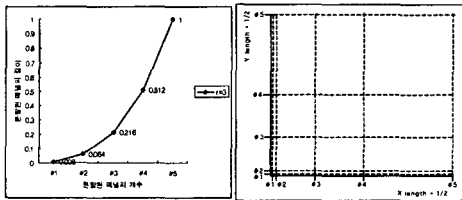


그림 4. 가변 분할을 적용한 도체의 분할



(a) 분할된 패널의 개수와 길이 (b) 패널 분할에 대한 길이의 변화

그림 5. 가변 분할을 적용한 도체의 분할

IV. 실험

4.1 기본 모형의 실험

그림 1은 1m×1m×1m(가로×세로×높이)의 크기를 갖는 정육면체 모양의 도체이다. 위 도체를 다수의 패널로 분할 할 때, 식 (13)을 사용하여 도체 면의 코너부분을 비율에 따라 가변적으로 분할하였다. 가변 분할을 적용한 커패시턴스 값 측정은 그림 6에서 보는바

와 같이 패널 비율 계수(r)에 따라 균등 분할($r=1$)을 사용하여 얻은 수치보다 정확한 값을 얻을 수 있음을 알 수 있다. 가변 분할을 사용하면 균등분할을 사용할 때보다 평균 3.3%의 수치적 이득을 얻을 수 있으며, 시간적인 측면에서는 10~100배의 속도 향상을 보였다.

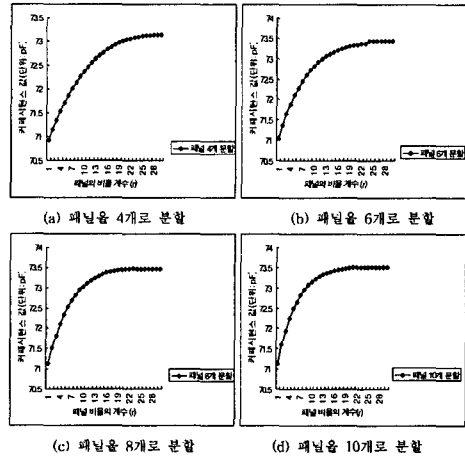


그림 6. 가변 분할을 적용한 큐빅 형태의 커패시턴스 추출

4.2 버스 모형의 실험

본 논문에서 버스 모형 실험을 위한 구조는 그림 7에서 보는 바와 같이 2층 구조를 갖는 버스 구조이다. 이러한 구조로 복잡도에 따라 2X2, 3X3, 4X4, 5X5의 구조를 실험하였다.

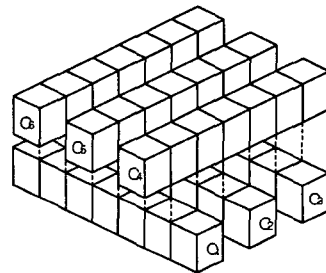


그림 7. 3×3 버스 구조

실험 결과 각 버스구조에서 가변 분할을 적용할 때 그림 8과 같이 1%의 수치적 이득을 얻을 수 있었다. $r=1$ 의 커패시턴스 값은 패널을 균등하게 분할하여 추출한 값이다. 이때 분할 계수의 최적 값은 3임을 알 수 있다.

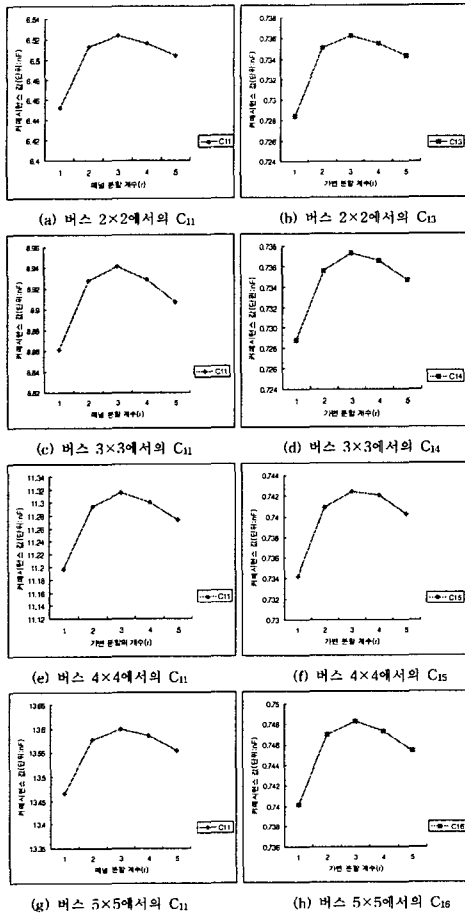


그림 8. 가변 분할을 적용한 커패시턴스 값의 이익

시간적 측면에서는 그림 9와 같이 2~5.9배의 향상을 얻을 수 있다. 이는 커패시턴스의 3차원 추출시 수치적으로 1% 향상을 위해서는 시간적으로 수배의 수행시간이 필요함을 알 수 있다.

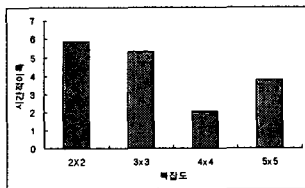


그림 9. 버스 구조에서의 가변분할 적용 시 시간적 이득

V. 결 론

칩의 고속화·고집적화로 인하여 칩 설계시에 고려해야 할 요소들이 더욱 증가하게 되었다. 과거에는 중요시 여기지 않았던 부분인 연결선에서의 전기적 성분

을 고려하지 않고서는 시스템의 완벽성을 보장받지 못하게 되었다. 본 논문에서는 유한요소법을 사용하여 회로 연결선의 커패시턴스 추출을 할 때 도체의 패널 분할 시 가변 분할을 적용하는 방법을 제안하였다. 제안한 추출방법을 이용함으로써 기본적인 모형에서는 3%의 수치적 이득과 10~100배의 시간적 향상을, 버스 구조에서는 1%의 수치적 이득과 2~5.9배의 시간적 향상의 결과를 얻을 수 있었다. 따라서 전기적 성분의 추출 시에 본 논문에서 제시한 방법인 가변 분할을 적용한 유한요소법을 사용하면 수치적 정확성을 증가시키고 더불어 시간적인 성능을 향상시키는데 도움을 줄 것이다.

참고 문헌

- [1] A. E. Reuhli and P. A. Brennan, "Efficient capacitance calculations for three-dimensional multiconductor systems," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-21, pp.76-82, 1973.
- [2] P. Benedeck, "Capacitances of a planar multiconductor configuration a dielectric substrate by a mixed order finite-element method," *IEEE Trans. Circuits Syst.*, vol.CAS-23, pp.279-283, 1976.
- [3] C. Wei, R. F. Harrington, J. R. Mautz, and T. K. Sarkar, "Multiconductor transmission lines in multilayered dielectric media," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-32, pp.439-450, 1984.
- [4] V. Rao, A. Djordjevic, T. Sarkar, Neiheng, "Analysis of arbitrarily shaped dielectric media over a finite ground plane," *IEEE Trans. Microwave Theory Tech.*, vol.MTT-33, pp.472-475, 1986.
- [5] B. Krauter, Y. Xia, A. Dengi, and L. T. Pileggi, "A Sparse Image Method for BEM Capacitance Extraction." *33th Design Automation Conference Proceeding*, pp.357-362, 1996.
- [6] Anshul Gupta, Vipin Kumar, "A Scalable Parallel Algorithm for Sparse Cholesky Factorization" *Proceedings of the Supercomputing '94*, 1994 -11 -14
- [7] K. Nabors and J. White, "FastCap: A multipole Accelerated 3-D Capacitance Extraction Program," *IEEE Trans. on Computer-Aided Design*, vol. 10, no. 11, Nov. 1991.