

디지털 음성 및 영상 처리용 SOC를 위한 ADPCM CODEC 코어의 설계

정 중 완, 홍 석 일, *한 희 일, *조 경 순
(주) 이 시 티, *한국의외국어대학교

전화 : 02-569-1960/ 핸드폰 : 019-411-0831

A Design of ADPCM CODEC Core for Digital Voice and Image Processing SOC

JungWan Jeong, SeogIl Hong, *HeeIl Hahn, *Kyeongsoon Cho
ECT Inc. , *Hankuk University of Foreign Studies
E-mail : jwjeong@ect.co.kr

Abstract

This paper describes the design and implementation results of 40, 32, 24 and 16kbps ADPCM encoder and decoder circuit, based on the protocol CCITT G.726. We verified the ADPCM algorithm using C language and designed the RTL circuit with Verilog HDL. The circuit has been simulated by Verilog-XL, synthesized by Design Compiler and verified using Xilinx FPGA. Since the synthesized circuit includes a small number of gates, it is expected to be used as a core module in the digital voice and image processing SOC.

PCM CODEC 설계에 대하여 기술하고 있다. 본 논문에서 기술하고 있는 ADPCM CODEC은 CCITT G.711 과 G.726 규정에 의하여 a-law 와 μ -law 방식에 의한 64kbps PCM과 선형 채널을 변환 코드 기술에 의해 최대 16kbps 채널로 변환하는 부호기와 압축된 PCM 채널을 64kbps의 PCM 또는 선형 채널로 복원시키는 복호기로 구성되어졌다. Verilog-HDL을 사용하여 회로설계를 하였으며, 삼성전자의 0.5 μ m Standard Cell 라이브러리를 바탕으로 Synopsys사의 Design Compiler를 사용하여 논리 수준 회로를 합성하였고, Cadence사의 Verilog-XL을 사용하여 검증하였으며 Xilinx FPGA를 이용하여 테스트하였다.

I. 서론

음성 및 영상 자료를 사용하는 멀티미디어 시스템은 기존의 문자 위주의 정보전달에 비해서 훨씬 효과적이다. 그러나 이와 같은 멀티미디어 정보를 처리, 분석, 저장하기 위해서 필요한 기억용량은 기존의 문자정보와 비교하여 수십 배에서 수만 배 이상이 되므로 음성 및 영상 자료에 대한 압축 및 복원 기술이 필수적이다.

본 논문에서는 음성 및 영상 처리용 SOC 구현에 있어 코어 셀로 사용될 음성 압축 및 복원 기능을 갖는 AD

II. 회로의 구성 및 설계

2.1 ADPCM 부호기

ADPCM 부호기 부분은 a-law, μ -law로 양자화된 신호를 선형 신호로 변환하고 이 입력신호로부터 예상된 입력신호를 감산하여 차동 신호를 구한다. 코딩 방식에 따라 31, 15, 7, 또는 4 레벨 적응 양자화기가 로그영역에서 차동 신호의 값을 각각 5, 4, 3, 2-비트의 2진수 데이터로 압축하여 복호기에 전달한다. 그림 1은 ADPCM 부호기의 구성도이다. [1,2]

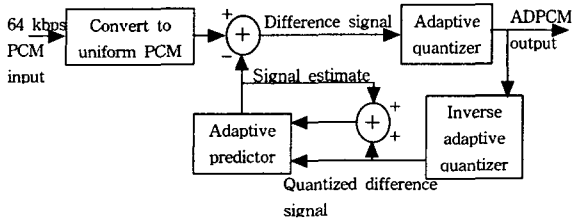


그림 1. ADPCM 부호기의 구성도

2.2 ADPCM 복호기

복호기의 구조는 부호기의 제환 구조와 동일하며 출력 PCM 형식 변환기와 동기 코딩 조절기 블록이 추가되어 구성된다. 그림 2는 ADPCM 복호기의 구성도이다. [1,2]

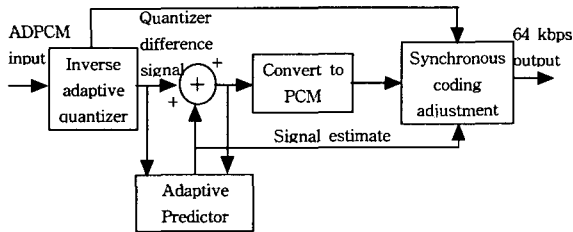


그림 2. ADPCM 복호기의 구성도

2.3 ADPCM CODEC 설계

본 연구에서는 ADPCM의 부호기와 복호기를 하나의 칩으로 구현하기 위해 각 기능별 블록을 통합하였다. 공용되는 블록들은 같이 사용하고, 부호기와 복호기를 각각 사용할 수 있도록 선택단자를 추가하여 설계함으로써 하드웨어의 효율성을 높였다. 그림 3은 본 연구에서 설계한 ADPCM CODEC의 구성도이다. [3]

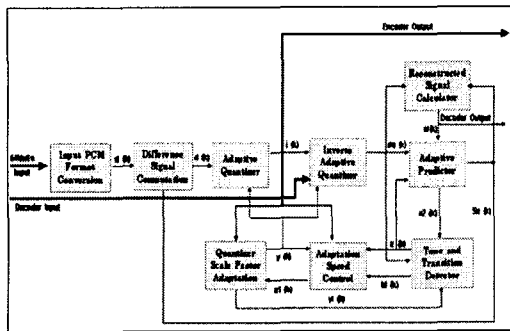


그림 3. ADPCM CODEC의 구성도

2.3.1 입력 PCM 포맷 변환

이 블록은 μ -law 또는 a-law PCM의 8-비트 입력신호 S(k)를 G.711 표준에 근거하여 선형 PCM 신호 SI(k)로 변환한다.

2.3.2 차등 신호 계산

이 블록은 선형 PCM 신호 SI(k)와 추정된 신호 Se(k)로부터 차등신호 d(k)를 계산함으로써 다음 블록들의 파라미터 값들이 수립될 수 있도록 한다.

$$d(k) = S(k) - S_e(k)$$

2.3.3 적응 양자화기

이 블록은 차등신호 d(k)를 양자화 하기 위해 사용되는 블록으로 양자화 전에 d(k)는 \log_2 표현으로 변환되고 적응 양자화 비율 조절기 블록에서 계산된 y(k)에 의해 scale 되어진다. 그림 4에서는 적응 양자화기의 구성을 나타내고 있다. 일정한 정보를 유지하고 있는 로그함수와 양자화값은 ROM 테이블로 구성하였다.

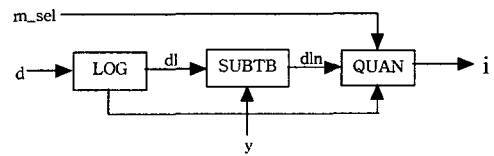


그림 4. 적응 양자화기의 구성

2.3.4 역 적응 양자화기

역 적응 양자화기는 적응 양자화기의 출력을 받아 양자화된 차등신호를 복원한다. 이 양자화된 차등신호는 예상된 신호와 합하여 입력신호의 재합성된 신호를 만든다. 재합성된 신호와 양자화된 신호는 적응 예측기에서 동작하여 예견된 입력신호를 만들게 된다. 본 연구에서는 그림 5와 같이 모드 선택 단자(m_sel)와 칩 선택 단자(c_sel)를 두어 부호기와 복호기를 선택적으로 사용할 수 있게 구성하였다.

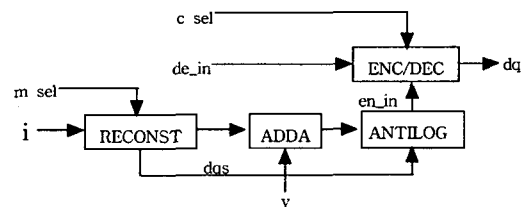


그림 5. 역 적응 양자화기의 구성

디지털 음성 및 영상 처리용 SOC를 위한 ADPCM CODEC 코어의 설계

2.3.5 적응 양자화 비율 조절기

Scaling factor $y(k)$ 를 계산하는 블록으로 양자화기 출력 $I(k)$ 와 적응 속도 제어 파라미터 $a_1(k)$ 를 입력으로 받아 큰 변화량을 가진 신호 (e.g. speech) 와 적은 변화량을 가진 신호 (e.g. tones) 의 scale factor 들의 조합에 의해 만들어진다. scale factor의 구현 알고리즘은 다음과 같다.

$$y_i(k) = a_1(k)y_u(k-1) + [1 - a_1(k)]y_l(k-1), 0 \leq a_1(k) \leq 1$$

그림 6에서 FILTD 블록은 큰 변화량의 정보를 경신하고 FLTE 블록은 적은 변화량의 정보를 경신하며 LIMB는 scale factor의 한계값을 지정하는 블록이다.

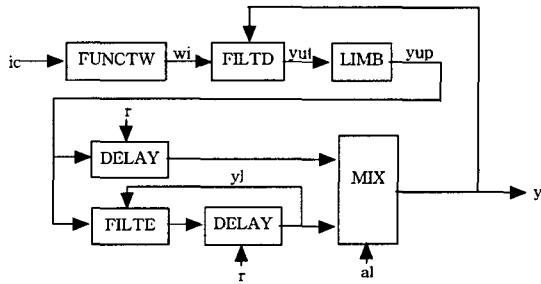


그림 6. 적응 양자화 비율 조절기의 구성

2.3.6 적응 속도 제어기

이 블록은 입력신호의 단구간의 평균과 장구간의 평균의 차이 값과 속도 제어 파라미터의 임계값을 비교하여 적합한 속도 제어 파라미터를 생성한다. 다음 수식들은 각각 단구간의 평균값과 장구간의 평균값을 나타낸다.

$$d_{ms}(k) = (1 - 2^{-5})d_{ms}(k-1) + 2^{-5}F[I(k)]$$

$$d_{m(k)} = (1 - 2^{-7})d_{m(k-1)} + 2^{-7}F[I(k)]$$

본 연구에서는 그림 7과 같이 단구간의 평균을 경신하는 FILTA, 장구간의 평균을 경신하는 FILTB, 속도 제어 파라미터를 low pass filtering 하는 FILTC로 나누어 설계하고 검증하였다.

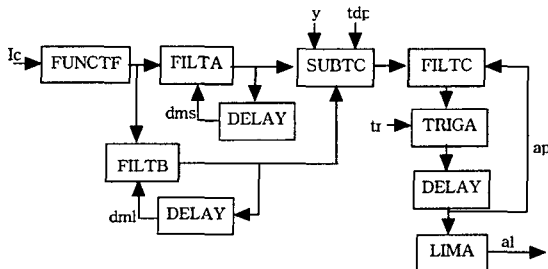


그림 7. 적응 속도 제어기의 구성

2.3.7 적응 예측기

적응 예측기의 기능은 양자화된 차등신호 $dq(k)$ 로부터 예견된 신호 $S(k)$ 를 계산하는 블록이다. 이 예측기는 2가지 적응 예측기를 사용하는데 6차 영점 예측기와 2차 극점 예측기다. 예측기의 출력 값은 입력 값과 더해져 부동 소수점으로 변환되고 gradient 알고리즘으로 갱신한 계수 값과 부동 소수점 곱셈 연산을 거친 후 누산기에 의해 입력 신호를 추정한다. 이 과정을 수식으로 표현하면 다음과 같다. [4]

$$s_e(k) = \sum_{i=1}^6 a_i(k-1)s_r(k-1) + s_{ez}(k)$$

$$s_{ez}(k) = \sum_{i=1}^2 b_i(k-1)d_q(k-i)$$

재 합성된 신호는 $s_r(k-1) = s_e(k-1) + d_q(k-1)$ 이다.

적응 예측기의 구성은 그림 8과 그림 9에 나타내었는데 부동 소수점 승산기와 부동 소수점 변환기, 계수 경신부로 나누어 설계하였다. 부동 소수점은 연산을 위해 ROM 테이블을 이용하였고 승산기와 메모리에 연결된 각 블록의 입출력 단자들은 버스 처리하여 제어 단자에 의해 순차적으로 일관되게 처리하였다.

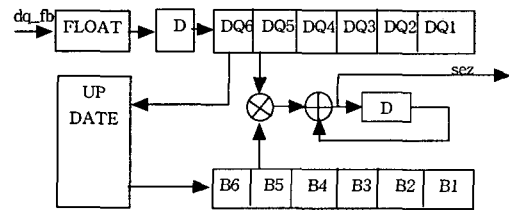


그림 8. 6차 영점 예측기의 구성도

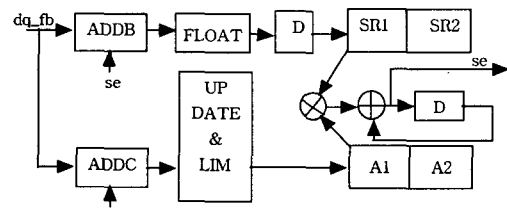


그림 9. 2차 극점 예측기의 구성도

2.3.8 음색 변환 검색기

이 블록은 입력신호가 부분 대역 신호(e.g. tone) 일 경우 양자화기가 빠른 모드에서 동작하도록 하고 부분 대역 신호가 변할때 예측기 계수를 "0"으로 하여 양자화를 빠른 모드에서 강제로 동작하도록 한다.

2.3.9 출력 PCM 형식 변환기

이 블록은 재 합성된 일정한 PCM 신호 $S_r(k)$ 를 a-law, μ -law PCM 신호로 변환하는 블록으로 입력과 마찬가지로 G.711 표준에 근거하여 설계하였다.

2.3.10 동기 코딩 조절기

직렬로 동기화된 연결구조의 시스템(ADPCM-PCM-ADPCM)에서 발생하여 누적되는 왜곡을 방지하기 위해서 사용되는 블록이다.

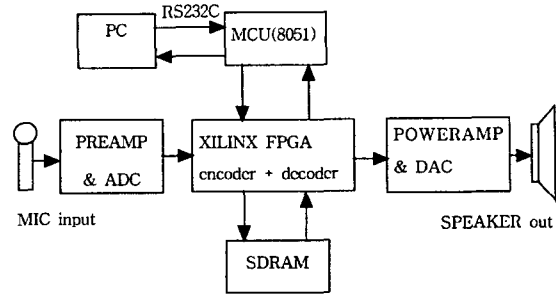


그림 10. 보드레벨 테스트 블록도

III. 실험 및 결과

본 논문에서 제시한 알고리즘은 C 프로그램을 이용하여 검증하였고 Verilog-HDL을 사용하여 회로 설계를 하였으며, Cadence사의 Verilog-XL로 이를 검증하였다. 삼성전자의 0.5 μ m Standard Cell 라이브러리와 Synopsys사의 Design Compiler를 사용하여 논리 수준 회로를 합성한 결과 17,275 게이트로 구현되었고 주파수는 10MHz에 동작되었다. [표 3.1]에서 각 블록별 게이트 사이즈와 지연시간을 제시하였다.

[표 3.1] 블록별 게이트 사이즈 및 지연시간

블록명	양자화기	역 양자화기	적용 예측기	PCM 형식 변환기	비율조정기 & 속도 제어기
게이트 수 (2입력 NAND 기준)	431	424	12,439	199	3725
지연시간 (ns)	28.24	20.63	44	9.97	35.36

위와 같이 설계된 ADPCM CODEC의 검증을 위하여 두 가지 방법을 사용했는데 첫 번째로 CODEC의 코어 검증을 위해서 Xilinx사의 Virtex FPGA와 8051 MCU를 이용하여 PC와 RS232C 통신으로 Verilog 시뮬레이션 결과와 비교 검증하였으며 두 번째 방법으로는 최종 코어 검증을 위하여 PCB를 제작하였고 다양한 아날로그 음성 신호를 18-bit ADC 과정을 거친 후 Xilinx FPGA (XCV800-6HQ240C)를 이용하여 2, 3, 4, 5-비트로 각각 압축하고 이 압축된 자료를 다시 16-비트 자료로 복원하여 DAC 과정을 거쳐서 재생한 결과 이상 없이 동작함을 확인할 수 있었다. 그림 10는 본 연구에서 시행한 보드레벨 테스트의 시스템도이다.

IV. 결론

본 연구에서는 CCITT G.726/G.711에 근거하여 디지털 음성 및 영상 압축용 SOC를 위한 VOICE CODEC 코어를 구현하였다. 본 연구에서 구현한 CODEC은 8-비트 μ -law, a-law와 16-비트 선형 형식을 모두 만족하며 40k, 32k, 24k, 16kbps의 전송률을 선택적으로 사용할 수 있고 부호기와 복호기를 선택적으로 수행할 수 있도록 설계되었다. 본 연구에서 구현한 ADPCM CODEC 코어는 IP화 되어있으므로 SOC 구현시 응용 회로의 복잡성 및 유연성을 강화하는데 활용될 수 있을 것이다.

참고 문헌

[1] "40, 32, 24, 16 kbit/s ADAPTIVE DIFFERENTIAL PULSE CODEC MOULATION (ADPCM) Recommendation G.726", CCITT, 1990.

[2] 은종관, "음성신호의 예측부호화에 관하여" 전자공학회잡지, vol.12, no.5, pp.23-35, Oct. 1985.

[3] Anil Sharma, C. P. Ravikumar, "Efficient Implementation of ADPCM Codec", IEEE International Conference on Electronics, Circuits and Systems vol.3, pp.543-546, Sep. 1998.

[4] C.S Xydeas et al., "Sequential Adaptive Predictors for ADPCM Speech Encoders", IEEE Trans. Commun., vol. COM-30, no.8, pp.1924-1954, Aug.1982.