

경계 요소법에 기반한 커패시턴스 추출 알고리즘 및 도구 구현

맹 태 호, 김 보 겸, 김 승 용, 김 준 희, 김 석 윤
승실대학교 대학원 컴퓨터학과
전화 : 02-813-0682 / 핸드폰 : 016-226-3107

An Algorithm and Its Implementation of Capacitance Extractor Based on Boundary Element Method

Tae-Ho Maeng, Bo-Kyeom Kim, Seung-Yong Kim, Joon-Hee Kim, Seok-Yoon Kim
Dept. of Computing, Graduate school, Soongsil University
E-mail : mth95@ic.soongsil.ac.kr

Abstract

This paper proposes a capacitance extraction algorithm based on boundary element method and describes the implemented 2-dimension extractor based on the proposed algorithm. The proposed algorithm uses a generalized conjugate residual iterative algorithm with a hierarchical subdivision.

The implemented 2-D extractor computes the capacitances of complicated 2-D geometry of ideal conductors in uniform dielectric and can be efficiently used in the VLSI layout designs due to its user-friendly GUI.

I. 서론

최근 10년 동안, 집적회로의 트랜지스터 소자의 크기가 1 마이크로론보다 작아짐에 따라 한 칩에 내장된 소자의 개수가 수 백 만개를 넘어서고, 또한 칩의 크기 증가에 따라 클락 신호선 등은 더 길어지는 현상이 나타났다. 이것은 고집적 회로에서 트랜지스터와 같은 능동 소자에 의한 신호 지연 시간보다 연결선과 같은 수동 소자에 의한 신호의 지연 시간이 점점 더 커지고 있음을 의미한다 [1].

고속 회로에서의 연결선을 정확히 해석하기 위해서는 먼저, 물리 설계 이후에 변수 추출 과정을 통하여

연결선 기생 성분(parasitics)을 정확히 추출하는 것이 중요하다. 특히, 커패시턴스의 값을 정확하게 추출하여 모형화하는 연구들이 최근에 많이 진행되고 있다. Sakurai의 실험적인 결과로 얻어진 수식 [2]을 이용한 추출 방법부터 라이브러리를 사용하여 추정하는 방법 [3]까지 다양한 방법이 모색되어지고 있다. 또한, 보다 빠르고 정확한 추출을 위해 수치적 기법이 사용되고 있다. 이런 기법으로서 유한 차분법(Finite difference method) [4]-[5], 유한 요소법(Finite element method) [6], 경계 요소법(Boundary element method) [7], 다극자 알고리즘(Multipole algorithm) [8] 등의 기법이 널리 사용되고 있다.

본 논문에서는 경계 요소법을 기반으로한 커패시턴스 추출 알고리즘을 제안하고 이에 바탕한 2차원 추출 도구를 구현하였다. 제안된 알고리즘은 다극자 알고리즘 [8]을 사용하였고, 보다 효율적인 행렬과 벡터의 곱셈연산을 수행하기 위해서 계층적 알고리즘 [12]을 채택하였다. 구현된 2차원 커패시턴스 추출기는 시간 복잡도가 $O(mn)$ 이며, GUI기반 환경으로 사용자들에게 가시성을 제공하였다.

II. 전하 방정식 및 경계 요소법

커패시턴스는 자기 커패시턴스(self capacitance)와 상호 커패시턴스(mutual capacitance)로 나눌 수 있다. 그림 1에서는 이상적인 연결선 기하 구조에서의 커패

시턴스를 보이고 있다. C_{1self} 와 C_{2self} 는 각 도체의 자기 커패시턴스를 C_{mutual} 은 두 도체 사이의 상호 커패시턴스를 의미한다.

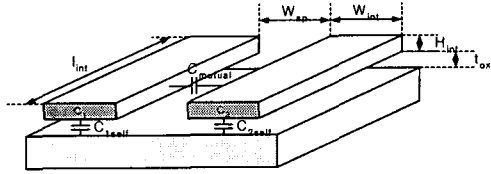


그림 1. 이상적인 연결선의 기하 구조

일반적으로 다중 도체로 이루어진 기하구조에서 커패시턴스 값을 얻기 위해서, 도체들이 이상적이고 도체 사이에 있는 유전체의 유전율이 구역 별로 상수 (piecewise constant) 값을 갖는다는 가정을 한다. 이러한 가정 하에서, 다중 도체로 이루어진 시스템은 전하가 없는 유전체 영역(charge-free region)에 대해 도체의 전위를 경계 조건(boundary condition)으로 하는 라플라스 방정식(Laplace equation)으로 표현될 수 있다 [9]. 이러한 라플라스 방정식을 풀기 위한 여러 가지 수학적 방법 중 일반적인 방법은 라플라스 방정식의 적분형에 경계 요소법을 적용하는 것이다 [10]. 경계 요소법은 전하가 주로 도체의 표면에 존재한다는 사실을 이용한 것으로서, 아래의 그림 2와 같이 모든 도체의 표면을 n 개의 작은 2차원 패널로 분할한 다음, i 번째 패널에 q_i 만큼의 전하가 고르게(또는 선형적으로) 분포한다고 가정한다. 다음으로 라플라스 방정식과 그린 함수(Green's function)를 이용하여 각 패널의 전하가 패널의 전위에 미치는 영향을 모두 더하여 그 값이 패널의 주어진 전위와 같다고 놓는다. 이러한 방법을 사용하면, n 개의 패널 전위 집합과 n 개의 패널 전하량과 관련된 $n \times n$ 의 전위 계수 행렬(matrix of potential coefficients) P^{nm} 가 생성된다. 즉, 다음과 같은 조밀한 선형 시스템을 얻을 수 있다.

$$P \cdot q = p \quad (1)$$

여기서, q 는 패널 전하들의 벡터이고, p 는 패널 전위들의 벡터, 그리고, P 는 시스템의 기하 구조로부터 얻어지는 전위 계수 행렬이다. 결국 이 관계식을 풀어서 각 패널들의 전하량을 구할 수 있다. 각 패널의 전하량을 구하면, 각 도체에 속하는 패널들의 전하량을 더함으로써 도체 상호간의 커패시턴스 행렬 C 를 구할 수 있다.

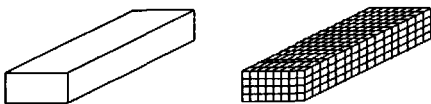


그림 2. 패널들로 분할된 도체

III. 선형 방정식의 해법

3.1 Generalized Conjugate Residual(GCR) 알고리즘

전위 계수 행렬의 정의로부터, $n \times n$ 행렬은 양의 비대칭 행렬이라는 것과 각 행에서 가장 큰 값은 행렬의 대각선 상에 존재한다는 것을 알 수 있다. 따라서, GCR 알고리즘을 사용하면, 시간 복잡도를 $O(mn^2)$ 로 줄일 수 있다 [11].

3.2 커패시턴스 추출 알고리즘

GCR에서 Pw 의 계산은 일반적으로 $O(n^2)$ 의 수행 시간을 필요로 한다. 그러나, 다음에 나와 있는 다극자 확장법과 지역 확장법을 정의된 이용한 계층적 알고리즘을 적용하게 되면 그 수행 시간이 $O(n)$ 에 가까워진다 [11].

(1) 다극자 확장법

아래의 그림에서 보이는 n_2 전하들에 대하여 거칠게 근사화하면 반지름 R 을 갖는 구의 중심으로 대표할 수 있다. 그러면 $n_1 \times n_2$ 번의 계산이 필요한 수행 시간을 전하의 합을 계산하기 위해 n_2 번의 계산과 측정지점에서의 전위계산을 위한 n_1 번의 계산으로 줄여 계산 수행이 n_1+n_2 번이 된다.

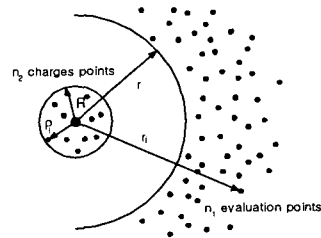


그림 3. 다극자 확장법

이렇게 근사하면 전위는 다음의 식으로 근사화된다.

$$\frac{\sum_{i=1}^{n_2} q_i}{r_j} \quad (2)$$

이때 r_j 는 전하들의 구 R 의 중심으로부터 j 번째 측정지점까지의 거리이다.

(2) 지역 확장법

다극자 확장법과는 반대로 n_1 에 있는 측정지점들 대하여 거칠게 근사화하면 반지름 R 을 갖는 구의 중심으로 대표할 수 있다. 그러면 구 R 내에 있는 모든

경계 요소법에 기반한 커패시턴스 추출 알고리즘 및 도구 구현

측정지점들은 R 의 중심으로 근사화되어 계산된다.

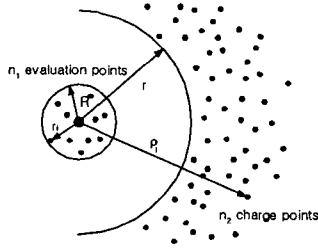


그림 4. 지역 확장법

이것을 근사화하면 측정지점들에 대한 전위는

$$\sum_{i=1}^{n_1} \frac{q_i}{p_i} \quad (3)$$

이 된다. 이때 p_i 는 측정지점들을 포함하는 구 R 의 중심과 i 번째 전하와의 거리이다.

(3) 신속한 계층적 알고리즘

여기서는, 경계 요소법을 적용하여 임의의 도체 표면을 작은 패널로 나누는 과정을 먼저 소개한다. 본 논문에서 제안한 방법은 패널을 분할할 때, 일정한 개수만큼 분할되는 것이 아니라, 사용자가 입력한 허용 오차안에서 분할되는 패널의 개수가 결정되도록 한다. 그리고, 이렇게 나누어진 패널들은 이진 트리(binary tree) 형태로 나누어지는 패널들의 정보가 저장된다.

재귀적인 패널 분할을 수행한 후에 생성되는 이진 트리는 계층적인 구조로 구성된다. 다음으로 이진 트리의 순회에 의해서, Pw 의 계산을 한다. Pw 의 계산은 세 부분으로 나누어지며, 다극자 확장법과 지역 확장법의 개념이 적용되어 있다.

첫 번째 단계는 이진 트리 내부의 모든 중간 노드들의 전하 값을 계산하는 것이다. 여기서, 중간 노드의 전하는 그 하위 노드들의 전하값의 합으로 나타낼 수 있다. 그리고, 각 말단 노드 A_i 의 전하는 전하 벡터 q 에서 Q_i 로 주어진 값이다. 각 노드에서의 전하값이 계산되기 위해서는, 두 개의 하위 노드들의 값이 우선 계산되어야 한다. 이것은 두 하위 노드의 값의 합이 상위 노드의 전하값과 같다는 의미이다.

두 번째 단계는 어떤 패널 A_i 에 상호 작용되는 패널로 인한 전위 값을 계산하는 것이다. 여기서 상호 작용되는 패널은 이진 트리 구조에서 상호 영향을 미치는 같은 수준의 다른 패널들이다. 다른 패널로 인한 전위 값은 전위 계수 P_{ij} 와 A_j 에서의 전하 값의 곱을 A_i 패널 전위값에 더한 값이다.

세 번째 단계는 중간 노드에서 말단 노드로 전위를

분산 시키는 과정이다. 이것은 또 다른 깊이 우선 순회 알고리즘으로 이루어진다. 따라서, 전위값이 상위 노드들에서 말단 노드들로 전파되게 한다. 각 중간 노드들은 축적된 전위를 그것의 하위 노드들에 재귀적으로 분배한다.

위의 세 과정을 수행함으로써, Pw 의 계산이 이루어진다. 그리고, 여기서 사용한 알고리즘은 분할된 패널 수 혹은 이진 트리의 노드 수에 대해서 선형적인 수행 시간을 필요로 한다. 어떤 이진 트리가 n 개의 말단 노드를 가질 경우 $n-1$ 개의 중간 노드가 존재하기 때문에 여기서 사용한 알고리즘은 $O(n)$ 의 시간 복잡도를 갖는다 [12].

IV. 커패시턴스 추출기의 설계 및 구현

본 절에서는 III절에서 제안한 알고리즘을 기반으로, 연결선 커패시턴스를 추출하기 위한 설계 보조 도구의 구현을 서술한다. 경계 요소법은 커패시턴스 추출에서 사용되는 알고리즘으로서 유한 요소법에 비하여 효율성과 어떤 영역에서도 자동화 처리가 가능하다는 장점을 가지고 있다.

본 논문에서 제안하는 도구는 커패시턴스의 2차원적 추출 도구로서, 가시성(Visuality)을 함께 고려하여, GUI(Graphic User Interface) 환경에서 수행될 수 있도록 설계하였다. 또한, 주어진 오차 내에서, 기존의 사각형태의 연결선 구조만이 아닌, 다양한 연결선의 기하 구조와 유전율을 고려하여 커패시턴스 성분을 추출하고, 2차원 공간상에서의 등전위면을 표시할 수 있도록 하였다. 그림 5는 구현된 도구를 사용하여, 도체의 단면을 그린 그림이다. 그림 6은 그림 5에서 그려진 2차원 공간의 도체들로부터 추출된 커패시턴스와 등전위 영역을 보여준다.

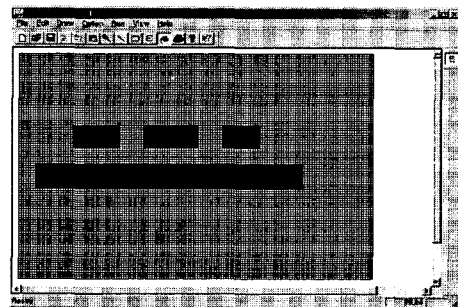


그림 5. BEM 2-D Extractor

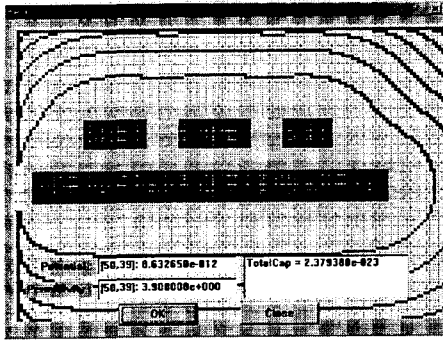


그림 6. 도체에서 추출된 커패시턴스 값과 등전위면

본 논문에서 제안하는 도구를 FastCap과 비교하면 다음과 같다. 정확도에 대한 계수(P_e)가 0.01일 때, FastCap에 비해서 40에서 100배 빠르고, 사용되는 메모리는 1/60에서 1/100배 적게 사용되며, 오차율은 2.7% 이내를 보인다. 0.003일 때, 3에서 5배 빠르고, 사용되는 메모리는 1/6에서 1/8 배 적게 사용되며, 오차율은 0.8%이내를 보인다.

V. 결론

본 논문에서는 경계 요소법을 기반으로한 커패시턴스 추출 알고리즘을 제안하고 이에 바탕한 2차원 추출 도구를 구현하였다. 제안된 알고리즘은 다극자 알고리즘 [8]을 사용하였고, 보다 효율적인 행렬과 벡터의 곱셈연산을 수행하기 위해서 계층적 알고리즘 [12]을 채택하였다. 구현된 2차원 커패시턴스 추출기는 커패시턴스 추출시에 소요되는 시간 복잡도를 $O(n^3)$ 이 아닌 $O(mn)$ 으로 줄일 수 있었다. 아울러 본 도구는 GUI기반 환경으로 사용자들에게 가시성을 제공하였으며, 다양한 연결선 구조에 대한 전기적 변수 추출을 가능하게 함으로써, VLSI 설계 및 PCB 설계시의 보조 도구로 사용될 수 있을 것이다.

참고문헌

[1] J. Qian, S. Pullela, and L. Pillage, "Modeling the "Effective Capacitance" for the RC Interconnect of CMOS Gates," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and System*, vol. 13, no. 12, Dec. 1994.
 [2] T. Sakurai and K. Tamaru, "Simple formulas for two and three dimensional capacitance," *IEEE*

Trans. Electron Devices, 1993.

[3] N. D. Llanda and M. Richardson, "Modeling and extraction of interconnect capacitance for multilayer VLSI circuits," *IEEE Trans. Computer-Aided Design of integrated circuits and systems*, vol. 15, pp.58-67, January 1996.

[4] C. D. Taylor, G. N. Elkhouri, and T. E. Wade, "On the parasitic capacitances of multilevel parallel metallization lines," *IEEE Trans. Electron Devices*, vol. ED-32, pp.2408-2414, 1985.

[5] A. Seidl, M. Svoboda, J. Oberndorfer, and W. Rosner, "CAPCAL-A 3D capacitance solver for support CAD systems," *IEEE Trans. Computer-Aided Design*, vol. 7, pp.549-556, 1988.

[6] P. Benedeck, "Capacitances of a planar multiconductor configuration a dielectric substrate by a mixed order finite-element method," *IEEE Trans. Circuit Syst.*, vol. CAS-23, pp.279-283, 1976.

[7] Q. Ning, P. M. Dewilde, and F. L. Neerhoff, "Capacitance coefficients for VLSI multilevel metallization lines," *IEEE Trans. Electron Devices*, vol. ED-34, pp.644-649, 1987.

[8] K. Nabors and J. White, "FastCap: A multipole Accelerated 3-D Capacitance Extraction Program," *IEEE Trans. on Computer-Aided Design*, vol. 10, no. 11, Nov. 1991.

[9] S. V. Marshall, R. E. Dubroff, and G. G. Skitek, "Electromagnetic Concept and Applications," 4th edition, Prentice Hall International, Inc. 1996.

[10] S. Rao, T. Sarkar, and R. Harrington, "The electrostatic field of conducting bodies in multiple dielectric media," *IEEE Trans. Microwave Theory Tech*, vol. MTT-32, pp. 1441-1448, Nov. 1984.

[11] Y. Saad and M. H. Schultz, "GMRES: A generalized minimal residual algorithm for solving nonsymmetric linear systems," *SIAM J. Sci. Stat. Comput.*, vol. 7, no. 3, pp. 856-869, July 1986.

[12] W. Shi, J. Liu, N. Kakani, and T. Yu, "A Fast Hierarchical Algorithm for 3-D Capacitance Extraction," 35th *Design Automation Conference*, pp. 212-217 1998.