

디지털 Butterworth noise shaper의 구현

손영철, 박영진, 채정석, 김상호, 조상준, 김상민, 김동명, 김대정
국민대학교 전자공학부
전화 : 02-910-4704 / 핸드폰 : 016-578-3038

Implementation of the digital Butterworth noise shaper

Young-Chul Sohn, Young-Jin Park, Jeoug-Seok Chae, Sang-Ho Kim, Sang-Jun Chao,
Sang-Min Kim, Dong Myong Kim, Daejeong Kim
Kookmin University
E-mail : ycsohn@hanmail.net

Abstract

This paper describes an implementation of 4th order single-loop Butterworth noise shaper for a 16-bit $\Delta\Sigma$ DAC with the viewpoint of minimum hardware overhead. we adopt simple bit-shifting scheme and ROM selection technique for the multiplication, and propose a new buffer-and-routing method for the ROM circuits. The behavioral level and timing simulations reveal that our proposal is valid for the target specification

환 Butterworth noise shaper의 하드웨어 구현에 있어서 최적화 된 회로를 새롭게 제안한다.

특히 D/A 변환 기능과 계수와의 곱셈 기능을 동시에 수행하는 ROM 선택 방식과, ROM 구현에 있어서 새로이 buffer-and-routing 방식을 제안하여 하드웨어의 부담을 최소화 할 수 있음을 검증한다.

II. Noise shaper 구조

I. 서론

과 표본화 기법은 VLSI 기술의 비약적인 발전을 통해 복잡한 디지털 신호의 고속처리가 가능해져 작은 아날로그 회로의 부담으로도 높은 해상도를 구현할 수 있어 최근에 더욱 각광을 받고 있다.

본 논문에서는 16-bit digital audio[1]를 위한 $\Delta\Sigma$ D/A 변환기에 적용되는 최적화 된 4차단일 계

2.1 Butterworth noise shaper의 기본 구조

Noise shaper의 기본 구조는 그림 1과 같이 단일 계 환 구조[2]를 채택하였고, 각각의 계수 b_1, a_1, a_2, a_3, a_4 는 입력 신호에 대해서는 low-pass filter로 작용하고 양자화 잡음에 대해서는 high-pass filter가 되도록 하여 passband 내에서 최대한 평탄한 특성을 갖도록 정해진 값들이다.[3]

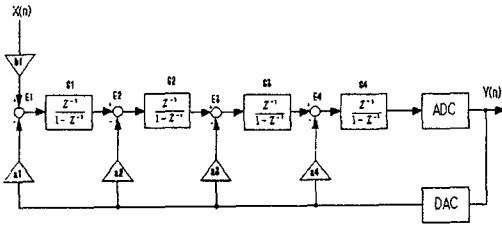


그림 1. 단일 케환 구조를 갖는 4차 변조기

그림 1에서 신호 성분 X(n)에 대한 전달 함수는 식(1)과 같고, (N=4)

$$H(z) = \frac{X(z)}{Y(z)} = \frac{b_1}{a_1 + a_2(z-1) + \dots + a_N(z-1)^{N-1} + (z-1)^N} \quad (1)$$

ADC에서 발생하는 양자화 잡음의 전달 함수는 식(2)와 같다. (N=4)

$$H(z) = \frac{X(z)}{Y(z)} = \frac{b_1 + b_2(z-1) + b_3(z-1)^2 + \dots + b_N(z-1)^{N-1}}{a_1 + a_2(z-1) + \dots + a_N(z-1)^{N-1} + (z-1)^N} \quad (2)$$

본 논문의 응용에서는 DC가 신호성분이 아니므로 회로의 안정도를 높이기 위해 표1에서와 같이 b2, b3, b4의 값을 0으로 하였다.[4]

표 1. 4차 변조기의 계수 값

	n=1	n=2	n=3	n=4
a_n	0.0005	0.0094	0.0822	0.4103
b_n	0.0005	0	0	0

2.2 Behavioral level 시뮬레이션 결과

신호 대역 내에서 96dB 이상의 SNR을 구현 할 수 있도록 noise shaper 내의 데이터 bit수를 결정하기 위하여 behavioral level 시뮬레이션을 하였다. 그림 2는 그림 1의 4차 변조기에 4.8kHz의 입력을 넣었을 때 신호 대역의 Nyquist rate 주파수 fs 가 48kHz 이고 256fs로 과 표본화 하였을 때의 입력 X(n)과 양자화 잡음 변형을 보이고 있다. 이러한 behavioral level simulation을 통해서 96dB이상의 SNR을 구현하기 위

해 33-bit의 내부 resolution을 갖도록 결정 하였다.

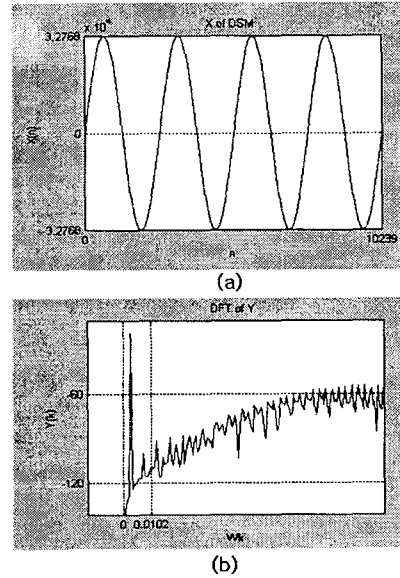


그림 2. 4.8kHz의 in-band 신호를 가했을 때의 (a)입력신호 (b)출력의 주파수특성

III. 단일 케환 noise shaper 디지털구현

3.1 ROM 선택 방식을 이용한 곱셈기의 구현

그림 1의 구조에서는 곱셈기, 가산기, 적분기가 필요하며 계수 b1, a1, a2, a3, a4의 곱셈 연산을 모두 곱셈기로 구현한다면 하드웨어의 면적이 상당히 커지게 된다. 그림 3에 제안된 구조는 이러한 하드웨어의 부담을 최소화하기 위해 계수 b1의 곱셈은 shifting을 이용한 간략화 된 곱셈 방식을 채택하고, 계수 a1, a2, a3, a4의 곱셈은 새로이 제안된 ROM 선택방식을 사용하였다.

계수 b1의 곱셈에 적용하는 shifting을 이용한 곱셈 방식의 동작은 다음과 같다. 그림 3과 같이 25-bit의 입력 데이터 X(n)은 b1과 곱해져서 E1으로서 가산기에 입력된다. 여기서 승수 b1은 항상 일정한 값을 가지므로 가산기에 입력되는 X(n)의 디지털 데이터의 위치를 shifting 함으로써 복잡하고 면적이 큰 곱셈기를 쓰지 않고도 곱셈 연산을 수행할 수 있다.

디지털 Butterworth noise shaper의 구현

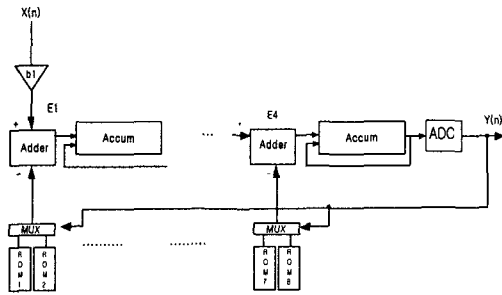


그림 3. 제안하는 noise shaper의 하드웨어 구조

계수 a_1, a_2, a_3, a_4 의 곱셈기능을 위해서는 새로운 ROM 선택방식을 채택하였다. 제안하는 구조는 1bit ADC의 출력이 DAC를 거쳐서 부호를 포함한 32768과 -32768의 16 bit의 데이터가 되므로 이 값과 각각의 계수 a_1, a_2, a_3, a_4 와 곱한 값을 각각의 ROM에 저장하여 ADC의 부호 비트에 의해 선택되어 출력되도록 한다.

3.2 Buffer-and-routing 방식의 ROM의 구현

그림 4는 기존의 static ROM 회로로서 ADC의 출력인 S, SB에 따라 미리 프로그래밍 된 데이터들이 버퍼 역할을 하는 인버터를 거쳐서 가산기에 더해지는 경우의 예를 보인 것이다. 이와 같은 구조는 각 비트마다 스위치 트랜지스터가 존재하고 버퍼링을 위한 인버터 등으로 구성되며 본 4차 noise shaper에서는 4개의 ROM 블록이 사용되므로 noise shaper의 하드웨어 면적에서 차지하는 비중이 상당히 크다.

본 논문에서는 새로운 buffer-and-routing 방식을 이용하여 하드웨어의 부담을 최소화 한 새로운 구조를 제안한다. 그림 5에서의 같은 새로운 ROM 구조는 기존의 방식처럼 개개의 비트에 대해 스위치와 프로그래밍 된 데이터들이 존재하는 것이 아니라 "1"과 "-1"을 출력하는 버퍼만이 존재하고 routing 연결에 따라서 프로그래밍이 결정되는 buffer-and-routing 방식이다. 이 때, S일 때 (ADC 출력이 "1"일 때)와 SB (ADC 출력이 "-1"일 때) 일 때 계속 0으로 유지되는 데이터 비트는 GND에 따로 연결하고 계속 1로 유지되는 데이터 비트는 따로 VDD에 연결함으로써 routing시에 두 개의 tri-state buffer가 서로 단락 되지 않도록 하였다.

ADC의 부호 비트가 1 (S)일 때는 위의 두 개의

tri-state buffer가 동작하고 아래의 두 buffer의 출력은 high 임피던스가 되어 분리되며, -1 (SB) 일 때는 아래쪽의 두 개의 tri-state buffer가 동작하여 가산기의 각 비트에 입력된다.

3.3 디지털 적분기의 구현

적분기는 그 전에 저장된 값과 현재 값의 합을 다시 저장하는 장치이므로 가산기와 데이터를 저장할 수 있는 레지스터로써 구성된다. 그림 1에서의 적분기 $\frac{Z^{-1}}{1-Z^{-1}}$ 의 전달함수를 구현하기 위해서는 그림 6에 보인 바와 같이 가산기와 레지스터를 사용하고, 레지스터에는 256fs (fs= 48kHz)의 클럭을 가하였다.

본 논문에서 제안한 shifting을 이용한 곱셈기와 buffer-and-routing 방식을 이용한 ROM 선택방식을 채택하여 구현한 noise shaper의 하드웨어 구조를 그림 6에 나타내었다.

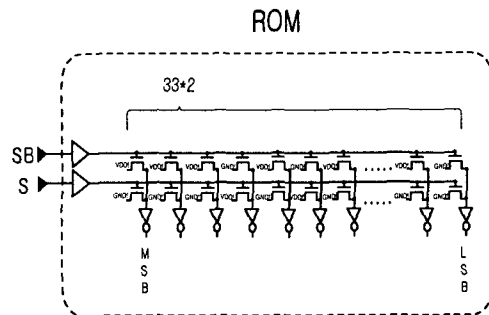


그림 4. 기존의 static ROM 회로

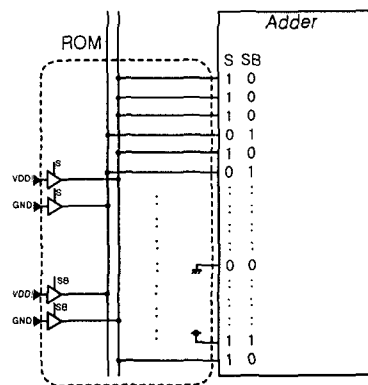


그림 5. 제안하는 buffer-and-routing 구조

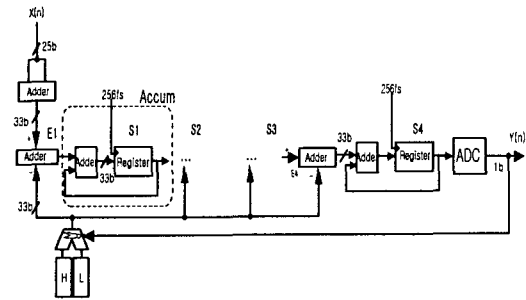


그림 6. 제안하는 구조를 이용한 noise shaper의 하드웨어 구현

그리고 그림 6에서 ADC는 그림 1에서의 S4단 적분기의 출력 즉, 레지스터의 출력을 1bit으로 변환 하는 것이므로 레지스터의 부호 비트의 출력만으로 1bit ADC를 간단히 구현할 수 있다.

IV. 검증

표 2는 기존의 static ROM구조와 제안하는 buffer-and-routing 방식의 특성을 본 논문의 noise shaper에 적용하는 경우에 대해 비교 분석한 결과를 나타낸 것이다. 트랜지스터의 개수는 대략 34배 줄게 되고 이에 따른 layout 면적도 대략 1/8 ~ 1/14 정도로 줄일 수 있었다. 타이밍 특성에 있어서는 기존의 방식과 제안된 방식이 비슷한 결과를 보였다.

표 2. 기존의 ROM과 제안된 ROM의 비교

	기존의 ROM	제안된 ROM
트랜지스터 수	544개	16개
t_p	1.5 ns	1.5 ns

V. 결론

본 논문에서는 16-bit digital audio를 위한 $\Delta\Sigma$ D/A 변환기에 적용되는 4차 단일 계환 Butterworth noise shaper의 하드웨어의 부담을 최소화한다는 관점에서 목표로 하는 사양을 만족할 수 있는 특성화 된 구조에 대해 새로운 하드웨어 구현 방식을 제안하였다. 특히, shifting 개념을 이용하여 가산기로써 곱셈기 동작을 할 수 있는 간단한 구조와, 기존의 static ROM 구조가 아닌 buffer-and-routing 구조를 제안하여 칩 내에서

면적을 최소화 할 수 있도록 하였고, 타이밍 simulation을 행하여 기존의 방식에 비해 동작 성능의 차이가 없음을 입증하였다.

Acknowledgments

본 논문은 Brain Korea 21 프로젝트의 지원과 IDEC(IC design education center)의 디자인 소프트웨어의 지원에 의한 것이며, 이에 깊이 감사 드립니다.

참고 문헌

- [1] P. J. A. Naus et al., "A CMOS stereo 16-bit D/A converter for digital audio." *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 390-395, June 1987.
- [2] P. F. Ferguson Jr., A. Ganesan, and R. W. Adams, "One bit higher order sigma-delta A/D converters." *Proc. IEEE Inter. Symp. Circuits and Systems*, pp 890-893, May 1990.
- [3] 이승훈, 김범섭, 송민규, 최중호, *CMOS 아날로그/혼성모드 집적시스템 설계(下)*. Σ시그마프레스, pp222-224, 1999, 12
- [4] S. Norsworthy, R. Schreier, and G. C. Temes, *Delta-Sigma data converters: in Theory, Design, and Simulation*. New York: IEEE Press, pp 178-179, 1997.