

고속 시리얼 링크를 위한 다중 위상 클럭 발생기의 설계

조 경 선, 김 수 원
고려대학교 전자공학과
전화 : 02-928-1216

Design of a Multiphase Clock Generator for High Speed Serial Link

Kyoung Sun Cho, Soo Won Kim
Dept. of Electronics Engineering, Korea University
E-mail : mm@asic.korea.ac.kr

Abstract

The proposed clock generator lowers the operating frequency in a system core though it keeps data bandwidth high because it has a multiphase clocking architecture.

Moreover, it has a dual loop which is comprised of an inner analog phase generation loop and outer digital phase control loop. It has both advantages of PLL's wide operating range and DLL's low jitter.

The proposed design has been demonstrated in terms of the concept and Hspice simulation. All circuits were designed using a 0.25 μ m CMOS process and simulated with 2.5 V power supply.

해결하기 위하여 클럭 신호를 다중 위상으로 발생시키는 구조가 주로 사용되고 있다.[5]

본 논문에서는 2.5Gbps의 데이터 전송 속도를 가지는 고속 시리얼 링크에 필요한 다중 위상 클럭을 만들기 위하여 이중 루프 구조의 클럭 발생기를 제안하고, 제안한 다중 위상 클럭 발생기를 이용하여 고속 시리얼 링크 트랜시버의 수신단 시스템을 구현하고자 한다. 제안된 내부 클럭 발생기는 데이터 전송 속도의 1/10으로 동작하면서 10개의 균일한 위상차를 가지는 클럭을 만들어서 입력 데이터를 샘플링하고 출력을 스위칭한다. 또한 발생된 다중 위상 클럭 신호와 입력 신호를 동기시키기 위하여 디지털 제어되는 위상 조정기를 사용하였다.

I. 서론

최근 초고속 인터넷에 대한 수요의 폭발로 인하여 이의 근간이 되는 고속 시리얼 링크에 대한 관심이 크게 증가되고 있다. 시리얼 링크에서 전송되는 데이터의 속도가 높아지면 높아질수록 이를 디지털 시스템에서 처리하기 위해 필요한 클럭의 주파수도 높아져야 한다. 그러나 데이터 전송 속도가 CMOS공정에서 가능한 동작 한계 주파수 근처가 될 경우 데이터 샘플러나 출력 드라이버 등이 데이터 전송 속도와 같은 속도로 동작하기가 매우 어렵다. CML(Current Mode Logic)과 같이 특수한 로직을 사용하는 경우에는 가능할 수도 있지만 전력 소모가 매우 커지게 된다. 이를

II. 제안된 클럭 발생기

2.1 이중 루프 PLL

기존의 단일 루프 PLL은 위상 오차가 누적되며, 기준 클럭과 시스템 클럭의 위상을 동기시키고 추가적으로 조절 가능한 위상을 제공할 수 없다. 또한 DLL은 주파수 체배가 불가능하기 때문에 고주파가 필요한 시스템에서는 사용할 수 없다. 이러한 DLL과 PLL을 결합하면 고주파에서 사용 가능한 위상 조정기를 구현할 수 있다. 이런 생각에서 제안된 것이 이중 루프 PLL이다.[1] 그림 1에 이중 루프 PLL의 블록도를 나타내었다. 기본적으로 이중 루프 구조에서 안쪽 루프는

DLL을 위한 지연 라인이나 PLL을 위한 VCO로 구성되고 바깥쪽 루프는 시리얼 링크의 클럭 복원을 위해 조정 가능한 클럭을 제공하는 루프이다.

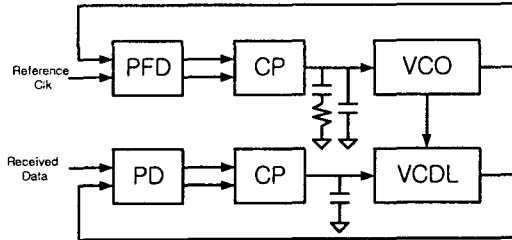


그림 1. 이중 루프 PLL의 블록도

2.2 제안된 클럭 발생기의 구조

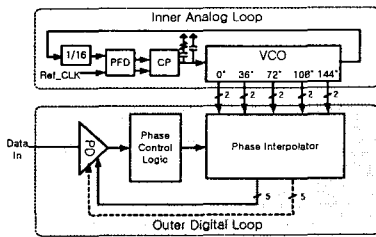


그림 2. 클럭 발생기의 블록도

본 논문에서는 작은 jitter를 가지는 이중 루프 PLL의 장점을 계승하면서, 고속 시리얼 링크의 수신단에서 필요한 다중 클럭을 발생시킬 수 있도록 기존의 이중 루프 PLL의 구조를 변형한 클럭 발생기를 제안하였다.

제안된 다중 위상 클럭 발생기는 이중 루프 PLL의 구조를 가지고 있다. 안쪽의 아날로그 루프는 입력 기준 주파수로부터 균일한 위상차를 가지는 10개의 클럭 신호를 만들어내는 CPPLL로 구성되어 있으며 바깥쪽 루프는 안쪽 루프에서 발생된 클럭을 가지고 더욱 세밀한 위상차를 가지는 클럭을 만들어 내는 디지털 DLL로 구성된다. 안쪽 아날로그 루프는 외부에서 입력되는 기준 주파수를 체배하여 데이터의 전송 속도의 1/10이 되는 250MHz 다중 위상의 클럭을 발생시키면 바깥쪽 디지털 루프에서는 입력 데이터에서 추출한 위상 정보를 바탕으로 발생된 다중 위상의 클럭들 사이를 더욱 작은 간격으로 나누어서 가장 적절한 클럭들을 선택하게 된다.

III. 시스템의 구조

3.1 수신단의 구조

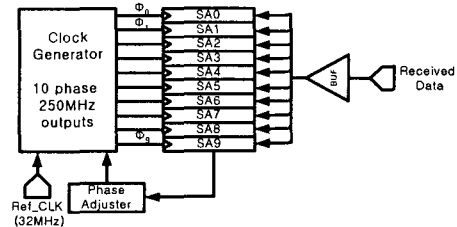


그림 3. 수신기의 블록도

그림 3은 제안된 다중 위상 클럭 발생기를 사용하여 구성된 수신기의 시스템이다. 수신기는 우선 들어온 신호를 받아들이는 입력 버퍼와 버퍼를 거친 시리얼 신호를 병렬로 바꾸어 주는 Deserializer 그리고 수신기의 클럭 신호를 만들어 주는 클럭 발생기 회로로 구성된다. Deserializer는 센스 앰프(Sense Amplifier) 10단을 병렬로 연결하고 각각의 센스 앰프에 클럭 발생기에서 나오는 서로 다른 위상의 클럭을 하나씩 연결함으로써 들어온 신호에 대하여 10대 1의 Serial-to-Parallel 변환을 행하였다. 이렇게 해서 센스 앰프의 응답 속도를 10분의 1로 낮추어 줄 수 있다. 이 센스 앰프에서 감지된 신호는 10 비트 크기의 플립 플롭에 저장된 후에 핀을 통하여 외부로 전달되도록 설계되었다. 이 센스 앰프가 제대로 동작하기 위해서는 들어오는 데이터 신호와 PLL에서 발생된 클럭 신호와의 동기를 맞추는 일이 매우 중요하다. 이를 위하여 전송선을 통하여 입력되는 데이터 신호를 가지고 클럭 발생기에서 만들어진 클럭 신호의 위상을 조정하는 위상 조정기가 필요하다.

3.2 수신기의 Front End

전송선을 통하여 전송된 고속의 시리얼 데이터는 전송선상에서 일정량의 감쇠를 경험하고 수신기의 입력 핀을 통하여 입력될 때 패키지와 패드의 리드 프레임 등을 거치면서 다시 한번 감쇠와 반사등을 경험하게 된다. 또한 송신기의 I/O 드라이버에서 오픈 드레인 형태를 사용하였다면 입력 신호는 Vdd와 Vdd에서 입력 신호 레벨 만큼 떨어진 전압 레벨 사이를 스윙하게 된다. 따라서 감쇠된 시리얼 입력 데이터의 진폭을 보상하고 다음 단의 센스 앰프가 정확한 값을 센싱할 수 있도록 입력 신호 레벨을 Vdd/2로 변환해야 할 필요

고속 시리얼 링크를 위한 다중 위상 클럭 발생기의 설계

가 있다. 차동 증폭기로 구현된 입력 버퍼가 이러한 역할을 담당하게 된다. 입력 버퍼를 거친 시리얼 데이터는 센스 앰프가 병렬로 10개 연결된 구조의 Deserializer의 입력으로 연결된다. Deserializer는 시리얼 데이터를 10 비트의 병렬 데이터로 만들어 준다. 각 DFF의 클럭 입력에는 클럭 발생기에서 나오는 10개의 클럭 신호를 하나씩 연결하고 수신기의 입력 버퍼를 거쳐서 나온 차동 신호를 10개 DFF의 공통 입력으로 취한다. 입력 데이터가 2.5Gbps의 전송속도를 가진다고 가정하면 입력 신호는 400ps의 데이터 윈도우를 가지게 되므로 역시 400ps씩 떨어져 있는 10개의 250MHz 클럭 신호에 의하여 병렬로 샘플링될 수 있음을 알 수 있다. 10개의 클럭 신호에 의해 샘플링된 데이터들은 ck9를 유닛 인버터 지연 시간만큼 지연시킨 클럭 신호에 의하여 동기된 10비트 DFF에 저장된다. 10번째 비트같은 경우에는 데이터 샘플링을 하자마자 다음 단의 DFF에 데이터를 저장해야 하므로 데이터가 저장되는 DFF의 경우에는 setup time이 짧은 것을 사용해야만 한다. 본 논문에서는 음의 setup time을 가지는 차동 래치 구조의 플립 플롭을 사용하였다.

3.3 다중 위상 클럭 발생기

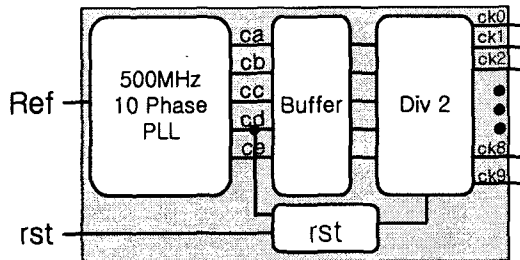


그림 4. 클럭 발생기의 블록도

제안된 다중 위상 클럭 발생기의 안쪽 아날로그 루프는 10개의 균일 위상을 가지는 250MHz 클럭 신호를 발생시킨다.

클럭 발생기의 동작을 자세히 살펴보면 먼저 전하 펌프 PLL의 VCO를 구성하는 다섯 개의 지연 소자들에서 400ps씩 떨어진 5개의 500MHz 클럭 신호 ca~ce가 발생되고 각각의 신호를 2분주하여 400ps씩 떨어진 10개의 250MHz 클럭 신호 ck0~ck9를 만들어 낸다. PLL의 출력 신호는 풀스윙(full swing)하지 않으므로 연속된 인버터 체인을 거쳐서 버퍼링해준다. 여기서 출력된 10개 위상의 클럭은 위상 조정기를 통하여 위상이 조정되어 시스템의 클럭으로 사용된다.

3.4 위상 조정기

제안된 위상 조정기는 위상 검출기, FSM, 그리고 위상 보간기(phase interpolator)를 이용하여 디지털 제어된다. 그림 5에서 볼 수 있듯이 위상 조정기는 클럭 발생기에서 나오는 10개 위상의 클럭을 받아서 인접한 두 위상 사이에 16개의 위상을 발생시키는 위상 보간기와 발생된 위상 중에서 적절한 클럭을 선택하는 위상 조절 로직, 그리고 발생된 위상을 가지고 입력 데이터를 샘플링했을 때 클럭의 위치를 판별하는 위상 검출기등으로 구성된다.

디지털로 제어되는 보간기는 16개의 세밀한 위상을 가지는데 클럭 발생기가 500MHz의 클럭 신호를 발생한다고 했을 때 인접한 두 개의 데이터 샘플링 위상 사이에는 400ps의 지연시간이 있고 이것을 다시 16개의 스텝으로 나누면 작게 나누어진 위상 사이의 스텝 사이즈는 25ps로 전체 회로 시스템의 jitter_{p-p}보다 훨씬 작다. 그러므로 디지털 위상 제어 루프에서 양자화로 인한 위상 오프셋은 무시할 수 있다.

위상 조절 로직은 위상 검출기의 UP/DN 출력을 count하여 UP/DN shift register를 동작시킨다. shift register의 출력은 16비트 온도계 코드이다.

위상 검출기는 기존의 호지 위상 검출기를 병렬로 10개 연결하고 위상 보간기에서 출력된 10개의 위상을 10개의 호지 검출기에 각각 연결한다. 각 검출기의 출력이 하나의 UI(400ps) 동안만 유효하도록 조합 회로를 구성하였다. 위상 조정기의 출력은 버퍼를 거쳐 데이터 윈도우의 중심에서 입력되는 데이터를 샘플링하기 위한 데이터 수신기 클럭으로 사용된다.

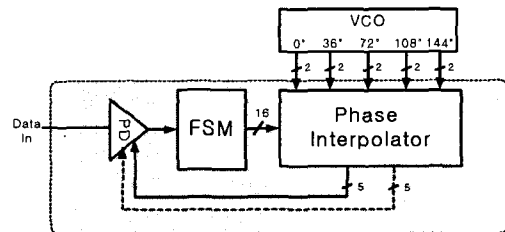


그림 5. 위상 조정기의 블록도

3.5 동기식 리셋 회로

그림 4에서 볼 수 있는 것처럼 duty correction회로의 입력은 VCO의 각 지연 소자에서 나오는 5개의 출력이다. 하나의 위상에서 180° 차이 나는 두 개의 위상이 만들어지고 duty correction회로의 출력은 고정되어 있으므로 어느 것이 먼저 만들어지느냐에 따라 클럭의 순서가 올바르게 나오지 않을 수도 있다. 그림 6

에서 볼 수 있듯이 cka,ckb,ckc보다 ckd나 cke가 먼저 출력되는 경우에는 ck0와 ck5, ck1과 ck 6 그리고 ck2와 ck7의 순서가 바뀌게 된다. 따라서 ck0가 가장 먼저 출력되도록 하기 위하여 cd의 rising edge에 reset이 끝나도록 해야 한다(동기식 리셋). cd와 ca의 사이는 400ps이고 이 사이에 duty correction 회로의 플립 플롭들을 리셋시켜야만 하기 때문에 지연시간이 적은 TSPC형태의 플립 플롭을 이용하여 리셋 회로를 구성하였다.

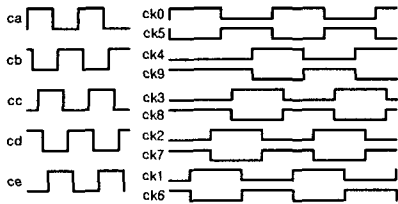


그림 6. 클럭 발생기 출력의 타이밍도

VI. 모의 실험 결과

클럭 발생기의 CPPLL이 입력 기준 주파수에 고정된 후에 발생된 다중 위상 클럭 출력을 그림 7에 나타내었다. 발생된 클럭간의 간격은 375ps ~ 415ps로 이미 jitter를 포함하고 있음을 알 수 있다. 이것은 클럭 발생기의 마지막 단계 분주기로 돌아준 센스 앰프형 DFF의 출력에서 Q와 Qb가 동시에 발생하지 않기 때문에 일어나는 현상이다.

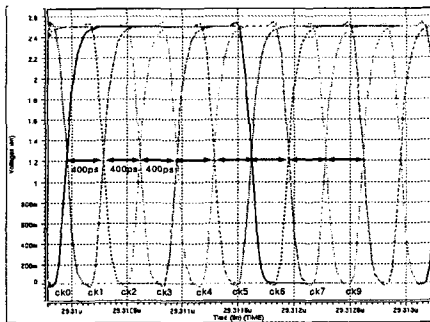


그림 7. 클럭 발생기의 출력 파형

V. 결론

본 논문에서는 고속 시리얼 링크를 구현하고자 할 때 low jitter와 low power 특성을 만족시키기 위하여 사용할 수 있는 다중 위상 클럭 발생기를 제안하였다. 제안된 다중 위상 클럭 발생기는 클럭 발생기와 위상

조정기로 구성되어 있으며 클럭 발생기는 주파수 체배가 가능한 CPPLL을 이용해서 구현하였고 위상 조정기는 잡음이 많은 환경에서도 위상 에러가 누적될 염려가 없는 DLL을 이용하여 구현하였다.

설계된 다중 위상 클럭 발생기는 2.5V 공급전압에서 0.25 μ m CMOS 파라미터를 이용하여 모의 실험하였다. 모의 실험 결과 구현된 클럭 발생기는 36°씩 떨어진 10개 위상의 250MHz의 클럭 신호를 발생시키며 100.63mW의 전력을 소모하였다. 본 논문에서 제안한 다중 위상 클럭 발생기는 InfiniBand와 같은 고속 시리얼 링크에서 250Mbps의 10비트 병렬 데이터 신호를 2.5Gbps의 속도로 전송시킬 수 있는 데이터 멀티플렉싱 기술에 응용할 수 있다.

참고문헌

- [1]Stefanos Sidiropoulos and Mark A. Horowitz, "A Semidigital Dual Delay-Locked Loop," IEEE Journal of Solid State Circuit VOL. 32, NO. 11, Nov. 1997, pp. 1683-1692
- [2] A Fiedler, R. Mactaggart, J.Welch, and S. Krishnan, "A 1.0625 Gbps transceiver with 2x-oversampling and transmit signal pre-emphasis," in ISSCC Dig. Tech. Papers, Vol.40, Feb. 1997, pp. 238-239
- [3] Kun-Yung Chang, "Design of A CMOS Asymmetric Serial Link," PhD Thesis, Stanford University, California, 1999
- [4] Stefanos Sidiropoulos, "High Performance Inter-Chip Signalling," Technical Report No.CSL-TR-98-760, 1998
- [5]Richard Gu, James M. Tran, Heng-Chih Lin, Ah-Lyan Yee and Martin Izzard, "A 0.5-3.5Gb/s Low Power Low-Jitter Serial Data CMOS Transceiver," ISSCC Dig. Tech. Papers, Vol.42, Feb. 1999, pp.352-354