

8-bit 60Ms/s 파이프라인 아날로그 디지털 변환기

조은상, 정강민

성균관대학교 전기전자 및 컴퓨터공학과

전화 : 031-290-7194 / 핸드폰 : 011-9016-9694

A Pipelined 60Ms/s 8-bit Analog to Digital Converter

Eun-Sang Jo, Kang-Min Chung

Dept. of Electronics, Sung kyun kwan University

E-mail : jes51@orgio.net

Abstract

This paper introduces the design of high-speed analog-to-digital converter for high-definition TV, camcorders, portable equipments and implemented in a $0.65\mu\text{m}$ CMOS technology. Key circuits developed for low power and high speed A/D converter are a dynamic comparator that consumes no static power, a source follower buffered op amp that achieves wide bandwidth using large input devices. The converter achieves low power dissipation of 40-mW at 3.3-V power supply. Measured performance includes 0.53 LSB of INL and 0.48 LSB of DNL while sampling at 60MHz.

I. 서론

최근 들어 고화질TV, 휴대용장비, 캠코더등의 응용 분야에 쓰이는 analog-to-digital converter의 중요한 요소로 부각되고 있는 것이 고속, 저전력에 대한 기술이다. 그리고 그들 응용분야에는 적어도 8-bit의 해상도와 40Msample/s 변환율이 요구되어진다.

flash A/D converter의 구조로도 상당히 높은 샘플링율을 얻을 수 있지만 큰 칩 면적과 많은 전력소비의 문제점을 피할 수 없게 된다.

또한 folding A/D converter는 고속 동작과 칩면적을

만족시키지만 저전력 측면과 환경과 process 변화에 민감하여 좋은 성능을 내지 못하는 단점을 지니고 있다. 그러므로 고속, 저전력, 작은 칩면적을 만족시킬수 있는 pipeline 구조를 선택하여 A/D converter를 설계하였다. 본 논문에 쓰여진 pipelined A/D converter는 각 단에서 S/H 회로의 사용으로 좋은 input dynamic 성능을 추구했으며, 스위치드 커패시터 gain stage의 빠른 feedback factor로 적은 전력소비를 가지고 높은 샘플링율을 성취 할수 있게 했다. 그리고 전력소비를 줄이기 위한 기법으로 dynamic 비교기의 사용, stage 수의 증가에 따른 커패시터 사이즈의 감소를 추구했다. 하지만 이러한 접근은 각 단에 대한 layout에 대한 불이익을 지닌다. 위의 기술을 기반으로 하여 8-bit 8-stage pipelined A/D converter를 $0.65\mu\text{m}$ CMOS technology를 사용하여 설계하였다..

II. Pipeline ADC Architecture

간략화된 N-stage, 1-bit per stage A/D converter 블록도가 그림 1에 보여지고 있다. converter는 sample-and-hold amplifier로 시작되며 연속적인 pipeline stages로 구성된다. 각 SHA 사이에는 2이득 amplifier, 1-bit D/A converter, 1-bit A/D converter, analog subtractor로 이루어진다. 이러한 M개의 연속적인 pipeline stages은 완전한 M-bit A/D converter를 이룰수 있다. 또한 stage내의 local 1-bit A/D converter

의 구조를 그림 2에 나타내었다.

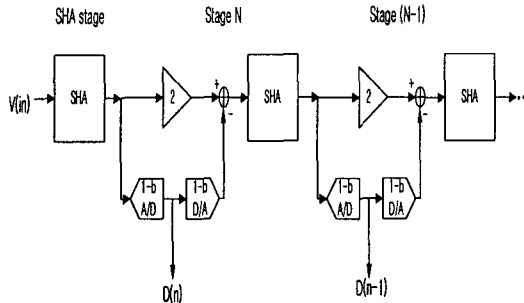


그림 1. Pipeline ADC architecture

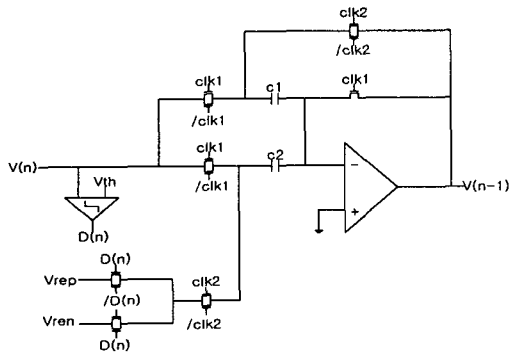


그림 2. Switched capacitor 1-bit pipeline stage

그림 2에서 comparator는 stage로 들어오는 아날로그 입력과 threshold 전압 V_{th} 와의 차이를 감지해내며, 1-bit D/A converter는 스위치들의 쌍으로 형성된다. 이들 스위치들은 두 개의 기준전압인 V_{rep} 와 V_{ren} 의 하나를 출력과 연결시키는 기능을 한다. pipeline내에서 임의의 stage의 분석 가능한 입력 범위는 converter의 분석 가능한 입력범위가 될 것이며, 이는 기준전압들 사이의 차에 의해서 결정될 것이다.

A/D converter의 분석 가능한 입력범위는 입력들의 범위로 정의되며 이상적인 경우 error가 ± 0.5 LSB내에 존재한다. 각 pipeline stage내의 2이득 amp는 pipeline 알고리즘을 수행하는 필수적인 역할을 담당하며 이전 stage의 total 이득과 비례해 pipeline stage의 선형성, 오프셋, 노이즈 등의 요구를 감소시킨다.

그림 2는 두 개의 동일한 커패시터 c_1 과 c_2 , op-amp, comparator로 구성된다.

sampling phase clk_1 에서 pipeline의 n번째 stage로의 입력 $V(n)$ 은 c_1 과 c_2 위에 sampling되어지며, 이 phase

의 끝지점에서 comparator는 입력 범위의 중간전압인 V_{th} 와 비교를 수행한다.

여기서 comparator의 threshold 전압 V_{th} 는 다음과 같이 이루어진다.

$$V_{th} = \frac{V_{rep} + V_{ren}}{2}$$

또한 comparator의 디지털 출력 $D(n)$ 은

$$D(n) = 1, \text{ if } V(n) \geq V_{th}$$

$$D(n) = 0, \text{ if } V(n) \leq V_{th}$$

의 값을 지니게 된다.

그리고 multiply, subtract phase clk_2 에서 c_2 의 bottom plate가 V_{rep} 또는 V_{ren} 의 기준전압과 연결 될때 c_1 의 bottom plate는 op-amp의 출력과 연결된다.

만일 stage내의 모든 성분들이 이상적으로 이루어졌다면 stage의 출력전압은 아래와 같을 것이다.

$$V(n-1) = 2V(n) - D(n)V_{rep} - /D(n)V_{ren}$$

이 전압은 다음 pipeline stage의 입력으로 들어가며, 위와 같은 동일한 동작이 수행된다. 이러한 방식으로 디지털 출력 비트들은 연속적으로 결정되며, MSB와 LSB를 이루게 될 것이다. 또한 각 stage의 전달특성을 그림 3에 나타내었다.

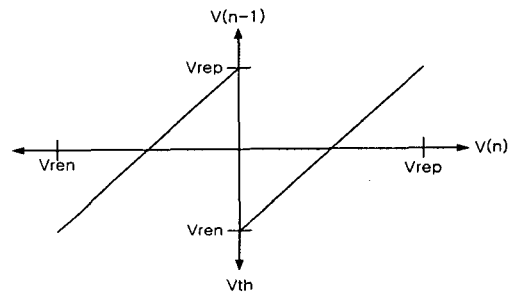


그림 3. 이상적인 전달 특성

III. Stage Implementation

A. Operational Amplifier

pipeline stage내에 사용되어진 op-amp topology를 그림 4에 나타내었다. 8-bit의 선형성을 성취하기 위해 서 op-amp의 dc 이득은 60 dB보다 커야 한다.

8-bit 60Ms/s 파이프라인 아날로그 디지털 변환기

또한 빠른 settling time을 성취하기 위해서 넓은 bandwidth가 요구된다. 이를 만족하기 위해서 two stage fully differential amp로 설계하였다. 첫 번째 stage는 folded cascode이며, 두 번째 stage는 common sourcer 구조로 dc 이득을 높이고, 출력 스윙을 최대로 할 수 있게 했다. 또한 cascode 보상을 통해서 bandwidth를 증가 시켰다.

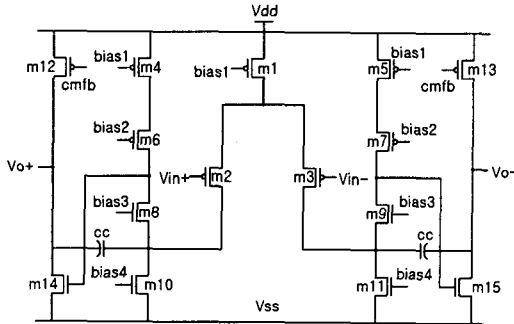


그림 4. Operational Amplifier

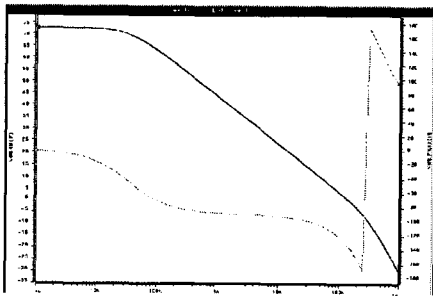


그림 5. op amp의 Freq 특성

DC gain : 73.18dB
Unity-gain freq(10-pf load) : 152MHz
Phase margin : 62deg
Power consumption : 4.2mW

[Measured op-amp 특성]

B. Comparator

그림 6는 fully differential dynamic comparator를 보여주고 있다. 이 comparator의 decision 레벨은 입력 transistor widths의 비율을 변화시킴으로써 결정되어진다. 또한 sampling capacitor도 필요로 하지 않는다.

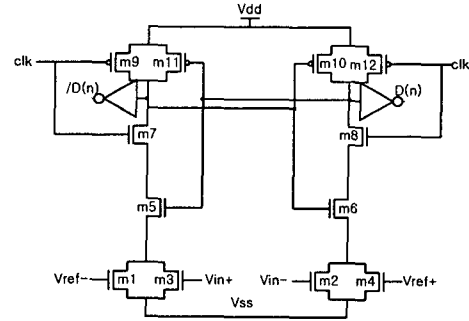


그림 6. Dynamic comparator

m1, m2, m3, 그리고 m4의 NMOS 디바이스들 triode 영역에서 동작하며, 입력과 기준전압 단자에 연결된다. m9, m10, m11, m12 은 cross-coupled 인버터 래치를 형성하며, clk이 high일 때 연산이 수행되며, 인버터를 통과해 확실한 decision을 형성한다. 그리고 clk이 low일 때 연산을 수행하기 위한 precharging이 이루어진다. 또한 입력단에 발생하는 kickback noise를 줄이기 위해서는 입력단에 pre-amp가 요구되지만 이 noise는 비교적 작은 값을 지니기 때문에 결과에는 별로 영향을 미치지 않는다. 이 comparator의 성능은 아주 빠른 분석능력과 10bit 이상의 고해상도를 지니지만 부정합에 따른 영향을 받기 쉬우므로 이를 잘 고려해 주어야 한다.

IV. 결론

제안된 A/D converter의 성능은 아래 표와 같다.

ADC 성능	
해상도	8bit
최대 변환속도	60Ms/s
DNL	-0.48 ~ +0.4LSB
INL	-0.32 ~ +0.53LSB
전력소비	40mW
입력범위	0.65 ~ 2.65V
공급전압	single 3.3V
공정	0.65μm CMOS

본 논문은 8-bit 60Msample/s, 40mW pipelined A/D converter를 0.65μm CMOS 공정으로 설계하였다. 전체 system은 cascade로 연결된 8개의 stages과 digital correction 부분으로 구성되었으며, stage당 1bit을 출력하고 있다.

그리고 이 변환기의 주요특징을 살펴보면 dynamic comparator를 사용하여 static 전력소비를 최대한 줄이고, two stage fully differential amp를 사용해 높은 dc 이득과 cascode보상을 통한 bandwidth를 증가를 추구했다.

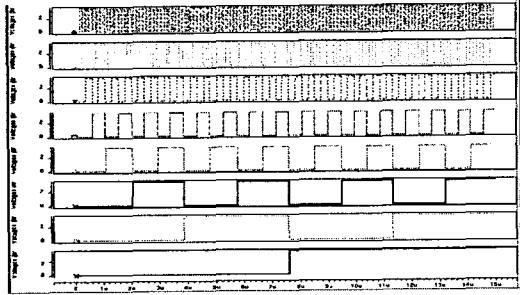


그림 7. 시간에 따라 증가하는 선형입력에 대한 ADC 출력

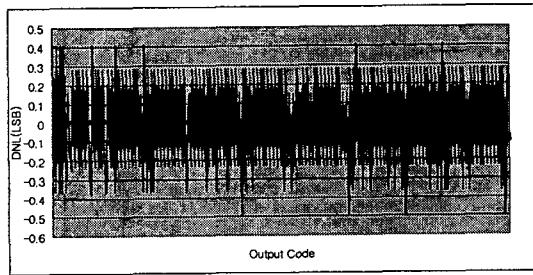


그림 8. 제안된 ADC의 DNL 특성

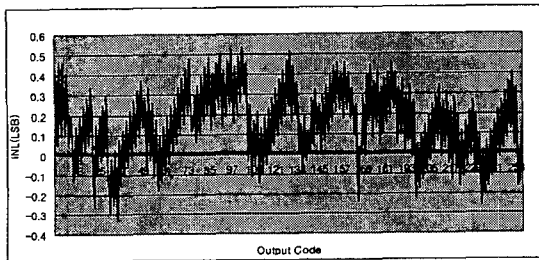


그림 9. 제안된 ADC의 INL 특성

그림 7은 0.65부터 2.65V까지 선형적으로 증가하는 디지털 출력코드이다. 제안된 ADC의 특성을 살펴보면 60Msample/s 변환시 40mW의 전력소비와 입력범위는 0.65~2.65V로 나타났다.

제안된 ADC의 DNL(Differential non-linearity) error, INL(Integral non-linearity) error는 $-0.48 \sim +0.4$ LSB, $-0.32 \sim +0.53$ LSB로 그림 8,9에 나타내었다.

<참고문헌>

- [1] S. Kiriaki, " A 0.25mW sigma-delta modulator for voice-band applications," in Symp. VLSI circuits Dig. Tech. Papers.1995, pp.35-36
- [2] N. Tan and S. Eriksson, " A low-voltage switched-current delta-sigma modulator," IEEE J. Solid-State Circuits, Vol. 30, pp.599-303, May. 1995er, " A low-power 12-b analog-to-digital
- [3] Analog Devices, "Software Radios," Microwave J.,pp. 128-136, Feb. 1996
- [4] M. de Wit, K. S. Tan, and R. K. Hest converter with on-chip precision trimming," IEEE J. Solid-State Circuit, vol. 28, pp. 455-461, Apr. 1993
- [5] A. Karanicolas, H. LEE, and K. Bacrania, " A 15-b 1-M Sample/s digitally self-calibrated pipeline ADC," IEEE J. Solid-State Circuits, vol. 28, pp.1207-1215, Dec. 1993.
- [6] S. H. Lewis and P. R. Gray, " A pipelined 5Msamples/s 9 bit analog-to-digital converter," IEEE J. Solid-State Circuits, vol. SC-22, pp.954-961, 1987.
- [7] C. S. G. Conroy, D. W. Cline, and P. R. Gray, " An 8-bit 85-MS/s parallel pipeline A/D converter in 1- μ m CMOS," IEEE J. Solid-State Circuits, vol.28, no.4, pp.447-454, 1993.
- [8] T. B. Cho and P. R. Gray, " A 10-b 20Msample/s 35mW pipeline A/D converter," IEEE J. Solid-State Circuits, vol.30, pp.166-172, 1995
- [9] B. Davari, R. Dennard, and G. Shahidi, " CMOS scaling for high performance and low power-the next ten years," Proc. IEEE, vol. 83, pp. 595-606, Apr. 1995.
- [10] Analog Devices, " Software Radios," Microwave J., pp. 128-136, Feb. 1996.