

# 60MHz에서 동작하는 QPSK Demodulator의 후반부 설계

\*신수경, \*\*최영식

동의대학교 전자공학과

전화 : 051-890-1938 / 핸드폰 : 016-842-6438

## The physical design flow of QPSK Demodulator in operating 60MHz

\*Su-Kyoung Shin, \*\*Young-Shig Choi

Donggeui University

E-mail : \*mrssk@hanmail.net, \*\*yschoi@hyomin.donggeui.ac.kr

### Abstract

The paper describes the physical design flow of QPSK Demodulator in operating 60MHz. It includes problems and issues of each design flow, verification process for physical layout.

이아웃을 실시하였고, 이 매크로 블록에 대한 데이터베이스 또한 ArcCell 데이터베이스로 변환을 실행하였다 [2]. 본 칩의 Physical 레이아웃 설계는 floorplan 및 몇 과정을 제외하고는 전체 설계 중에 각 단계를 일괄처리 작업을 수행할 수 있게 파일을 작성하여 반복되어지는 각 과정에 대한 시간을 상당히 감소시킬 수 있었다.

### I. 서론

Physical 설계 순서는 완전 주문형 레이아웃 툴 또는 P&R(자동 배치와 연결) 툴을 무엇으로 사용할 것인가에 따라 좌우된다. 본 60MHz에서 동작하는 QPSK Demodulator의 후반부 설계는 C&G Technology사에 ArcCell 3.1 버전을 사용하여 진행하였다[1]. 또한 표준 셀 라이브러리는 Cadence사의 Design Framework-II에 해당하는 Opus 레이아웃 편집기를 사용하여 physical 설계를 실행하였다. 여기서 기존 셀 라이브러리의 데이터베이스가 소프트웨어와의 호환 문제로 셀 라이브러리 데이터베이스를 P&R용 라이브러리로 변환하여야 했고 실제 변환하는데는 별 문제가 없었다. 이렇게 하여 ArcCell P&R 라이브러리가 완성되면 P&R을 실행할 수 있는 준비가 되고 실제 논리 설계의 결과로 만들어진 네트리스트를 가지고 physical 데이터베이스와 논리 데이터베이스를 서로 정합하는 과정을 수행하면 자동 P&R을 하기 위한 데이터베이스는 모두 준비가 된다. 본 칩의 매크로 블록 중에 ROM과 SRAM에 대한 레이아웃은 OPUS 레이아웃 편집기를 사용하여 완전 주문형 레

### II. Physical Design Flow

#### 2.1 기본 자료 준비

본 절에서는 최상위 단계 논리 시뮬레이션 결과인 논리 네트리스트와 네트리스트에서 사용되어진 셀들의 physical 레이아웃들과 매크로 블록의 physical 레이아웃들을 P&R 툴의 데이터베이스로 변환하여 최상위 단계 설계에 대한 라이브러리를 생성하여 배치와 연결을 할 수 있게 하는 준비 과정이다. 그림 1에서 라이브러리를 생성하는 과정 및 floorplan을 위한 각 준비 단계를 표시하였다. 여기에 논리회로 시뮬레이션 결과로 생성된 네트리스트를 가지고 설계 라이브러리를 생성하면 모두 세 개의 라이브러리를 만들게 된다.

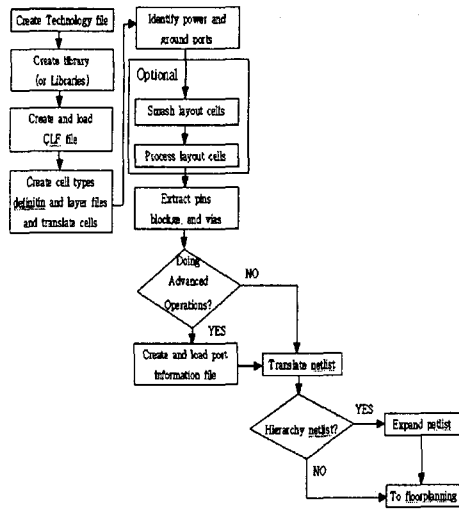


그림 1. 기본자료 준비 과정

## 2.2 Floorplanning

Floorplanning 과정은 P&R 레이아웃에서 칩 면적을 결정하는 가장 중요한 과정으로서 기본 자료 준비 단계가 끝나면 수행되어지는 과정이다.

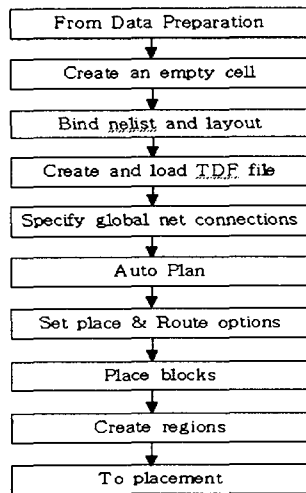


그림 2. Floorplanning 과정

12개의 매크로 블럭과 2개의 표준 셀 영역으로 상위 레이아웃을 구성하는데 우선 floorplan을 하기에 앞서서 상위 레이아웃을 구성할 수 있는 새로운 레이아웃을 생성하여야 하는데 여기서는 Empty Cell이라 언급하겠다.

이 Empty Cell에 위에서 언급한 기본 자료를 배치하기 위해서 레이아웃과 네트리스트를 연결하여야 한다. 실제 논리회로 네트리스트는 기본 자료를 준비하는 과정에서 확장된 상태이고 이 확장된 네트리스트를 레이아웃 Empty cell에 연결을 하면 floorplan을 하기 위한 작업을 마친 셈이다. 실제로 floorplanning과정을 그림 2에 표시하였다.

## 2.3 Placement

배치는 floorplanning을 끝낸 결과를 가지고 각각의 영역에 해당되는 표준 셀을 칩에 배치하는 과정이다. 배치를 잘 하기 위해서는 선택적 사양을 잘 사용해야 하는데 시간과 칩의 크기에 큰 영향을 미친다. 배치과정을 그림 3에 표시하였다.

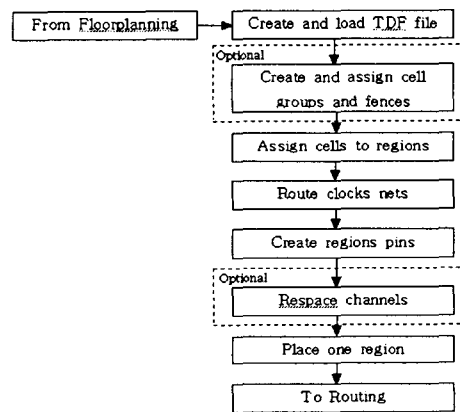


그림 3. Placement 과정

본 칩에서는 칩의 면적을 최적화하기 위해 ArcCell P&R 툴의 작업시간을 충분히 했는데, 실제로 작업시간이 짧은 경우에는 배치의 결과가 좋지 않았다. 또한 각각의 영역에 대한 배치를 수행한 후 각 영역에 연결을 수행했는데, 이것은 전체 영역을 배치하고 연결을 실시하는 방법보다 면적에 대한 상당한 차이를 보이고 결과가 상당히 좋았음을 알 수 있었다. 영역에 대한 표준 셀의 배치 과정은 전체 상위 레이아웃을 수행하는데 있어서 가장 많은 작업시간을 필요로 하고 실제로 본 칩에서는 cpu time으로만 24시간 이상이 소모되었다. 또한 본 칩에서는 클럭 넷 합성 구조를 논리 네트리스트상에서 이미 기술되어 있기 때문에 실제 P&R 레이아웃에서는 클럭 연결을 주로 다루었다.

## 60MHz에서 동작하는 QPSK Demodulator의 후반부 설계

### 2.4 Routing

ArcCell P&R 툴에서의 연결은 크게 세 가지로 구분되어 연결이 이루어지고 각각의 연결 단계를 그림 4에 표현하였다. 첫째는 intra region 연결인데 이것은 net connection을 하는 연결이다. 또한 이 연결과정에서는 floorplanning에서 언급된 클럭 네트에 대해서도 동시에 연결이 이루어진다. 둘째는 inter region 연결인데 이것은 표준 셀들의 영역과 영역 사이의 전원 연결 및 일반 신호에 대한 net connection을 하는 연결이다. 셋째는 intra region과 inter region을 제외한 입출력 영역에 해당되는 연결이다. 그리고 연결을 수행할 때는 Metal1과 Metal3은 수평적으로, Metal2는 수직적으로 연결이 이루어지는데 본 칩에서는 Metal1, Metal3의 연결 특성을 수직적으로 해줌으로서 routability를 최적화하였다[3].

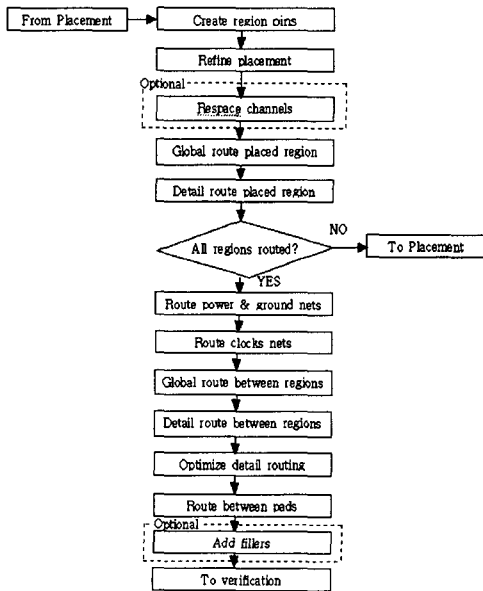


그림 4. Routing 과정

## III. Physical Design Verification

일반적으로 physical 레이아웃을 수행하고 나면 그 설계에 대한 physical 설계 규칙 및 전기적인 규칙 그리고 레이아웃과 회로도를 비교하는 physical 설계 검증을 진행한다. 본 칩도 역시 자동 P&R 툴로 설계된 physical 데이터를 검증하기 위하여 Cadence사의 physical 데이터 검증 프로그램인 Dracula를 사용하였다.

### 3.1 Design Rule Check (DRC)

DRC은 전체 칩 레이아웃이 완료된 후 패턴 생성을 하기 전에 physical 레이아웃의 기하학적인 모양을 점검하는 것으로 기술적으로 제공된 설계 규칙에 따라 레이아웃의 기하학적 모양을 점검하게 된다.

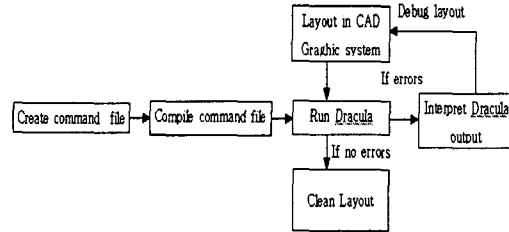


그림 5. Dracula Layout 검증 과정

만약 Dracula가 에러를 발견하면 에러 보고서와 에러 데이터베이스를 발생하고 이러한 것은 레이아웃을 수정하는데 사용되어 모든 레이아웃이 완전히 검증될 때까지 반복 수행하게 된다. 이러한 과정을 그림 5에 나타내었다. 이렇듯 DRC 규칙이 점검되면 기술적으로 관계된 기하학적인 모양의 점검은 수행된 것이고 실제 마스크 문제와 제조수율에 상당한 영향을 끼칠 수 있다.

### 3.2 Electrical Rule Check (ERC)

ERC는 전기적 규칙 위반에 대한 것을 점검하는 것으로 global 신호 즉 전원 신호 사이의 개방 및 단락을 감지한다. ERC를 수행함으로써 감지되는 에러 형태에는 다음의 두 가지 형태가 존재하는데, 첫째는 과정에 독립적인 에러로써 단락 회로, 개방 회로, floating nodes와 같은 것들이 포함된다. 둘째는 과정에 종속적인 에러로써 정상적이지 못한 소자와 부적절한 주입 형태, 부적절한 기판 바이어스, 부적절한 전력과 접지 연결, 상이한 노드들과 같은 것들이 포함된다. 본 칩은 전체 칩 레이아웃의 ERC를 수행하였고 실제로 발생한 에러는 존재하지 않는다.

### 3.3 Layout Versus Schematic (LVS)

LVS는 트랜지스터 단계에서의 레이아웃 설계와 본래의 회로도를 비교하여 검증하는 것이다. LOGLVS는 dracula 네트워크 컴파일러로 LVS를 진행하기 위하여 논리 시뮬레이션 넷리스트 또는 spice 넷리스트로부터 회로도를 준비한다. 그림 6에 LVS 과정을 나타내었

다.

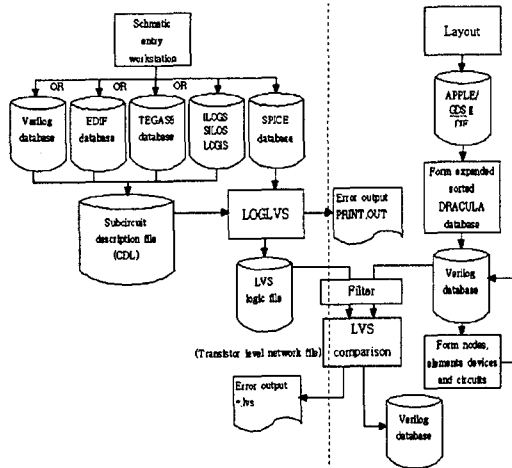


그림 6. LVS 과정

이와 같이 LOGLVS를 위하여 입력 데이터베이스는 여러 가지 형태의 데이터 형식이 될 수 있고 이러한 데이터 형식 모두가 회로도 네트리스트를 근본으로 한다. 본 칩에서 LVS를 수행하면 몇 가지 에러가 발생하는데, 이것은 레이아웃의 전원 패드에 포함된 다이오드에 대한 소자로 무시될 수 있는 에러이었다. 이처럼 LVS를 수행하고, 에러에 대한 수정이 완료되면 후반부 시뮬레이션을 진행할 수 있게 된다.

#### IV. 결론

일반적인 physical 설계에는 완전 주문형 레이아웃과 자동 P&R이 있고 또는 이 둘을 혼합 사용하는 방법 등이 있다. 그리고 어떤 툴을 사용하는가 또는 어떻게 사용했는가에 따라 칩의 성능과 크기가 좌우된다. 본 60MHz에서 동작하는 QPSK Demodulator의 후반부 설계는 C&G Technology사의 ArcCell 3.1버전을 사용하여 P&R을 진행하였다. Physical 설계 수행 절차에서 가장 중점을 두어야 하는 과정은 floorplan 과정이다. 이 과정은 실제 칩의 면적을 결정하는 중요한 요소로 작용되며, 실제 physical 설계 시에 상당한 시간을 투자하여 신중하게 진행하였다. 본 칩은 0.35um 공정을 사용하여 P&R을 한 결과, 칩의 크기는 25mm<sup>2</sup> 이었다.

#### 참고문헌

[1] ETS 300 421 European Telecommunication

Standard, "Digital Broadcasting Systems for Television, Framing Structure, Channels Coding and Modulation for 11/12GHz Satellite Services", August, 1994.

[2] Neil H.E. Weste and Kamran Eshraghian, Principles of CMOS VLSI Design, 2nd Edition, Addison-Wesley, New York, 1994.

[3] M. Sarrafzadeh and C. K. Wong, An Introduction to VLSI Physical Design, McGraw-Hill, New York, 1996.