

실리콘 Membrane 구조 형성을 위한 Wet Etching에 관한 연구

°김 동 수(金東秀), 정 원 채(鄭遠采)

경기대학교 전자공학과

전화 : (031) 249-9795 / 팩스 : (031) 249-9796

A study on wet etching for silicon membrane construction formation

Dong Soo Kim, Won chae Jung

Department of Electronic Engineering Kyonggi University

E-mail : °semicon@kuic.kyonggi.ac.kr

wcjung@kuic.kyonggi.ac.kr

Abstract

In this paper, we have presented processing technique about wet etching for silicon membrane construction formation. In order to make selective etching of backside silicon wafer, we used Si_3N_4 layer by PECVD(Plasma Enhanced Chemical Vapor Deposition). We have measured the surface thickness in backside silicon wafer after anisotropic wet etching with KOH:distilled water solutions. Through this experiment, we acquired the etching rate for $1.29\mu\text{m}/\text{min}$. The average rough of Si-membrane frontside and backside was $0.26\mu\text{m}$, $0.90\mu\text{m}$, respectively.

(Silicon bulk micromachining)은 단결정 실리콘의 이방성 습식식각 특성을 이용한 것으로, 식각 방지막을 이용하여 정밀한 구조물의 제작이 가능하다[3][4]. 또한 웨이퍼 단위의 소자제작시 Si 박막 멤브레인의 두께 오차에 따른 각 소자간의 특성변화를 줄이기 위해서는 Si 멤브레인 두께 제어기술 개발이 절실히 요구되고 있다. 실제로 실리콘 웨이퍼의 초막막화공정을 위한 기술을 위해서 에칭기술을 정확히 조절할 수 있어야 한다[3][4]. 본 논문에서는 PECVD(Plasma Enhanced Chemical Vapor Deposition)방법으로 Si_3N_4 층을 증착한 실리콘웨이퍼에 항온수조와 KOH를 이용하여 이방성 습식식각(anisotropic wet etching)방법을 통한 실리콘 박막의 여러 가지 특성을 분석하였다.

I. 서론

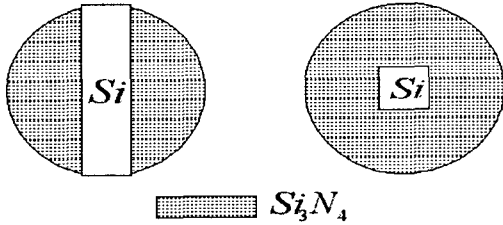
각종 기기들의 경박 단소화 추세와 정밀을 요구하는 환경이 구축되고 있는 현재 사회에서 반도체와 더불어 센서 및 액츄에이터는 필수적인 기술이며 현재는 인체용 의료기기 및 정밀기기등에 일부가 사용되고 있으나 앞으로 초소용 기기의 수요는 대폭 증가 될 것이라 판단된다. 이러한 것들을 가능하게 하는 기술이 MEMS (Micro Electro Mechanical System)이다[3].

MEMS 기술중에서도 실리콘 몸체 미세 가공기술

II. 실험방법 및 측정결과

본 연구에서는 $550\mu\text{m}$ 두께의 <100> P-type Si기판을 사용하여 300°C 의 공정온도를 적용한 PECVD(Plasma Enhanced Chemical Vapor Deposition)방법으로 증착된 Si_3N_4 박막을 이용하여 선택적인 실리콘 식각 실험을 하였다. 실험은 두개의 샘플을 준비하여 실험하였다. 하나는 그림 1(a)과 같이 실리콘웨이퍼 뒷면은 가운데 부분만을 제외한 다른 부분을 PECVD방법으로 Si_3N_4 를 $1\mu\text{m}$ 증착시키고 전면은 $0.5\mu\text{m}$ 의 두께로 증착시켰다. 두 번째는 그림 1(b)와 같이 실리콘 웨이퍼의 뒷

면에 실리콘 조각을 실리콘 접착제로 붙인 다음 PECVD공정을 수행하여 1 μ m의 두께로 Si₃N₄ 층을 증착하였다. 전면은 샘플 1과 같다.



- (a) 위와 아래쪽을 차단하지 않은 경우
 - (b) 위와 아래를 차단한 경우
- 그림 1. 실리콘웨이퍼의 뒷면 패턴 형성과정.

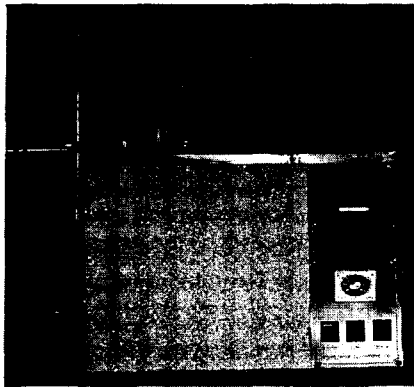


그림 2. 실리콘웨이퍼 식각을 위해서 사용된 항온수조

그림 2는 자체 제작하여 사용한 항온수조 그림이다. 이러한 식각장치는 수조에 수돗물을 채우고 중간의 비이커에 KOH용액을 부은 다음 국자형태의 플라스틱 웨이퍼 거치대를 KOH용액속에 담근다. 이 국자형태의 웨이퍼 거치대는 바닥면에 작은 구멍이 많이 있다. 따라서 실리콘웨이퍼 식각후에 웨이퍼를 들어올리면, KOH용액이 아래의 비이커로 빠져나가게 된다. 식각용액은 95℃의 온도에서 실리콘 식각용액인 KOH를 증류수와 섞어서 45%의 무게비로 만들어 사용하였다. 식각후에 실리콘웨이퍼의 단면도는 KOH가 이방성 식각의 특성 때문에 수직방향에서 약 54.3°의 각도로 비스듬한 형태로 그림 3과 같이 식각된 형태를 나타낸다 [1][2].

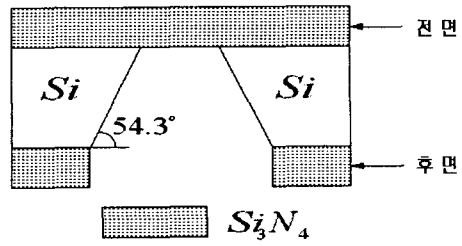


그림 3. PECVD로 양면증착후 실리콘웨이퍼의 식각된 후면의 단면도

식각후에 FESEM(Field Emission Scanning Electron Microscopy)의 측정결과는 다음과 같다.

그림 4는 2시간 에칭후에 399 μ m의 실리콘두께가 남아 있는 단면도를 나타낸다. 아래 검은색 부분은 접착테이프를 나타낸다

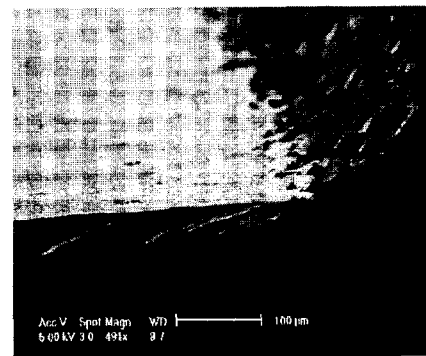
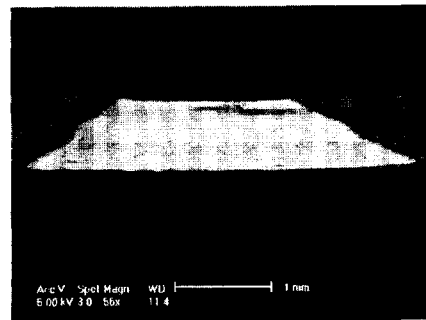


그림 4. 2시간 실리콘웨이퍼의 에칭후의 뒷면의 단면도(上) (下:확대)

그림 5는 3시간 에칭후에 남아있는 실리콘의 두께는 약 204 μ m를 나타내었다. 왼쪽 끝부분은 부서진 모퉁이를 나타낸다. 흰부분이 실리콘을 나타낸다.

실리콘 Membrane 구조 형성을 위한 Wet Etching에 관한 연구

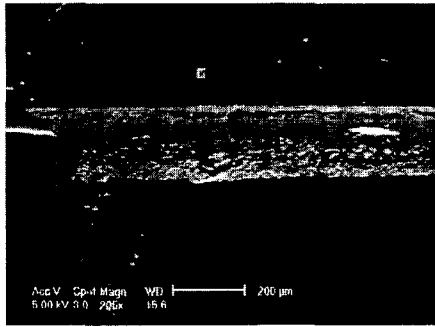


그림 5. 3시간 에칭후의 단면도

4시간후에 에칭된 단면도는 아래의 그림 6과 같다. 남아있는 실리콘의 두께는 약 215 μm를 나타내었다. 에칭후에 바닥의 폭은 3.56 mm 이다.

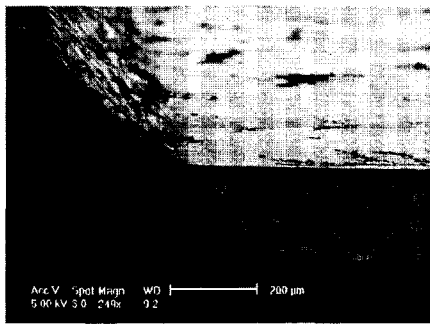


그림 6. 4시간 KOH 에칭후의 단면도

6시간후의 에칭된 단면도는 아래의 그림 7과 같다. 남아있는 실리콘의 두께는 약 58.9 μm를 나타내었다.

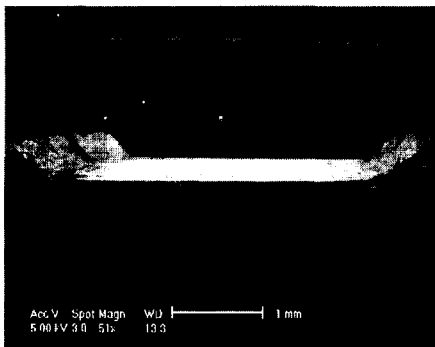


그림 7. 6시간 에칭후의 단면도

그림 8은 Veeco 장비로 측정된 Si₃N₄/Si구조에 Si₃N₄층의 표면조직형태를 나타내고 있다. 그림 9는 표면의 평균 거칠기는 0.26μm, RMS(root mean square)는 0.35 μm를 나타내었다.

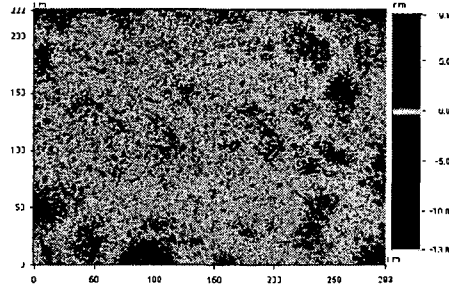


그림 8. Veeco 장비로 측정된 Si₃N₄/Si구조에 Si₃N₄층의 표면조직형태

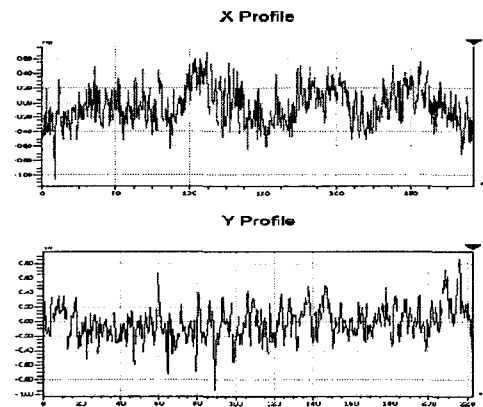


그림 9. Veeco 장비로 측정된 Si₃N₄/Si구조에 Si₃N₄층의 표면조직의 거칠기

그림 10은 Veeco 장비로 측정된 Si₃N₄/Si구조에 Si₃N₄층의 뒷면조직형태를 나타내고 있다. 그림 11은 Veeco 장비로 측정된 Si₃N₄/Si구조에 Si₃N₄층의 뒷면조직형태로써, 표면의 평균 거칠기는 0.90μm, RMS(root mean square)는 1.18μm를 나타내었다.

III. 결론

실리콘 membrane 구조의 제작을 위한 공정기술은 KOH 식각방법을 통하여 구체적으로 본 연구에서 성공적으로 나타내었다. 특히 웨이퍼의 뒷면에 선택적 에칭을 적용하기 위해서 Au를 전기도금하여 에칭공정을 시도하였으나, 알칼리용액인 KOH 에서는 다 식각이 되버렸다. KOH 30% 무게비로 증류수와 혼합하여 80°C에서 식각하였으나, 전혀 식각반응을 나타내지 않았다. 그래서 45%의 무게비로 더 높은 온도인 95°C에서 식각을 수행하여 성공적인 패턴을 나타낼 수 있었다. 특히 20~30 μm 정도로 실리콘을 박막화 한다고 하더라도 실리콘웨이퍼의 자체두께의 편차 때문에 3~4 μm 의 두께편차를 나타내었다. 따라서 실리콘의 두께가 더 균일해야하고 KOH용액에서 식각시 PECVD로 성장된 Si_xN_y 마스크막의 표면조직에서 pin hole을 나타내고 있음을 확인하였다(그림 8 참조). 이 같은 결과를 얻기 위해서는 지속적인 에칭실험을 해야된다. 이러한 습식 식각작업을 계속 수행해나가면서, 동시에 다른 방법으로 건식식각방법을 시도해 나가야 된다고 사료된다. 이 같은 작업을 위해서 건식(dry) 에칭작업의 조건을 최적화 시키는 것이 현재로서는 중요한 관건으로 나타나있다. 현재 건식식각의 조건이 최적화가 되어있지 않기 때문에 특히 건식식각시, 선택적에칭을 성공적으로 나타내도록 최적의 공정조건을 확립하는 것이 무엇보다도 중요하다.

참고문헌

- [1] Badih El-Kareh, IBM Corporation. "Fundamental of Semiconductor Processing" p. 383-387, 1995
- [2] David J.Roulston, OXFORD "An Introduction to the physics of Semiconductor Devices" p.59-89.
- [3] 신상모 "MEMS 기술의 동향" 대한전자공학회지 VOL. 24 NO. 10. p.23-43, 1997
- [4] S.U.A. Redondo, E. Radovanovic, I.L. Torriani " Polycyclic silicon membranes. Synthesis, characterization and permeability evaluation" Polymer VOL. 42. p.1319-1327, 2001



그림 10. Veeco 장비로 측정된 Si₃N₄/Si구조에 Si₃N₄ 층의 뒷면조직형태

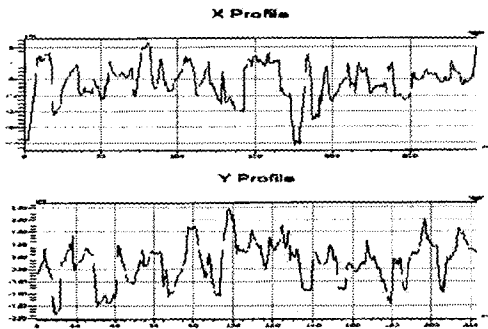


그림 11. Veeco 장비로 측정된 Si₃N₄/Si구조에 Si₃N₄ 층의 뒷면조직형태

식각후에 FESEM의 측정결과에서 나타나 있듯이 에칭시간에 따른 식각비를 조정할 수 있었다. 2시간 식각후에 남아 있는 실리콘의 두께는 399 μm , 4시간 식각후에는 215 μm , 6시간 식각후에는 58.9 μm 의 실리콘이 남아 있음을 확인할 수가 있었다. 본 실험에서 식각비는 약 1.29 $\mu\text{m}/\text{min}$ 을 나타내었다. 그림 12는 식각비를 그래프로 나타낸 것이다.

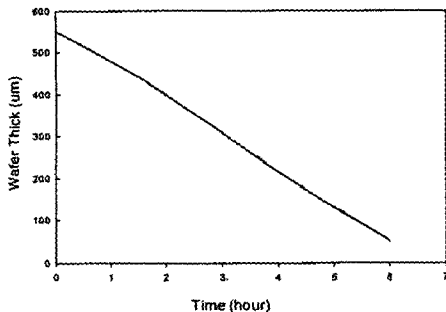


그림 12. Silicon nitride막막의 식각비(etch rate)