고내압 LDMOSFET의 저온 특성에 관한 연구

박재형, 이호영, 구용서*, 안 철
서강대학교 전자공학과, *서경대학교 전자공학과
전화 : (02) 706-3401 / 팩스 : (02) 706-3401

A Study on the electrical Characteristics of High Voltage LDMOSFET in Low Temperature

Jae Hyuong Park, Ho young Lee, Yong-Seo Koo*, Chul An
Dept. of Electronic Eng. Sogang Univ., *Dept. of Electronic Eng. Seokyeong Univ.
E-mail : uncertainty@korea.com

Abstract

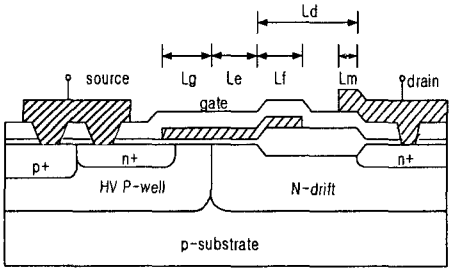
LDMOSFET devices operated at low temperature have applications on satellite, space shuttle and low temperature system, etc. In this study, we measured the electrical characteristics of 100V Class LDMOSFET for low temperature application. Measurement data are taken over a wide range of temperatures (100K-300K) and various drift region lengths(6.6㎛, 8.4㎛, 12.6㎛). Maximum transconductance, g_m and drain current at low temperatures(~100K) increased over about 260%, 50% respectively, in comparison with the data at room temperature. Breakdown voltage BV_{ds}, and specific on-resistance decreased. Besides, ratio R_{on}/BV, a figure of merit of the device, decreased with decreasing temperature.

1. 서론

최근 정보통신사회의 급격한 발전에 따라 정보통신용 전력소자 및 smart power IC 기술에 대한 개발 요구가 점증되고 있다. 그러나 아직 power device 및 IC 기술개발은 메모리 분야에 비하여 상대적으로 발전속도가 느려서 power IC의 전력부가 시스템 중량의 상당부분을 차지하고 가격을 좌우하는 형편이다. 특히 Power device는 앞으로 기하급수적으로 늘어날 것으로 예상되고 있는 위성통신 시스템, 우주탐사선, 극저온 연구장비등의 첨단분야에 이용되는 만큼 저온 영역에서의 안정된 전기적 특성과 신뢰성 확보는 필수적이라고 할 수 있겠다.

Power device로서의 LDMOSFET은 드레인 전극이 표면에 존재하므로 저전압 CMOS/ BiCMOS 공정과의 호환성이 좋고, 집적도를 높일 수 있기 때문에 전력 집적회로 시스템에 많이 이용되고 있다. 이에 본 연구에서는 power device의 저온 응용에 필요한 100K~300K의 동작 온도 환경에서 LDMOSFET의 드리프트 영역(Drift Region :L_d) 길이변화에 따른 전기적 특성을 측정 분석하였다.

2. 측정조건 및 방법



[그림 1] LDMOSFET의 구조

실험에 사용된 소자 [그림 1] 은 RESURF형 (REduced SURface Field) 100V급 n-LDMOSFET으로 p 에피층 위에 붕소(Boron)가 이온 주입된 고전압 용(High Voltage) p-well 및 인(Phosphorus)이 이온 주입된 n-드리프트 영역 (drift region)으로 구성되어 있다. 게이트 산화막의 두께는 200Å, 채널 및 드리프트 영역의 폭은 90㎛이고, 수평길이 성분은 게이트 길이(L_g) 2.4㎛, 게이트 확장영역 길이(L_e) 2.4㎛, 게이트 필드판 확장영역 길이(L_f) 1.8㎛, 드레인 필드판 확장영역 길이(L_m) 2.4㎛로 구성되어 있다.

본 논문에서는 위의 소자 변수들을 모두 고정시켜 놓은 상태에서 드리프트 영역 길이(L_d)를 각각 6.6㎛, 9.6㎛, 12.6㎛로 변화시켜 가며 100K, 150K, 200K, 250K, 300K 온도환경에서의 전기적 특성을 측정하였다.

온도 환경 조성에는 저온 측정 장비 및 온도 보정된 Temperature Controller를 사용하였고 전기적 특성 측정에는 HP4145B와 Curve Tracer TEK370을 사용하였다.

3. 측정 결과 및 분석

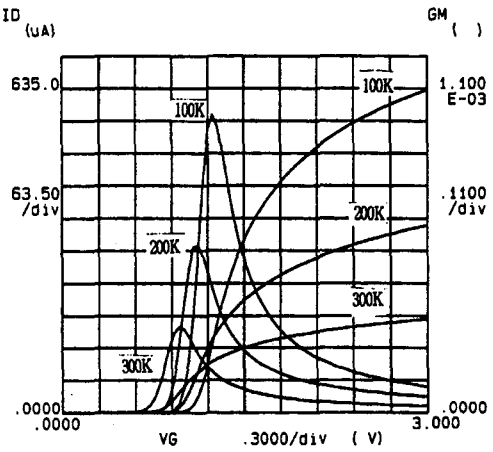
전력 집적회로에서 power device LDMOS 소자는 CMOS와는 달리 주로 전류 및 전압을 구동하는 스위치의 역할을 수행하기 때문에 높은 전압 및 전류 구동 능력과 스위칭 속도가 LDMOS의 성능을 좌우하는 중요한 요소가 된다. 따라서 이를 결정하는 주요 소자 parameter(transconductance, drain current, breakdown voltage, power device의 figure of merit로서의 R_{on}/BV)의 분석을 통해 저온 동작환경에서 LDMOS 소자의 전기적 특성을 알아보았다.

가. transconductance

온도가 내려가게되면 lattice scattering이 감소하게 되고 이에따라 mobility가 증가하게 된다. 그 결과로 transconductance는 증가하게된다. transconductance는 다음과 같은 식으로 주어진다.

$$g_m \equiv \frac{\partial I_D}{\partial V_G}\Big|_{V_D=const.} = \mu C_{ox}\frac{W}{L}(V_G - V_T)(saturation) \quad (1)$$

여기서 mobility μ는 $\mu \propto T^{-n}$이므로 lattice scattering이 dominant(100K~150K 이상)인 경우 온도가 감소할수록 mobility 는 증가한다.



[그림2] 온도에따른 transconductance g_m

g_m이 zero 값을 가지는 경우 V_{th}는 V_G와 같게 된다.

나. 드레인 전류

Saturation영역 ($V_{ds} > V_{gs} - V_t$) 에서의 드레인 전류는

$$I_{ds} = \beta(T)\,(V_{gs} - V_T(T))^2 \quad (2)$$

$$\beta(T) = \frac{1}{2}\mu_{eff}(T)\,C_{ox}\left(\frac{W}{L}\right) \quad (3)$$

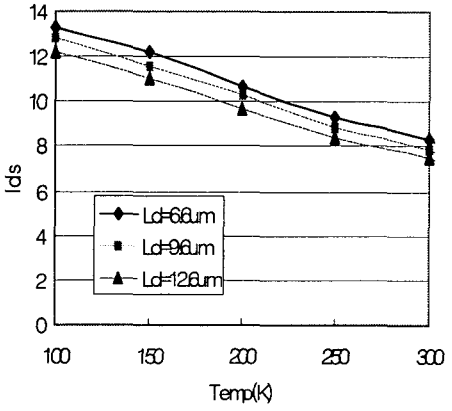
로 나타낼 수 있다.

식 (2)와 (3) 그리고 [그림. 3]과 V_{th}의 특성곡선을 고려하여 이용하면 다음과 같은 식을 유도 할 수 있다.

$$\beta(T) = \beta(300K) * \left(\frac{T}{300}\right)^{-n} \quad (n \simeq 2.2) \quad (4)$$

식 (3)에서 β(T)의 온도 의존성에 가장 주된 영향을 주는 항은 effective mobility인 μ_{eff}이다. 따라서, μ_{eff}의 변화율을 대략 $\mu_{eff} \propto T^{-2.2}$로 표현

할 수 있는데, 이는 기존 MOSFET 소자에서의 mobility의 온도 의존성 $\mu_{eff} \propto T^{-n}$ (n: 1.5~1.8)[5] 보다 약간 큰 값이다. 이로써 I_{ds}는 기존 MOSFET 소자에 비해 LDMOS 소자는 온도변화에 더욱 민감한 것을 알 수 있다.



[그림. 3] 각 드리프트 영역 길이에서의 온도변화에 따른 드레인 전류 (드레인 전압: 25V, 게이트 전압: 5V)

다. 항복전압

반도체 power device의 성능을 좌우하는 가장 중요한 요소 중의 하나가 높은 전압을 제어(Voltage blocking)하는 능력인데 이는 소자의 항복전압에 의해 결정된다.

항복전압은 주로 충돌 이온화에 의한 애벌랜치(avalanche) 현상에 의해 형성되는데 이를 식으로 나타내면 다음과 같다[8]

$$BV_{dss} = \varepsilon_s E_{s,cr}(N_D)\left[\frac{E_{s,cr}(N_D)}{2qN_D} + \frac{1}{C_o}\right] \quad (5)$$

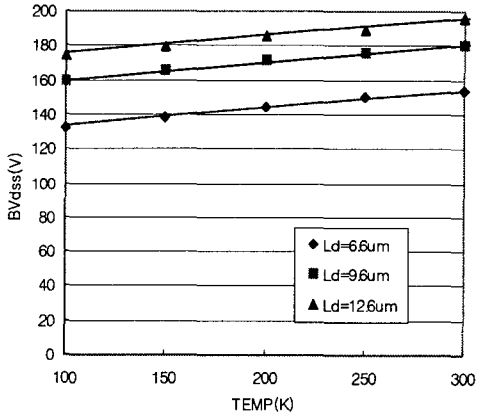
격자분산 평균자유경로(mean free path)를 움직이는데 캐리어가 이온화에 필요한 에너지를 얻을 때 항복이 일어나게 되는데 주어진 거리에 대한 특정한 에너지 이득은 특정한 전계에 대응한다. 다시 말해서, 전계가 어떤 임계값 (식 (5)에서의 $E_{s,cr}(N_D)$)에 도달할 때 항복이 발생하게 된다.

$$\lambda = \lambda_o \tanh\left(\frac{E_p}{2kT}\right) \quad (6)$$

그런데 온도가 감소하게 되면 식(6)에서 볼 수 있듯이 평균자유경로 λ가 증가하게 된다. 따라서 온도가 감소하게 되면 이온화를 위해 더 작은 임계 전계값을 갖어도 되고 이로 인해 항복전압도 감소하게 된다[9]. 하지만 이러한 BV의 감소는 다른 parameter에 비해 덜 민감하다는 것을 볼 수 있었다.

[그림. 4]에서는 게이트 전압이 0V일 때 드레인-소스간의 대기상태 항복전압을 나타내었다. 실험결과 절대온도 1K 증가시 약 0.1V의 항복전압 증가를 볼 수 있었고 이를 선형적인 식으로 표현하면 다음과 같다.

$$BV_{dss}(T) = BV_{dss}(300K) + 0.1(T-300) \quad (7)$$



[그림. 4] 각 드리프트 영역 길이에서의 온도변화에 따른 대기상태 항복전압(Gate전압: 0V, 실선: 식 (7)에 대응)

라. R_{on}/BV.

LDMOS의 On-resistance는 드리프트 영역의 저항에 의해 좌우된다. 따라서 전체 On-resistance를 드리프트 영역의 resistance인

$$R_{on} \cong R_d = \frac{L_d}{q\mu_{eff} Q_d W} \quad (8)$$

로 간단히 나타낼 수 있다[7].

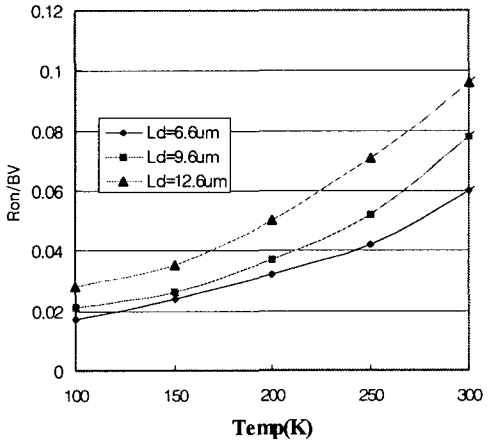
Ron은 실험 결과에서 온도만의 함수로 보고 나머지값들을 고정시키면 다음과 같이 근사된다.

$$R_{on}(T) = R_{on}(100K) \cdot \left(\frac{T}{100}\right)^n \ (n \simeq 2.2) \quad (9)$$

BV도 온도만의 함수로 나타내면 아래와같이 근사될 수 있다.

$$BV_{dss}(T) = BV_{dss}(100K) + 0.1(T-100) \qquad (11)$$

R_{on}은 온도가 감소함에 따라 T의 2차식으로 감소하고 BVdss는 linear한 감소를 보이므로 Ron/BVdss의 값은 온도가 감소함에따라서 같이 감소한다. 그러므로 Device performance는 low temperature에서 향상됨을 볼 수 있다.



[그림. 3] 온도변화에 따른 Ron/BV(Gate전압: 0V)

4. 결 론

본 논문에서는 저온 동작환경에서 드리프트 영역 길이 변화에 따른 100V급 LDMOSFET의 전기적 특성을 살펴보았다.

실험결과 100K 이하의 온도환경에서 g_m은 260%이상 증가하고 드레인 전류는 50%이상 증가함을 볼 수 있었다. 그리고 대기상태 항복전압은 온도 감소에 따라 선형적으로 감소함을 볼 수 있는데 증가율은 1K당 약 0.1V를 나타내었다. 또한 온도가 감소할수록 R_{on}/BV가 감소하여 소자의 performance가향상되기 때문에 안정된 소자설계가 가능함을 볼 수 있었다.

참 고 문 헌

[1] T. Y. Huang, et al., "A Simple Method to Analyze the Electrical Properties of High Power LDMOS Transistors," Jpn. J. Appl. Phys. Vol. 38, No. 2B, pp. L170-L173, Feb 1999.

[2] G. Dolny, et al., "Characterization and Modeling of the Temperature Dependence of Lateral DMOS Transistor for High-Temperature Application of Power ICs," IEDM, pp789-792, 1990

[3] G. Groeseneken, et al., "Temperature Dependence of Threshold Voltage in Thin-Film SOI MOSFET's," IEEE EDL, Vol.11, No.8, pp329-331,Aug 1990

[4] R. Wang, et al., "Threshold Voltage Variation with Temperature in MOS Transistor," IEEE ED, June, pp386-388, 1971,

[5] N. D. Arora, et al., "A Semi-Empirical Model of the MOSFET Inversion Layer Mobility for Low Temperature Operation," IEEE ED, Vol. 34, pp89-93, Jan 1987

[6] B. J. Baliga, "Power Semiconductor Devices," PWS, p340, 1996

[7] M. Amato, V. Rumennik, "Comparison of Lateral and Vertical DMOS Specific On-Resistance," IEDM, pp736-739, 1985

[8] M. J. Declercq, J. D. Plummer, "Avalanche Breakdown in High-Voltage DMOS Devices," IEEE ED, Vol. 23, No. 1, pp 1-4, Jan 1976

[9] S. M. Sze, Physics of Semiconductor Devices, 2nd ed, JWS, pp47, 105, 1981