

1.5V 2GHz 저전력 피크 디텍터의 설계

박 광 민(朴 光 旻)

순천향대학교 공과대학 정보기술공학부

전화 : (041) 530-1326 / 팩스 : (041) 530-1494

A 1.5V 2GHz Low-Power Peak Detector

Kwangmin Park

Division of Information Technology Engineering, Soonchunhyang University

E-mail : kmpark@sch.ac.kr

Abstract

In this paper, a 1.5V 2GHz low-power peak detector is presented. Analyzing the designed peak detector circuit which is composed with two NMOSs, two diodes, and two capacitors, the detection characteristic relationships are derived. The simulation results with SPICE for 2GHz pulse signals and sinusoidal signals on the 1.5V supply voltages show the good detection characteristics for input signal levels of 50mV ~ 500mV, and show very small power dissipation of 0.332mW.

I. 서론

최근 개인휴대통신 장비의 급속한 발전과 보급에 따라, 수많은 아날로그/디지털 시스템이 단일 칩 상에 집적화되었으며, 각종 증폭기, A/D converter 등 아날로그 회로들이 디지털 회로와 함께 mixed-mode analog/digital IC로 동일 칩 상에 집적되고 있다.

피크 디텍터는 입력 신호의 피크값을 검파하는 회로로서, 최근 광통신 장비에서 사용되는 데이터 수신기나 또는 통신 시스템의 복조기 등 여러 가지 신호처리 시스템에 널리 사용되는 회로이다^[1,2]. 이때 피크 디텍터의 신호 레벨은 요구되는 신호의 파형에 따라 신호의 순시 진폭의 평균값에 비례하는 출력을 생성하거나, 또는 신호의 피크값에 비례하는 출력을 생성함으

로써 검파될 수 있다.

이러한 검파 능력을 개선하기 위해 최근 고이득 증폭기를 사용한 피크 디텍터가 개발되기도 하였으나^[2-4], 이 경우 증폭기 자체의 주파수 특성 때문에 저주파에서는 좋은 특성을 보이지만, 고주파에서는 사용할 수 가 곤란하였으며, 또한 증폭기 자체의 칩 면적과 비교적 큰 소비전력 때문에 복잡한 통신 시스템에 함께 집적하여 사용하기가 곤란하다는 단점이 있었다. 특히 최근의 개인휴대통신단말기의 사용 주파수가 1.9GHz인 점에 비추어 이 주파수대에서 정확한 검파 능력을 갖는 새로운 피크 디텍터의 개발이 요구되어왔다.

따라서 본 논문에서는 1.5V의 공급전압으로 2GHz의 초고주파 신호에 대해서도 우수한 검파 능력을 갖는 새로운 저전력 피크 디텍터를 설계한다.

II. 회로설계

고주파 동작을 위해 설계한 피크 디텍터 회로는 다음 그림 1에 나타내었다. 이 회로는 2개의 NMOS와 2개의 다이오드 및 2개의 커패시터로 구성된 대칭구조이다. 다이오드는 그 단순성과 함께 고주파 특성이 우수한 것으로 알려져, 기존의 단순한 피크 디텍터 회로에서도 검파를 위해 주로 사용되어 왔다. 이 그림 1에서 1.5V의 공급전압은 Vdd 라인을 통해 회로에 공급되며, 입력신호전압 Vi는 다이오드 D1에 인가된다. 다

이오드 D₂는 입력신호전압 V_i가 zero일 때 dc 전압 V_o가 zero가 되도록 설정한다. 커패시터 C₁은 피크 전압 V_o의 감소분, 즉 ΔV_o가 허용 가능한 값의 범위 내에서 유지되도록 해 주는 역할을 하며, 커패시터 C₂는 V_{dd} 라인을 타고 들어오는 잡음을 방지하기 위한 필터로써 동작한다. 두 트랜지스터 M₁과 M₂는 NMOS를 이용한 전류미러 회로로써, M₁을 통해 흐르는 전류 I₁은 M₂를 통해 흐르는 전류 I₂의 미러된 값이 흐르게 된다.

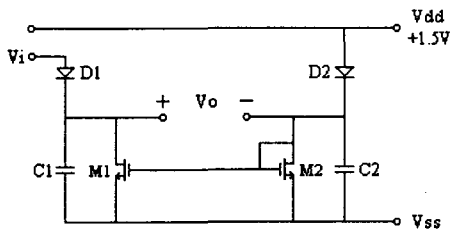


그림 1. 설계된 피크 디텍터 회로
Fig. 1. Designed Peak Detector Circuit.

따라서 다이오드 D₁을 통해 흐르는 전류 I_{D1}은 M₁을 통해 흐르는 전류 I₁과 커패시터 C₁으로 흐르는 전류 I_{C1}의 합과 같다. 신호전압 V_i가 zero일 때 다이오드 전류 I_{D1}이 I₁과 같다면, 커패시터로 흐르는 전류 I_{C1}이 zero이므로 커패시터 C₁은 충전되지 않으며, 신호전압 V_i가 인가되면 다이오드 전류 I_{D1}이 증가하게 되어 증가된 만큼의 전류가 C₁을 충전시키게 되어 피크전압 V_o가 유지되게 된다. 그러나 실제로는 트랜지스터 M₁의 내부저항에 의해 RC 회로가 형성되어 약간의 전압이 방전하게 된다.

이때 신호전압 V_i가 다음 식(1)과 같은 펄스신호인 경우, 검파된 피크전압 V_o는 다음과 같이 구할 수 있다.

$$V_i = V_p[u(t) - u(t - T/2)] \quad (1)$$

여기서 V_p는 펄스의 진폭이다. 그림 1의 회로로부터 커패시터 전류 I_{C1}의 평균값 I_{C1average}와 I_{C2}의 평균값 I_{C2average}는 각각 다음 식 (2),(3)과 같이 구해진다.

$$I_{C1average} = I_0 \left[\frac{e^{(V_{dd}-V_{o+})/V_T} (e^{V_p/V_T} + 1)}{2} - 1 \right] - I_1 \quad (2)$$

$$I_{C2average} = I_0 [e^{(V_{dd}-V_{o-})/V_T} - 1] - I_2 \quad (3)$$

여기서 $V_T = \frac{kT}{q}$ 이다. 이때 그림 1의 회로에서

$I_{C1average} = I_1, I_{C2average} = I_2$ 이므로, 식(2)와 (3)으로부터 다음 식 (4), (5)를 구할 수 있다.

$$I_1 = \frac{I_0}{2} \left[\frac{e^{(V_{dd}-V_{o+})/V_T} (e^{V_p/V_T} + 1)}{2} - 1 \right] \quad (4)$$

$$I_2 = \frac{I_0}{2} [e^{(V_{dd}-V_{o-})/V_T} - 1] \quad (5)$$

이 식 (4),(5)로부터, 검파된 피크전압 V_o는 다음과 같이 구할 수 있다.

[1] I₁ = I₂ 인 경우

식(4)와 (5)를 같게 두면, 검파된 피크전압 V_o는 다음 식 (6)과 같이 구해진다.

$$V_o = V_T \cdot \ln [e^{V_p/V_T} + 1] - V_T \cdot \ln 2 \quad (6)$$

만약 V_p가 V_T 보다 매우 크면, 식(6)은 다음 식(7)과 같이 근사화된다.

$$V_o \approx V_p - V_T \cdot \ln 2 \quad (7)$$

따라서 I₁과 I₂를 같게 설계하면, 검파된 피크전압 V_o는 펄스의 진폭 V_p 보다 V_T · ln2 만큼 낮은 값으로 검파됨을 알 수 있다.

[2] I₁ = ½ · I₂ 인 경우

식 (4),(5)로부터, 검파된 피크전압 V_o는 다음 식 (8)과 같이 구할 수 있다.

$$V_o = V_T \cdot \ln [e^{V_p/V_T} + 1] \quad (8)$$

만약 V_p가 V_T 보다 매우 크면, 식 (8)은 다음 식 (9)와 같이 근사화된다.

$$V_o \approx V_p \quad (9)$$

1.5V 2GHz 저전력 피크 디텍터의 설계

즉, I_1 을 I_2 의 $\frac{1}{2}$ 이 되도록 회로를 설계하면, 검파된 피크 전압 V_o 는 펄스의 진폭 V_p 와 거의 동일한 값을 구할 수 있게 된다. 따라서 보다 정확한 피크 디텍터 동작을 위해서는 I_1 과 I_2 를 같게 설계하는 것 보다 I_1 이 I_2 의 $\frac{1}{2}$ 이 되도록 설계하는 것이 바람직함을 알 수 있다.

III. 모의실험 결과

설계된 그림 1의 피크 디텍터는 표준 $0.8\mu\text{m}$ CMOS 공정을 사용하여 SPICE로 모의실험하였다. 모의실험에 사용한 각 소자의 size는 다음 표 1에 나타내었으며, 모의실험 결과는 다음 그림 2, 3에 각각 나타내었다. 이때 회로는 트랜지스터 M_1 과 M_2 로 구성된 진류미러에 의해 I_1 이 I_2 의 $\frac{1}{2}$ 이 되도록 설계하였다.

표 1. 소자 size (W/L, μm)
Table 1. Device size (W/L, μm)

소자명	size
M_1	64/0.8
M_2	112/0.8
D_1	D1N914
D_2	D1N914
C_1	6pF
C_2	6pF

그림 2는 2GHz의 펄스신호에 대한 검파 특성을 모의 실험한 결과이고, 그림 3은 2GHz의 sin파 신호에 대한 검파 특성을 모의실험한 결과이다. 이 그림 2와 3의 모의실험 결과는 50mV의 작은 신호 레벨로부터 500mV의 비교적 큰 신호 레벨까지 2GHz의 초고주파 신호에 대해 우수한 피크 디텍터 특성을 보였으며, 또한 0.332mW의 매우 작은 소비전력을 보였다.

IV. 결론

본 논문에서는 1.5V 공급전압으로 2GHz의 초고주파 신호에 대해서도 우수한 검파 특성을 갖는 새로운 저전력 피크 디텍터를 설계하였다. 설계된 피크 디텍터 회로를 해석하여 검파 특성 관계식도 유도하였으며, SPICE로 그 특성을 모의실험하였다. 2개의 NMOS와

2개의 다이오드 및 2개의 커패시터로 구성하여, 표준 $0.8\mu\text{m}$ CMOS 공정을 적용하여 설계된 본 논문의 피크 디텍터는 50mV의 작은 신호 레벨로부터 500mV의 비교적 큰 신호 레벨까지 2GHz의 초고주파 신호에 대해 우수한 피크 전압 감지 특성을 보였으며, 또한 소비전력도 0.332mW의 매우 작은 값을 보였다.

따라서 본 논문에서 제시된 저전력 피크 디텍터는 그 구조의 단순함과 함께 매우 작은 칩 면적으로 큰 통신 시스템과 함께 동일 칩 상에 한 모듈로서 집적 가능하며, 특히 개인휴대통신단말기 또는 여러 신호처리용 시스템에 효율적인 피크 디텍터로써 사용될 수 있을 것이다.

참고문헌

- [1] H. L. Krauss, C. W. Bostian, and F. H. Raab, *Solid-State Radio Engineering*, New York: Wiley, 1980
- [2] R. J. Baker, H. W. Li, and D. E. Boyce, *CMOS Circuit Design, Layout, and Simulation*, IEEE Press, 1998
- [3] R. Gregorian and G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York: Wiley, 1986
- [4] D. A. Johns and K. Martin, *Analog Integrated Circuit Design*, New York: Wiley, 1997

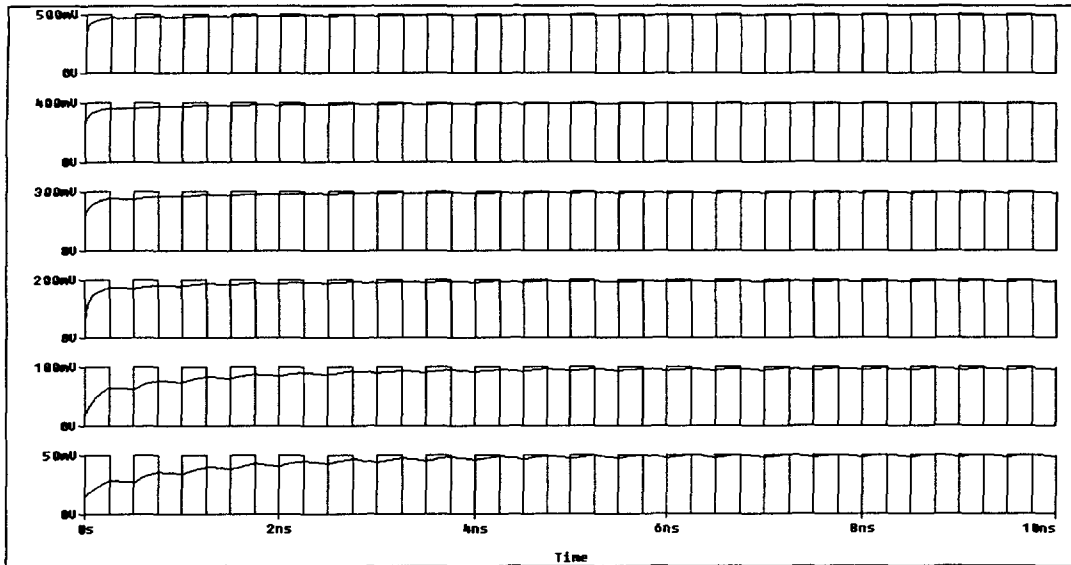


그림 2. 2GHz 펄스신호에 대한 검파 특성
Fig. 2. Detection characteristics for 2GHz pulse signals

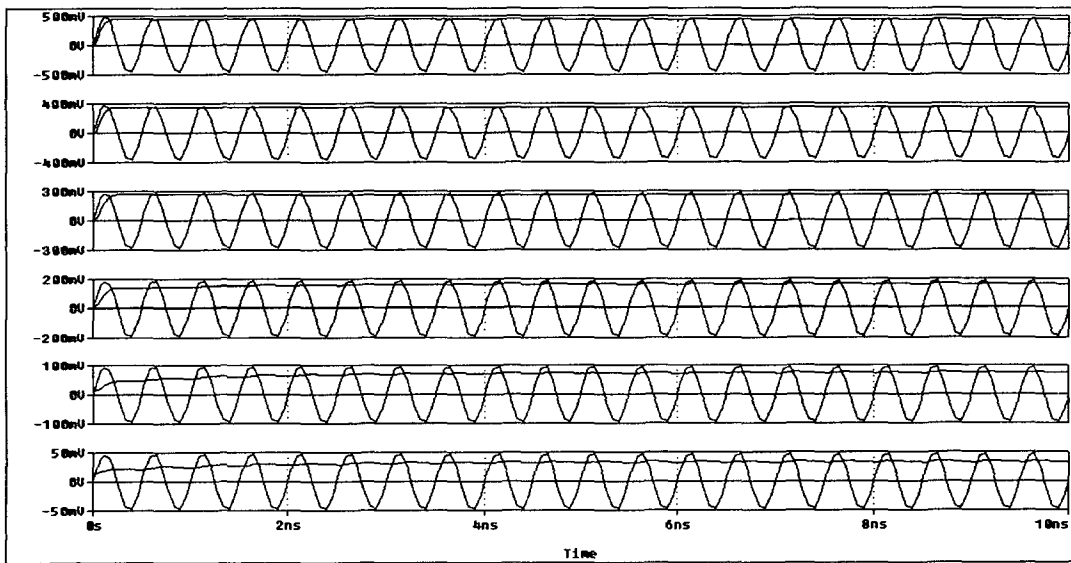


그림 3. 2GHz sin파 신호에 대한 검파 특성
Fig. 3. Detection characteristics for 2GHz sinusoidal signals