

# 다결정 실리콘 박막 트랜지스터에서 스트레스에 의한 출력과 전달특성 분석

정은식, 안점영, 이용재  
동의대학교 전자공학과  
전화 : 051-890-1938

## The Analysis of Transfer and Output characteristics by Stress in Polycrystalline Silicon Thin Film Transistor

Eun Sik Jung, Jeom Young Ahn, Yong Jae Lee  
Dept. of Electronics Eng. Donggeui University  
yjlee@hyomin.donggeui.ac.kr

### Abstract

In this paper, polycrystalline silicon thin film transistor using by Solid Phase Crystallization(SPC) were fabricated, and these devices were measured and analyzed the electrical output and transfer characteristics along to DC voltage stress.

The transfer characteristics of polycrystalline silicon thin film transistor depended on drain and gate voltages. Threshold voltage is high with long channel length and narrow channel width. And output characteristics of polycrystalline silicon thin film transistor flowed abruptly much higher drain current.

The devices induced electrical stress are decreased drain current. At last, field effect mobility is the faster as channel length is high and channel width is narrow.

소 메모리 내의 데이터를 디스플레이 물질이 반응하기 위한 충분히 긴 시간동안 유지하는데 필요한 작은 누설 전류와 적절한 동작전류를 갖도록 크기를 조절할 수 있기 때문에, 매트릭스 디스플레이에서 잘 동작할 수 있다. 그러나 액정 디스플레이의 면적이 점차 대형화되어 가면서 여러 가지 문제점이 생기기 시작하였다.<sup>[3][4]</sup>

이러한 문제점을 해결하기 위해서 제시된 것이 충분한 전계 효과 이동도를 가지는 다결정 실리콘을 이용한 소자의 제작이다. 본 논문에서는 유리기판 위에 저온( $\leq 600^\circ\text{C}$ )공정의 고상결정화(SPC)를 통하여 큰 입자 크기를 갖는 박막을 형성한 상위 게이트 구조의 n-채널의 다결정 박막 트랜지스터를 제작하였다.

본 연구는 제작한 소자에 대하여 전류-전압 특성, 전계 효과 이동도, 문턱아래 스윙 계수, 임계전압 등의 전기적 특성을 측정하였다. 또한 전기적 스트레스를 인가한 전·후의 전기적 특성 변화를 측정 후 스트레스가 전기적 특성 변화들에 미치는 인자를 추출하고, 분석을 통하여 소자의 동작 메카니즘을 확립하고자 한다.

### II. 본론

#### I. 서론

최근에 대형화에서 유리한 디스플레이 소자에서 다결정 실리콘 박막 트랜지스터는 능동 행렬 액정 표시기의 응용부품으로 사용하는 것에 대하여 비정질 실리콘 박막 트랜지스터로 사용하는 것보다 많은 장점을 가지고 있다.<sup>[1][2]</sup>

비정질 실리콘을 이용한 박막 트랜지스터는 일반적으로 아주 작은 누설전류와 작은 동작전류를 갖는데, 화

#### 1. 소자 제작 공정

기존의 다결정 실리콘 박막 트랜지스터 제작 공정은 열적 부담이 채널 층 형성과 소스와 드레인의 활성화 단계에서 가장 비중이 크기 때문에  $550^\circ\text{C}$  이상의 온도에서 아주 오랜 시간동안의 열처리가 필요하다. 게다가, 게이트 유전체를 형성하는 단계에서는 고온(예를 들어,  $950^\circ\text{C}$ )의 어닐링이 좋은 소자의 성능을 위해서는 필요하다.

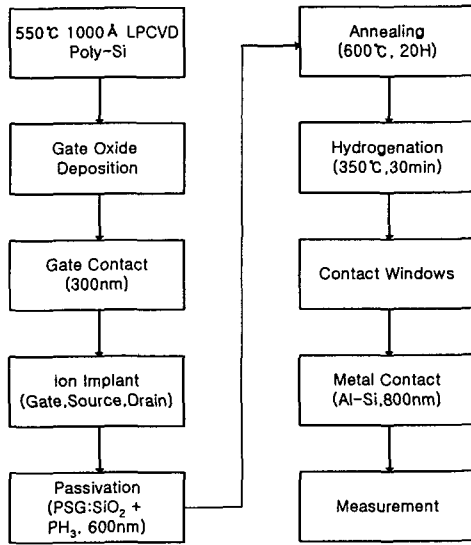


그림 1. 공정 순서도  
Fig1. Charts of Process Sequence

그림 1은 본 연구를 위한 소자를 제작하기 위한 공정 순서도로 이 다결정 실리콘 TFT는 유리 기판에 저온 공정 기술( $\leq 600^\circ\text{C}$ )로 제작되었다.

먼저 400 Å 두께의 기초 산화막( $\text{SiO}_2$ )을 대기압 화학 기상 증착법으로 유리기판 위에 증착한 다음, 고상 결정화를 위해 600nm의 채널 박막은 비정질 실리콘 막을  $470^\circ\text{C}$ 에서  $\text{Si}_2\text{H}_6$ 를 이용하여 저압 기상 증착 방법으로 증착되었다. 그리고 게이트 산화막(1000nm)과 게이트 다결정 실리콘막(1000nm)은  $550^\circ\text{C}$ 에서 각각 LPCVD 하였다. 게이트 패턴 형성 후 소스와 드레인, 게이트를 형성하기 위해 n-채널인 경우 100KeV의 에너지로  $3 \times 10^{15}/\text{cm}^2$ 의 인을 이온 주입하였다. 700nm의 층간 절연막을 APCVD로 성장시킨 다음, 주입된 이온을 여기시키기 위해  $600^\circ\text{C}$  질소 분위기에서 6시간 동안 열적 어닐링 공정을 하였다. 다음 4시간 동안 수소화 공정을 한 후 전극으로 Al-Si를 800nm의 두께로 형성하여 소자를 제작하였다.

## 2. 실험 결과

소자의 신뢰성 분석을 위하여 전기적인 스트레스트를 소자의 게이트와 드레인에 인가 하였으며, 게이트에 인가되는 전압이나 전류 스트레스는 게이트 산화막내에서 열화를 야기시킬 수 있다. 이에 게이트와 드레인에 전압스트레스를 인가하여 출력특성과 전달특성을 측정하였다

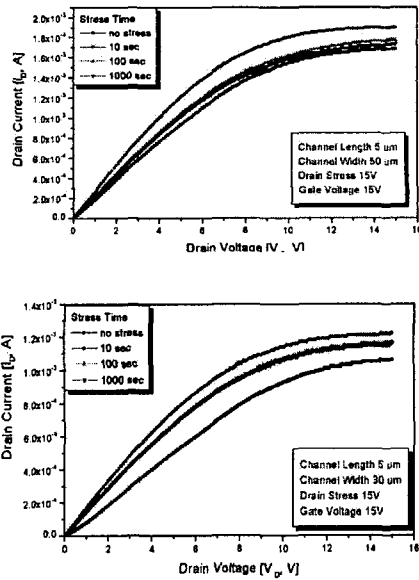


그림 2 드레인 전압 스트레스 인가후의 출력 특성 열화  
Fig. 2 Degradation of output characteristics after the drain voltage stress

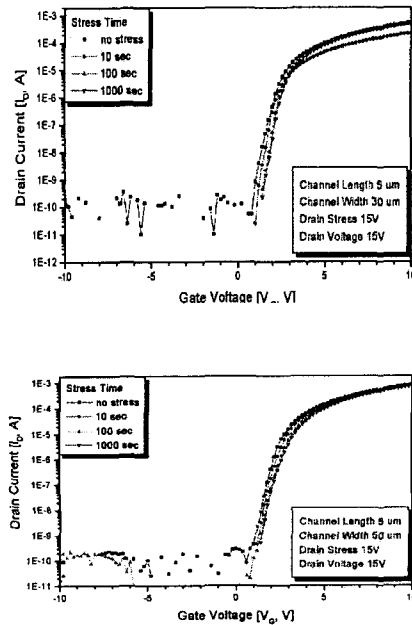


그림 3 드레인 전압 스트레스 인가후의 전달 특성 열화  
Fig. 3 Degradation of transfer characteristics after the drain voltage stress

다결정 실리콘 박막 트랜지스터에서 스트레스에 의한 출력과 전달특성 분석

채널 길이가  $5\mu\text{m}$ 이고 채널 폭이 각각  $30, 50\mu\text{m}$ 인 다결정 실리콘 박막 트랜지스터에 드레인과 게이트에 각각 스트레스를 인가했을 때, 그림2과 그림3에 나타나 있듯이 드레인 전류는 처음 10초간의 스트레스 동안은 증가한다. 이는 드레인 전압인가에 따라 다결정 실리콘의 그레인 경계면에 캐리어가 포획되어 지므로 일정 스트레스 이후 출력특성을 측정하면, 이미 그레인 경계면에 트랩이 형성되어 있으므로 전류는 증가한다. 그러나, 스트레스가 계속 인가 될 경우 이 소자의 열화 특성은 드레인 공핍층 영역에서 약한 실리콘-수소 결합에 기인한 불안정 상태의 생성 또는, 다결정 실리콘 박막 트랜지스터에서 드레인 접합 부근의 게이트 산화막에 핫캐리어가 포획되어지기 때문에 점점 드레인 전류는 감소한다. 채널 폭이 넓을수록 스트레스의 영향이 줄어들어 드레인 전류의 변화가 적은 것을 알 수 있다.

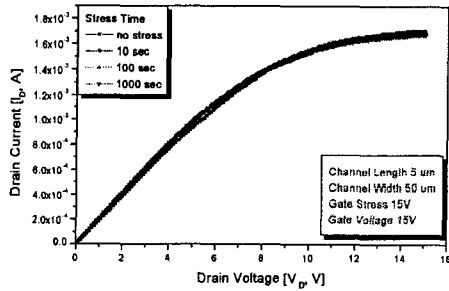
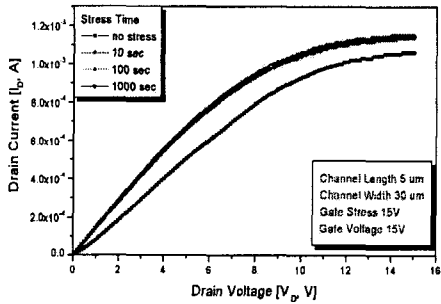


그림 4 게이트 전압 스트레스 인가후의 출력 특성 열화

Fig. 4 Degradation of output characteristics after the gate voltage stress

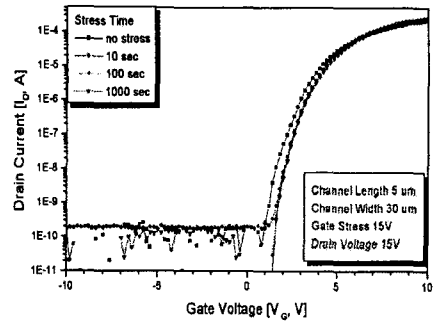
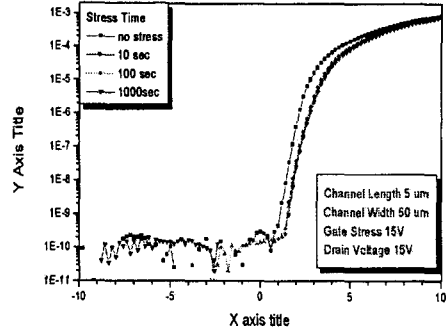


그림5 게이트 전압 스트레스 인가후의 전달 특성 열화

Fig. 5 Degradation of transfer characteristics after the gate voltage stress

그림4과 그림5에 나타나듯이 게이트와 드레인에 전압 스트레스로 인하여 누설전류가 감소되는 경향이 나타난다. 이는 게이트 산화막에 캐리어가 생성되고, 이 캐리어가 게이트 산화막에 전압이 인가된 영역부근에서 포획되어짐에 따라 누설전류가 감소된다. 또한 게이트와 드레인에 스트레스를 인가하였을 때, 임계전압과 문턱아래 특성도 변화한다. 문턱아래 스윙 계수는 산화막과 채널의 계면 또는 채널의 물질에 따른 어떤 상태의 생성으로 증가한다. 이 상태는 일반적으로 수소화된 비정질 실리콘이나 수소화 된 다결정 실리콘 박막 트랜지스터의 열화로 설명이 된다. 이 수소화 처리가 바로 문턱아래 스윙 계수가 커지는 데 작용하게 되고, 특히 전자가 축적되었을 때와 같은 양의 게이트 전압에 스트레스가 인가되었을 때, 심하게 나타났다.

### III. 결론

유리 기판 위에 SOI 구조를 하고 있는 600°C 이하의 저온 공정인 고상결정화 방법으로 제작된 n 채널 다결정 실리콘 박막 트랜지스터의 전기적 스트레스를 인가한 후의 특성의 변화를 관측한 후 소자에 스트레스의 영향으로 인한 출력특성과 전달특성 및 소자의 전기적 성능을 결정 짓는 인수들을 측정하여 스트레스 이전과 비교 분석한 결과 전기적 스트레스는 게이트와 드레인에 전압을 인가하였는데, 시간에 대한 전류의 변화는 거의 없었지만, 게이트에 스트레스를 인가한 후 임계전압을 측정한 결과 스트레스를 인가하기 전보다 증가하는 경향을 나타내었고, 드레인에 전압 스트레스를 인가한 결과 드레인 전류가 처음에는 증가하다가 감소하는 경향을 나타내었다. 전달특성에서 드레인 전류는 게이트 및 드레인 전압에 상당히 의존적인 것을 알 수 있는데, 이 전달 특성으로부터 임계전압, 전계효과 이동도, 문턱아래 스윙 특성 및 계수 등의 전기적 성능을 결정 짓는 인수들을 계산할 수 있었고, 이때의 전계효과 이동도는 채널이 길어짐에 따라 커지고, 채널 폭에 따라 작아지는 경향을 나타내었고, 유효 이동도 보다 작았다. 문턱아래 스윙 계수는 채널 폭이 넓을수록 계수의 값은 작아지므로 양호한 특성을 나타내었다. 임계전압은 채널 폭이 커짐에 따라 거의 일정하게 나타났으며, 변화는 거의 없었지만, 채널 길이가 길어짐에 따라 임계전압은 커지고, 채널 폭이 수 $\mu$ m로 작아짐에 따라, 좁은 채널의 영향으로 인하여 임계전압이 증가하는 경향이 나타남을 알 수 있다.

### IV. 참고 문헌

- [1] Do-Hyun Baek, Yong-Jae Lee, "Stress-Bias Effect on Poly-Si TFT's of Glass Substrate", ITC-CSCC2000, Vol.2, pp. 933-936, 2000
- [2] B.E Young, R.Young " Cost and Yield Model for comparing a-Si and Poly-Si Displays", Proceedings of 1998 SID ISDTP, 1998
- [3] Kikno Ono, "Analysis of Current-Voltage Characteristics of Low-Temperature-Processed Polysilicon Thin-Film-Transistors", IEEE Trans. on Electron Devices, Vol.39 No.4 pp 792-801, 1992
- [4] Morimoto Y, "Influence of the Grain Boundaries and Ingegrain Defects on the Performance of Poly-Si Thin Film Transisotr's", Journal of the electrochemical Society, Vol.44, No.7 1997