

1.2 Gbps 신호 복원기를 위한 비동기 비교기의 설계

임병찬 (林秉燦), 권오경 (權五敬)
한양대학교 전자전기공학부
전화 : 2297-0139

Design of Asynchronous Comparator for 1.2Gbps Signal Receiver

Byong-Chan Lim and Oh-Kyong Kwon
Div. of Electrical and Computer Engineering, Hanyang University
E-mail : byongchan@yahoo.co.kr

Abstract

This paper shows an asynchronous comparator circuit for 1.2Gbps signal receiver that converts 1.2Gbps data rate input signals with less than 100mV swing to on-chip CMOS compatible voltage levels in a 0.35 μ m CMOS process. Folded-cascode nMOS input stage with source-coupled pMOS input stage cover rail-to-rail input common-mode range. Drastic gain-bandwidth increment due to gain-boosting stage with positive-feedback latch as well as wide input common-mode range make designed circuit be suitable for a fully differential signal receiver. HSPICE simulation results show that worst-case sensitivity is less than 20mV and maximum propagation delay is 640-psec. And also we verified 3.97mW power consumption with 150mV differential swing amplitude at 1.2Gbps.

I. 서론

반도체 공정 기술의 발달과 더불어 회로 설계 기술의 발달은 LSI의 on-chip에서의 속도 증가 및 집적화의 기하급수적인 발전을 가져왔다. 이러한 시스템 성능의 발전과 더불어 system-to-system 또는 chip-to-chip간의 communication bandwidth를 증가시키기 위한 wired link 개발이 계속되고 있다. 이러한 wired link에는 한 개의 신호를 전송하기 위해 필요한 wire의 개수에 따라, RAMBUS와 같이 하나의 wire에 전송 신호를 보내는

single-ended 방식이 있고[1], LVDS와 같이 두개의 wire를 통해 차동 신호를 보내는 differential signaling 방식이 있다[2]. Differential signaling은 두 wire의 신호가 return path에 무관하게 서로 coupling되어 전송되므로, common-mode noise에 둔감하게 되고 따라서 noise immunity를 향상시킨다[3]. 또한 신호 전송 시 두 wire간의 coupling이 강하므로 외부와의 coupling이 약화되어 signal integrity가 향상되고 system을 더욱 집적화 시킬 수 있는 장점이 있다.

그림 1은 differential signaling link중에 LVDS (Low Voltage Differential Signaling)와 같이 current-mode differential signal 신호 전송 체계를 가지고, 같은 길이의 wire를 통해 clock 신호와 data 신호가 동기 되어 전송되는 source synchronous system을 나타낸다. 이러한 system에서 한 개의 clock 신호와 여러 개의 고속 data 신호들이 각각의 receiver를 통해 복원될 때, 각 복원 신호들의 propagation delay가 일정해야, 각 data channel 및 clock channel 사이의 timing skew를 최소화 할 수 있다. 일반적으로 clocked comparator의 경우 data와 clock channel간 receiver의 종류가 틀리고, propagation delay가 서로 다르므로, clock 및 data channel에 동일한 type의 asynchronous comparator를 사용함으로써 timing margin을 높일 수 있다.

Transmitter와 receiver간 interface시 transmitter단의 near-end와 receiver단의 far-end에서의 ground level은 같지가 않다. 이는 signal return path의 impedance가 0이 아니므로, transmitter output의 조건이나 crosstalk등에 의해 wire에 인가된 잡음 성분들, 그리고 near/ far-end에

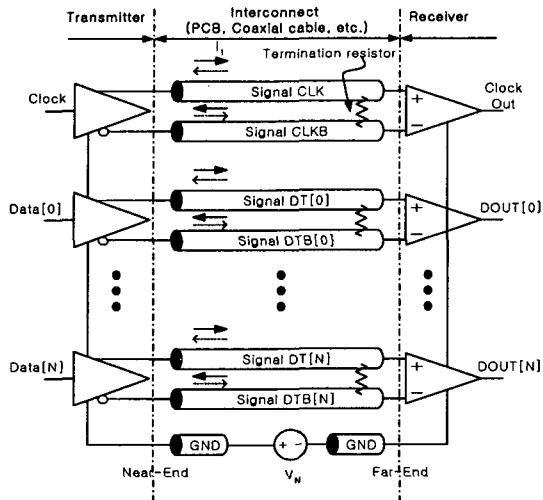


그림 1. Source synchronous, current-mode differential signaling system의 구성

서의 common-mode impedance의 부정합에 의한 반사 잡음등에 기인하고, 이를 그림 1에서는 voltage source, V_N , 으로 표시하였다. 이 결과 receiver 입력 단에서의 common-mode 전압 범위에는 충분한 margin이 필요하다. 예로써 LVDS에서 정의된 입력 common-mode 전압 범위, V_{CM} ,는 입력 전압 스윙폭을 V_{SWING} 이라 할 때 식 (1)과 같다.

$$0 + \frac{V_{SWING}}{2} \leq V_{CM} \leq 2.4 - \frac{V_{SWING}}{2} \quad (1)$$

3.3V 이하의 전원 전압을 갖고 일반적인 pMOS 입력의 source-coupled pair type의 comparator를 receiver로서 적용하는 경우, current source의 saturation margin에 의해, low threshold voltage를 갖는 MOSFET device가 필요하게 된다.

본 논문에서는 위에서 언급한 문제점들을 해결하여 1.2Gbps이상의 고속의 동작이 가능하고, rail-to-rail의 input common-mode 전압 범위를 갖는 asynchronous comparator를 제안하였고, HSPICE simulation을 통해 검증하였다.

II. Asynchronous Comparator의 설계

그림 2는 본 논문에서 제안하는 asynchronous comparator의 schematic diagram을 나타내고 있다. 설계한 회로는 크게 rail-to-rail 입력 common-mode 전압 범위를

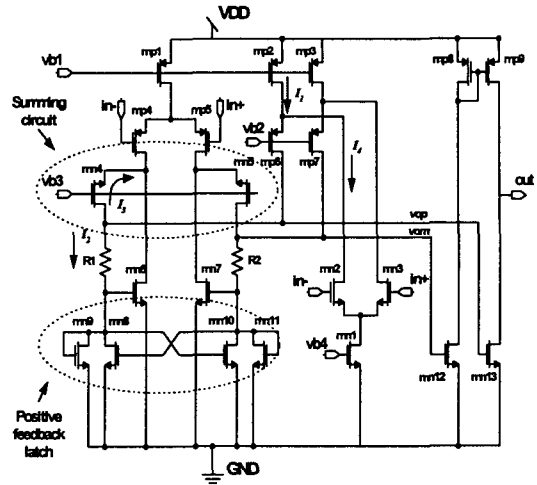


그림 2. 설계한 asynchronous comparator의 schematic diagram

갖는 입력단과 고속 동작을 위한 gain-boosting단, 그리고 buffer단으로 구성되고 회로의 구성 및 역할은 다음과 같다.

Rail-to-rail의 입력 common-mode 전압 범위를 갖기 위해 nMOS 입력단은 nMOS mn1~3 및 pMOS mp2~3, mp6~7의 folded cascode 구조로 구성되어 있고, pMOS 입력단은 pMOS mp1, mp4~5 및 nMOS mn6~7의 common-source 차동 증폭기의 구조로 구성되어 있다. nMOS mn4~5 및 저항 R1, R2는 두 개의 입력단의 신호 경로를 합치는 summing 회로로서의 역할 및 gain을 증가시키는 gain-boosting 회로의 역할을 하며, nMOS mn8~mn11은 positive-feedback latch단으로 gain을 증가시키고, 'vop' 및 'vom' node 출력 전압의 slew를 증가시킨다. 출력단은 pMOS mp8~9 및 nMOS mn12~13으로 구성되며, 일반적인 current-mirror type으로 차동 출력 신호를 단일 출력 신호로 변환하는 역할을 한다.

회로의 동작 원리를 설명하기 위해, 입력 common-mode 전압, V_{CM} ,을 식(2)와 같이 세가지 동작 영역으로 구분하였다.

$$\begin{aligned} (a) & V_{CM} < V_{THN} + V_{DSAT, mn1} \\ (b) & V_{CM} > V_{DD} - V_{DSAT, mp1} - |V_{THP}| \\ (c) & \text{except (a), (b)} \end{aligned} \quad (2)$$

V_{THN} , V_{THP} 는 각각 nMOS와 pMOS transistor의 threshold voltage를 나타내고, $V_{DSAT, mn1}$ 및 $V_{DSAT, mp1}$ 은 각각 mn1과 mp1이 전류 공급원으로 동작하기 위한 drain-

1.2 Gbps 신호 복원기를 위한 비등기 비교기의 설계

source간 전압을 의미한다. (a), (b), (c) 모든 경우에 대해 mp2 및 mp3 전류 공급원으로부터의 전류 경로는 그림 2에 나와 있는 것과 같다. I_1 경로에 대해서만 설명을 하면, I_1 은 node 'vop'에서 각각 R1으로 흐르는 I_2 와 mn4를 거쳐 mn6를 통해 ground로 흐르는 I_3 로 나뉘어 진다. 각 영역별 동작은 다음과 같다.

'in+'에는 $V_{CM} + |\Delta V|$ 이, 'in-'에는 $V_{CM} - |\Delta V|$ 가 인가되었을 때, 먼저 (a) 영역에서는 nMOS 입력부가 off되고, pMOS 입력부의 'in-' 입력단의 half-circuit에서 $I_{DS,mp4}$ 가 증가 하고 따라서 mn4의 source node 전압이 올라가게 된다. mn4의 V_{GS} 감소로 인해 mn4로의 drain current I_3 는 감소하게 되므로, I_2 는 증가하게 된다. R1과 mn8-9의 저항비에 의해 결정되는 mn6의 gate 전압은 수십mV 증가하게 되고, 따라서 mn8-9에 비해 저항이 큰 R1에서 증가한 I_2 에 의한 전압차가 커져, 'vop' node의 전압이 크게 증가한다. 또한 증가한 mn6의 gate 전압은 mn10의 gate로 인가되어 mn7의 gate 전압을 감소하게 되는 positive feedback 작용을 하여 output node 'vop' 및 'vom'의 slew rate를 증가시키게 된다. 이와 같은 mn4-5, mn9-11에 의한 gain-boosting 기능은 회로의 고속 동작을 가능케 한다. 두 번째로 (b)의 영역의 경우 pMOS 입력부가 off되고, nMOS 입력부의 'in-' 입력단에 대해 보면, I_4 전류가 감소하게 되어 'vop' node로의 전류량은 증가하게 되고 마찬가지로 summing transistor mn4에 의해 (a)의 경우와 마찬가지로 'vop' node의 전압은 높아져 비교 기능을 수행하게 된다. (c)영역에서는 nMOS 입력부와 pMOS 입력부 모두 동작하게 되고, summing 회로에서는 동일한 위상을 갖게 되므로, 결국 제안한 회로는 $0V \sim V_{DD}V$ 까지의 넓은 입력 common-mode 전압 범위를 갖게 된다.

위에서 설명한 바와 같이 본 회로는 folded cascode 구조의 nMOS 차동 입력단과 source coupled pMOS 차동 입력단을 summing 회로와 동시에 적용함으로써 rail-to-rail 입력 common-mode 전압 범위를 가질 수 있어, transmitter와 receiver간의 ground shift로 인한 오동작을 방지할 수 있으며, gain-boosting 및 positive feedback latch 회로를 적용함으로써 gain-bandwidth를 증가시켜, Gbps급의 고속 signal receiver로서의 응용을 가능케 하였다.

III. 모의 실험 및 특성 평가

본 논문에서 제안한 asynchronous comparator를 HSPICE 모의실험을 통해 검증하였다. 응용할 signal

receiver의 입력 common-mode 전압 범위는 ANSI TIA/EIA-644 LVDS standard에서 규정한 $0.2V \sim 2.2V$ 로 하였다 [4]. 회로 설계시 $0.35\mu m$ standard CMOS process의 level49 spice parameter를 사용하였으며, 전원전압, V_{DD} ,는 $3.0V$ 이고, 최종 출력의 load는 minimum-sized inverter를 사용하였다. 그림 3에 제안한 회로의 DC 특성 곡선을 나타내고 있다. 그림에서 보는 바와 같이 차동 입력의 common-mode 전압을 $0.2V$ 에서 $2.6V$ 까지 sweep한 모든 경우에 대해 회로의 sensitivity는 worst-case에서 $20mV$ 이내임을 알 수 있다. 그림 4에는 AC 특성 곡선을 나타내고 있다. 입력 common-mode 전압이 $0.2V$ 일 때, 출력의 common-mode 전압을 $V_{DD}/2$ 까지 올리기 위한 gain이 $+18dB$ 이다. 따라서 차동 입력의 모든 common-mode 전압 범위 내에서, 복원할 신호의 maximum bandwidth에서의 최소 AC gain은 $+18dB$ 이상이어야 한다. 결과에서 보는 바와 같이 worst case condition (SS model, $3.0V$ supply, $100^\circ C$)에 대해 차동 입력의 common-mode 전압이 $0.2V \sim 2.2V$ 까지 변할 경우 $1.57GHz$ 이내에서 AC gain이 $+18dB$ 이상임을 알 수 있다. 그림 5는 차동 입력 신호가, 전송 속도 및 차동 전압 스윙폭이 각각 $1.2Gbps$, $150mV$ 이고 입력 common-mode 전압을 $0.2V$ 에서 $2.2V$ 까지 $0.4V$ 간격으로 sweep한 경우의 transient response를 나타내고 있으며, CMOS 호환 전압 레벨로 복원됨을 확인할 수 있다. 입력 common-mode 전압 변화에 따른 최대 data timing skew 및 propagation delay는 worst-case condition에서 각각 $75psec$, $640psec$ 이고, 전력 소모는 약 $3.97mW$ 로 매우 낮음을 확인할 수 있다.

이러한 특성들을 표 1에 요약하였다.

IV. 결론

$0.35\mu m$ CMOS process에서 Gbps 급 signal receiver 로사용 가능한 asynchronous comparator 를 설계하였다. Asynchronous comparator 를 clock 과 데이터 channel 에 동일한 receiver 로서 적용함으로써, channel 간 timing skew 를 줄일 수 있었다. Dual 입력부와 summing 회로를 통해 넓은 common-mode 전압 범위를 갖도록 하였고, gain-boosting 회로 및 positive feedback latch 를 사용해 최대 $1.57Gbps$ 의 data 복원이 가능토록 하였다. 따라서 제안한 회로는 LVDS, high-speed DRAM interface 와 같은 wired link 에서 receiver 로 응용 가능함을 simulation 을 통해 확인하였고, 현재 chip 제작 중이다.

References

[1] N. Kushiya, et al., "A 500-Megabyte/s Data-Rate 4.5M DRAM," IEEE Journal of Solid-State Circuits, Apr. 1993.
 [2] T. Gabara, et al., "LVDS I/O buffers with a controlled reference circuit," Proc. ASIC Conf., Sept, 1997.

[3] W. J. Dally and J. W. Poulton, Dally, "Digital Systems Engineering," Cambridge UNIV. Press, 1998.
 [4] Electrical characteristics of low-voltage differential-signalling (LVDS) interface circuits, TIA/EIA-644, ANSI-TIA/EIA, 1996.

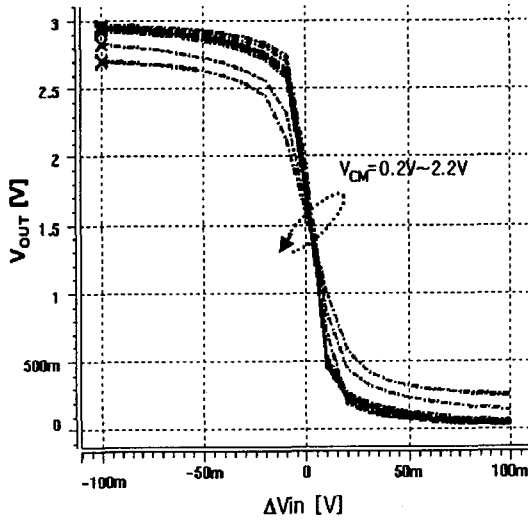


그림 3. 제안한 회로의 DC 특성 곡선 (worst-case condition)

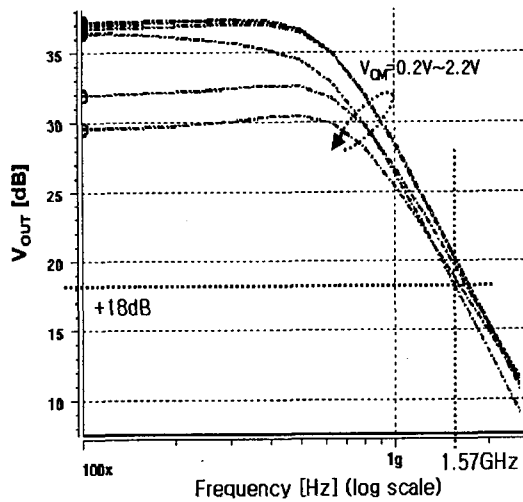


그림 4. 제안한 회로의 AC 특성 곡선 (worst-case condition)

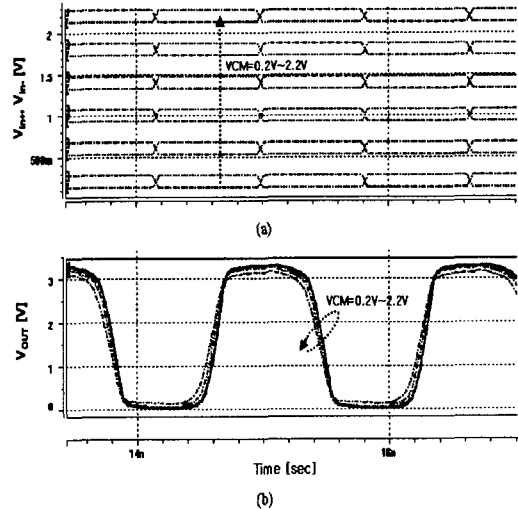


그림 5. 제안한 회로의 transient simulation 결과파형 (worst-case condition)
 (a) 차동 입력 전압 파형
 (b) 출력 전압 파형

표 1. 제안한 회로의 특성

Process	0.35 μ m, 2-poly 4-metal CMOS
Sensitivity	< 20mV
Common-mode voltage range	0V~V _{DD} V
Maximum input data rate	1.57Gbps
Power consumption	3.97mW @ 1.2Gbps
Cell size	110 μ m × 138 μ m