

공진현상 감소를 위한 집적회로 패키지 설계 및 모델링

안덕근, 어영선, 심종인

한양대학교 전자컴퓨터공학과

전화 : 031-400-4086 / 핸드폰 : 016-573-9258

Integrated Circuit(IC) Package Analysis, Modeling, and Design for Resonance Reduction

Duckgeun Ahn, Yungseon Eo, and Jongin Shim

Dept. of Electrical and Computer Engineering, Hanyang University

E-mail : spice@giga.hanyang.ac.kr

Abstract

A new package design method to reduce resonance effect due to an IC package is represented. Frequency-variant circuit model of the power/ground plane was developed to accurately reflect the resonance. The circuit model is benchmarked with a full wave simulation, thereby verifying its accuracy. Then it was shown that the proposed technique can efficiently reduce the resonance due to the IC package.

I. Introduction

최근의 고성능 반도체 칩은 성능은 과거와 달리 패키지의 성능에 크게 제약 받고 있으며, 특히 집적회로에서 공급전압이 감소하고, 파워소모량이 증가함에 따라 안정된 파워분배망(power distribution system)의 설계는 패키지와 관련된 중요한 문제중에 하나로 떠오르게 되었다[1]. I/O핀의 증가와 전원의 안정화를 위하여 다층 배선을 사용하며 파워 및 그라운드 배선을 위하여 전체 평판을 할당하고 있으나, 집적회로의 동작주파수가 증가함에 따라 파워/그라운드 평판이 공동공진기(cavity resonator)로 작용하기 때문에, 집적회로의 동작주파수가 파워/그라운드 평판이 발생시키는 공진주파수에 이르게 되면 평판의 임피던스는 급격하게 증가해서 안정된 파

위를 공급 할 수 없게 된다[2]-[4]. 따라서, 파워 분배망의 임피던스는 동작주파수의 벤드 폭 내에서 일정한 수준이하가 되도록 설계되어야 한다[1]. 이러한 파워/그라운드 평판간 공진현상을 최소화하기 위하여 [3],[4]에서는 [5]에 근거한 회로 모델로부터 평판 끝의 특성 임피던스와 같은 크기의 lumped RC소자를 평판간에 병렬으로써 반사파를 소모시켜 공진현상을 줄이는 방법을 제시하였다. [3]은 파장보다 월씬 작은 간격으로 lumped RC 소자를 붙여 공진현상을 줄였기 때문에 설계비용이 증가하는 단점이 있다. 반면 [4]은 적은 수의 소자로 공진현상을 줄이는 방법을 제안했으나, 경험적인 방법으로 lumped RC소자의 공진현상을 줄였다. 또한 [5]에서 제안한 회로모델은 주파수에 따른 표피효과를 반영하지 않는다. 따라서, 공진현상을 정확히 회로로 반영하기 위해서는 전송선 파라미터들이 주파수에 의존하는 특성을 잘 반영하는 모델이 선행되어야 한다.

본 논문에서는 파워/그라운드 평판 패키지의 공진특성을 이론적으로 해석하고 해석결과를 공진현상 감소에 반영한다. 공진현상을 회로적으로 개선시키기 위해 주파수에 따른 공진현상을 잘 반영할 수 있는 평판 등가회로 모델을 제시하고 공진을 매우 효과적으로 감소시킬 수 있는 방법을 제시한다. 제시한 방법의 타당성

을 Hspice 시뮬레이션과 full wave 시뮬레이션을 통해 검증한다.

II. Package Analysis for Resonance

집적회로 패키지에서 파워/그라운드 평판은 평판의 폭(w_x)과 길이(w_y)가 높이(h)에 비해 굉장히 크고, 높이는 최고 주파수 파장(λ)에 비해 굉장히 작기 때문에 평판의 두께를 무시한 채 완전도체로 볼 수 있고, 평판 끝은 open boundary라고 근사화 할 수 있다. 따라서 다음과 같은 경계조건을 써서 helmholtz 방정식을 풀면

$$\left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} + k_c^2 \right) e_z(x, y) = 0 \quad (1)$$

$$h_x(x, y) = 0 \text{ at } y = 0, w_y \quad h_y(x, y) = 0 \text{ at } x = 0, w_x$$

평판내부에는 TM_{mn} 모드만 존재하게 되기 때문에 다음과 같이 평판 내부 field에 대한 일반 해를 구할 수 있다.

$$e_z(x, y) = E_0 \cos(k_x x) \cos(k_y y) \quad (2)$$

$$h_x(x, y) = \frac{1}{j\mu\omega} E_0 \cos(k_x x) \sin(k_y y)$$

$$h_y(x, y) = -\frac{1}{j\mu\omega} E_0 \sin(k_x x) \cos(k_y y)$$

$$\text{여기서 } k_x = \frac{m\pi}{w_x}, k_y = \frac{n\pi}{w_y} \text{ 이고, } m, n = 0, 1, 2, 3, \dots$$

파워/그라운드 평판은 평판내부의 field 해로부터 다음과 같은 전달 임피던스(transfer impedance)식으로 표현된다[6].

$$Z_{ij}(\omega) = \frac{E_i}{H_j} = j\omega\mu h \sum_{n=0}^{\infty} \sum_{m=0}^{\infty} \frac{\chi_{mn}^{-2}}{w_x w_y (k_{mn}^{-2} - k^2)} \times \cos\left(\frac{m\pi x_i}{w_x}\right) \cos\left(\frac{n\pi x_j}{w_y}\right) \cos\left(\frac{m\pi y_i}{w_x}\right) \cos\left(\frac{n\pi y_j}{w_y}\right) \quad (3)$$

$$k_{mn}^{-2} = \left(\frac{m\pi}{w_x}\right)^2 + \left(\frac{n\pi}{w_y}\right)^2, \quad k = \omega\sqrt{\mu\epsilon}$$

여기서, $(x_i, y_i), (x_j, y_j)$ 는 port의 위치 m, n 는 전파모드를 나타낸다. m 과 n 둘다 0 일 때 $\chi_{mn}^{-2} = 1$ 이고 m 혹은 n 둘 중의 하나가 0 인 경우 $\chi_{mn}^{-2} = 2$ 이며 m 과 n 둘 다 0이 아닌 경우 $\chi_{mn}^{-2} = 4$ 이다. 단, dielectric loss를 무시하고 port 크기가 굉장히 작다고 가정한다.

그림 2같은 구조의 경우 그림 3에서 보는 바와 같이 식

(3)은 full-wave field solver인 HFSS 결과와 매우 잘 일치하므로 식 (3)을 이용하여 공진현상을 해석적으로 고찰하는 것이 가능하다. 또한, $h \ll \lambda$ 이므로 공진주파수는 다음과 같이 근사화 된다.

$$f_{reson} = \frac{1}{2\pi\sqrt{\mu\epsilon}} \sqrt{\left(\frac{m\pi}{w_x}\right)^2 + \left(\frac{n\pi}{w_y}\right)^2 + \left(\frac{p\pi}{h}\right)^2} \quad (4)$$

$$\approx \frac{1}{2\pi\sqrt{\mu\epsilon}} \sqrt{\left(\frac{m\pi}{w_x}\right)^2 + \left(\frac{n\pi}{w_y}\right)^2} \quad m, n, p = 0, 1, 2, 3, \dots$$

위 식에 따르면 $f_{r100} = 2.69\text{GHz}$, $f_{r200} = 5.38\text{GHz}$ 에서 공진이 먼저 일어난다. 이러한 주파수에서 위치에 따른 평판의 self impedance는 그림 4와 같다. 그림 4로부터 공진 주파수일 때 특정 위치에서는 임피던스가 증가한다는 것을 알 수 있다. 그림 3에서 공진주파수에 이를 때마다 0dB가 되는 것은 파워/그라운드 평판 끝에서 반사가 일어나 open circuit가 되기 때문이다. 회로적 관점에서 평판 끝에서 생기는 반사파는 $\lambda/2$ 마다 전송선의 부하가 open circuit가 되는 것과 같다. 따라서 평판에서 생기는 공진현상을 전송선으로 모델하여 반영할 수 있다[3].

III. Package Modeling

공진현상을 정확히 반영하고 패키지와 회로의 특성을 동시에 고려하기 위해서 패키지의 등가회로모델이 선형되어야 한다. 평판은 파장을 고려하여 $\lambda/10$ 정도로 작게 나눈 집중점수회로로 나타내면 정확한 평판 특성을 표현하는 것이 가능하다[5]. 그러나 주파수가 올라갈 수록 인덕턴스성분에 의해 전류가 결정되기 때문에 저항이 주파수에 따라 증가하더라도 인덕턴스성분이 적은 곳으로 전류경로가 결정된다[7]. 따라서, 파워/그라운드 평판은 주파수에 의존하는 파라미터를 사용해서 모델되어야 한다. EM solver인 Maxwell Q2D parameter extractor를 사용하여 $\omega = 0$ 에서 추출한 저항과 인덕턴스값을 R_{dc} 와 L_{dc} 라 하고, $\omega = \infty$ 에서 추출한 인덕턴스값을 L_{hf} 라고 하면 그림 5의 등가회로의 모델 파라미터는 다음과 같이 주파수 의존형 파라미터로 나타낼 수 있다[8].

$$R_0 = \frac{R_{dc}L_{dc}}{L_{hf}}, R_1 = \frac{R_{dc}L_{dc}}{L_{dc} - L_{hf}}, L_0 = L_{hf}, L_1 = \frac{L_{dc}^2}{(L_{dc} - L_{hf})} \quad (5)$$

그림 6에서 주파수에 의존하는 평판 등가회로 모델과 HFSS 결과를 비교하여 제안한 등가회로 모델이 정확하다는 것을 보였다.

IV. Resonance Reduction

해석 결과를 제안한 등가회로 모델에 적용하면 공진현상 때문에 발생하는 임피던스를 효과적으로 감소시킬 수 있다. 식 (2)를 통해 평판 corner($x=0$ or w_x 이고 $y=0$ or w_y)에서는 항상 $e_z(x,y)$ 가 최대이고, $h_x(x,y)$ 와 $h_y(x,y)$ 는 최소이기 때문에 임피던스는 급격히 증가한다. 또한, 공진주파수가 커질수록 그림 4에서와 같이 $\lambda/2$ 의 정수배 간격으로 공진에 의한 임피던스 peak가 모드에 따라 추가로 생긴다. 이러한 위치에 그림 7에서와 같이 평판간에 lumped RC를 shunt로 연결하여 [4]에서 제시한 방법에 의해 공진현상을 효과적으로 줄인다.

전류의 흐름을 고려하면 평판 끝의 특성 임피던스는 평판 내부의 특성 임피던스의 2배이고, 평판 corner의 특성 임피던스는 평판 내부의 4배이다. 평판 corner에서 공진을 감소시킬 목적으로 평판 corner의 특성 임피던스와 같은 크기의 저항 (R_i)과 DC상태에서 파워와 그라운드가 short가 되지 않도록 커패시터 (C_i)를 그림 7과 같이 직렬로 연결한다. [4]보다 효과적으로 줄이기 위해 그림 7과 같이 lumped RC소자를 위치시킬 경우 그 값은 식 (6)과 (7)과 같이 결정된다. 이 때 커패시터는 첫번째 공진주파수보다 작은 RC corner 주파수가 되도록 결정한다[3],[4].

$$R_i = 4Z_0 = 4 \cdot 120\pi \frac{h}{\sqrt{\epsilon_r w_x w_y}} \approx 11.36\Omega \quad (6)$$

$$C_i = \frac{1}{R_i \cdot f_{r100}} \approx 32.6 pF \quad (7)$$

제안된 방법을 등가회로 모델에 사용함으로써 공진현상으로 인해 생기는 임피던스를 [5]에 비해 효과적으로 줄일 수 있다는 것을 그림 8에 H-spice를 사용해서 보였다.

V. Conclusion

본 논문은 평판구조 패키지에서 발생하는 공진현상

을 해석하고 해석된 결과를 패키지 등가회로 모델에 적용하여 공진현상을 감소시켰다. 제안된 방법은 [3]보다 적은 lumped RC소자를 사용해서 [4]보다 효과적인 위치에서 공진에 의해 생기는 임피던스를 감소시켰다. 해석 결과에 근거해 적은 소자로 공진을 줄였기 때문에 본 논문은 안정된 파워분배망을 설계하는 데 있어 유용하게 사용될 수 있다.

VI. Reference

- [1] L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc and T. Roy, "Power distribution system design methodology and capacitor selection for modern CMOS technology" IEEE Trans. Adv. Packag., vol. 22, pp. 284 -291, Aug. 1999.
- [2] S. Van den Berghe, F. Olyslager, D. de Zutter, J. de Moerloose and W. Temmerman, "Study of the ground bounce caused by power plane resonances" IEEE Trans., Electromag. Compat., vol. 40, pp. 111 -119, May 1998.
- [3] I. Novak "Reducing simultaneous switching noise and EMI on ground/power planes by dissipative edge termination" IEEE Trans. Adv. Packag., vol. 22, pp. 274 -283, Aug. 1999.
- [4] G. W. Peterson, J. L. Prince and K. L. Virga, "Investigation of power/ground plane resonance reduction using lumped RC elements", Proc., Elect., Comp., Technol., pp. 769-774, May 2000.
- [5] K. Lee and A. Barber, "Modeling and analysis of multichip module power supply planes", IEEE Trans. Comp., Packag., Manufact. Technol., B, Vol.18, pp. 628-639, Nov. 1995.
- [6] K. R. carver and J. W. Mink "Microstrip Antenna technology" IEEE Trans. Antenna Propaga., vol. Ap-29, No. 1, pp. 2-24, Jan. 1981.
- [7] B. Young, Digital Signal Integrity, Upper Saddle River: Prentice Hall, 2001.
- [8] B. Krauter and S. Mehrotra, "Layout based frequency dependent inductance and resistance extraction for on-chip interconnect timing analysis" Proc., Design Automation Conference, pp. 303-308, 1998.

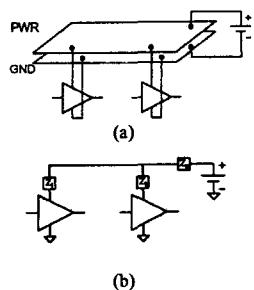


그림 1. (a) 평판구조를 사용하는 패키지구조
(b) 공진현상을 임피던스를 써서 나타낸 구조

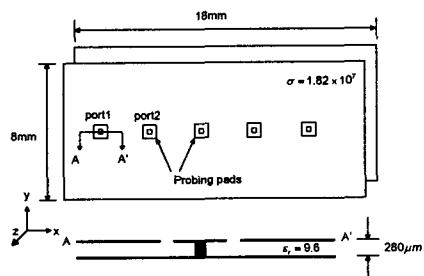


그림 2. Test 구조의 크기

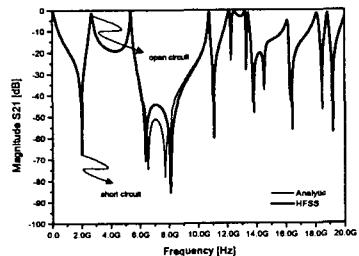


그림 3. 전달임피던스식과 HFSS 결과 비교

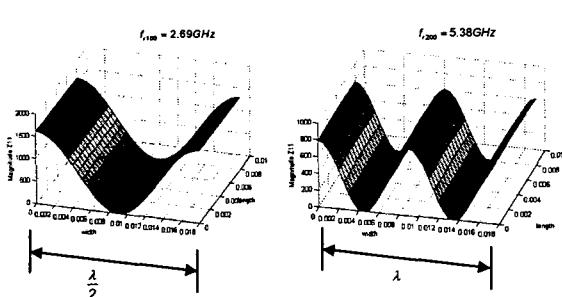


그림 4. 공진주파수 f_{r100}, f_{r200} 에서의 평판의 self impedance

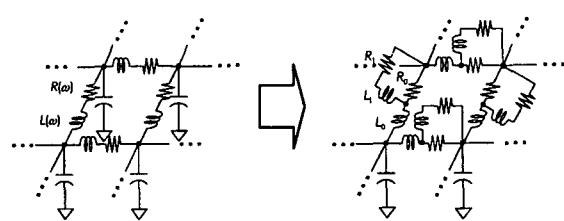


그림 5. 주파수 의존형 파라미터를 사용해서 나타낸
평판 등가회로 모델

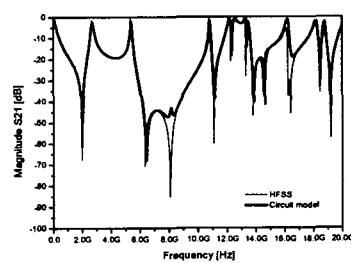


그림 6. 등가회로 모델의 H-spice결과와 HFSS 결과비교

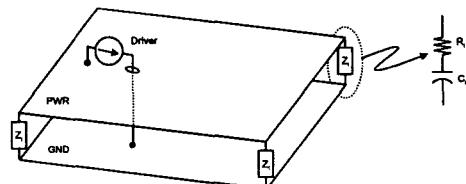


그림 7. 평판간 lumped RC 소자의 위치

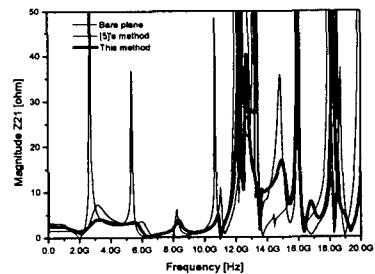


그림 8. 저항을 써서 전달 임피던스를 감소시킨 결과