

정보기기온칩을 위한 HW/SW 혼합 설계 및 검증 환경 개발

*장준영, **신진아, *배영환
*한국전자통신연구원 회로소자기술연구소 집적회로설계연구부 시스템설계자동화팀
** 한국정보통신대학원대학교 병렬처리실험실
전화 : 042-860-6680 / 핸드폰 : 016-611-4087

Developing of HW/SW Co-Design and Verification Environment for Information-Appliance-On-a-Chip

*Chang, June Young, **Shin, Jin Ah, *Bae, Young Hwan
System Design Automation Team ETRI-Micro-Electronics Technology Laboratory
Information and Communications University, Parallel Processing Laboratory
E-mail : jychang@etri.re.kr

Abstract

This paper presents a HW/SW co-design environments and its validation for development of virtual component on the 32-bit RISC core which is used in the design of Information-Appliance-On-a-Chip. For the experimental environment, we developed the cycle-accurate instruction set simulator based on SE3208 RISC core of ADChips. To verify the function of RISC core at the cycle level, we implemented the verification environment by grafting this simulator on the Seamless CVE which is a commercial co-verification environment.

I. 서론

반도체 공정 기술이 날로 발전함에 따라 2005년까지는 0.1 마이크로 공정인 가능한 deep-submicron 공정 기술이 보편화될 전망이다. 이에 따라 반도체의 집적도가 급속히 증가하게 되어 2억 개의 트랜지스터를 하나의 칩으로 집적하는 것이 가능하게 될 것이다. 따라서 하나의 칩만으로 커다란 시스템을 구현할 수 있게 되며, 한 칩 내에 RF, 마이크로프로세서, DSP, 재구성 가능한 요소 등 다양한 기능 블록들이 혼합되어 있는 설계가 필요하게 된다. 이러한 설계의 폭발적인 양

적 증가는 설계 방법론에 일대 변혁을 가져올 것으로 예상된다. 즉, 기존의 설계 방법론으로는 양적, 질적으로 시스템 설계 요구를 충족시키지 못하게 되어 새로운 설계 방법론인 SOC (System-On-Chip) 설계 기술에 대한 연구 필요성이 요구되고 있다. SOC 설계 기술은 기존의 IP를 이용한 설계와 HW/SW 혼합 설계(co-design) 기술이 필수적이다. IP 기반 설계는 설계 정보를 표준화하여 재사용이 가능하도록 함으로서, IP들의 단순한 통합 및 검증 절차에 의해 설계를 가능하도록 하는데 있다[1].

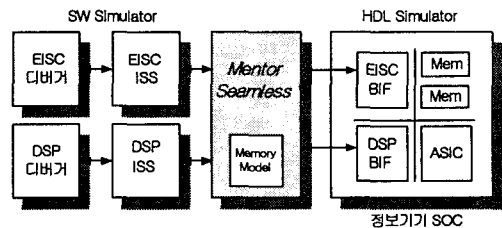


그림 1. HW/SW 통합 검증 플랫폼

본 논문에서는 휴대 및 통신 단말 등 정보기기에 필요한 기능을 한 개의 칩 내에 통합하기 위한 컴포넌트 코어 설계 기술의 구축을 위하여 그림 1과 같이 (주)ADChips의 EISC(Extendable Instruction Set Computer) 계열인 SE3208 RISC 코어[2]의 기능을 Cycle Accurate하게 실행하는 명령어 시뮬레이터

CA-ISS(Cycle Accurate Instruction Set Simulator)를 개발하였다. CA-ISS를 Mentor Graphics사의 혼합 검증 도구인 Seamless CVE[3]에 이식하여 RISC 코어의 동작을 cycle 레벨에서 검증함으로써 정보기기 온칩을 위한 설계 및 검증을 위한 환경을 구현하였다. 다음 II 장에서는 인스트럭션 수준의 혼합 설계 및 검증 환경에 사용되는 Cycle Accurate한 명령어 시뮬레이터의 구현에 대해서 설명한다. III장에서는 이 명령어 시뮬레이터를 Seamless CVE에 통합하여 혼합 검증 환경을 구성하는 과정에 대해서 설명하고, 마지막으로 예제를 이용하여 RISC 코어의 SE3208 기반의 혼합 설계 및 검증 환경의 수행 결과를 제시한다.

II. Cycle Accurate 명령어 시뮬레이터

2.1 개요

마이크로프로세서의 설계를 위해서 개발 전에 프로세서의 정확성 또는 그 성능을 측정하기 위하여 다양한 시뮬레이션이 필요하다. 명령어 시뮬레이터는 실제 마이크로프로세서의 명령어를 읽고 이의 동작을 동일하게 묘사하여, 일반 프로그램을 실행했을 때 프로세서가 수행하는 과정을 확인, 검증하고 효율적으로 그 성능을 비교, 측정하는 소프트웨어 환경이다. 대부분의 이러한 개발 도구들은 타이밍 정보나 통계 값은 물론, 시스템의 메모리나 레지스터의 변화 혹은 결과 값을 실행과정 중에 볼 수 있도록 함으로써 시스템 설계자에게 소프트웨어 개발 및 검증 환경을 제공한다.

2.2. 명령어 시뮬레이터 동작

SE3208 RISC 코어[2]의 명령어 시뮬레이터는 3단계 파이프라인을 가지며, 시뮬레이터에서는 cycle과 각 단계별 명령어의 수행 과정과 결과를 자세하게 보여준다. 시뮬레이터의 동작은 명령어를 fetch하는 Ti, 명령어를 디코딩하고 실행하는 Te, 그리고 메모리 접근을 위한 Tm 세 단계의 파이프라인별 실행을 한 클럭에 동작해야 하므로 그림2와 같이 역순으로 진행한다. 만약 명령어를 fetch하는 Ti단계부터 실행한다면, 한 클럭에 하나의 명령어를 한꺼번에 실행하는, 즉, Ti, Te, Tm 단계를 한꺼번에 실행하게 되므로 Ti단계를 가장 나중에 실행함으로써 Cycle Accurate 파이프라인 시뮬레이터를 구현할 수 있다. 그림2는 최초의 명령어가 실행되는 과정을 보여준다. 최초의 명령어는 첫 cycle에서 Tm과 Te단계는 지나치고 Ti단계만을 실행하게 된다. 두 번째 cycle에서는 먼저 fetch한 명령어의 Te 단계를 실행하고, 다음 명령어를 fetch한다. 세 번째 cycle에서 처음 fetch한 명령어의 Tm단계 수행을 마치고, 다음 명령어의 Te단계, 새로운 명령어의 Ti단계를

실행한다.

	NON	NON	Instr.1	Instr.2	Instr.3
Cycle1	PASS	PASS	Ti		
Cycle2		PASS	Te	Ti	
Cycle3			Tm	Te	Ti

그림 2. 명령어의 사이클별 진행 순서

2.3 명령어 시뮬레이터의 흐름도

그림 3은 명령어 시뮬레이터의 핵심코어 흐름을 나타낸 것이다. 프로그램 수행중에 프로세서의 현재상태를 저장하고있는 State 구조체는 현재 프로세서의 레지스터 값, 메모리 맵, 예외상황 발생여부, 프로그램의 종료여부에 대한 정보를 가지고 있으며, 프로세서의 각 동작에 따라 값이 변한다. 한 명령어가 수행되려면 총 3회의 클럭을 거쳐야 하는데, 처음 Ti단계는 명령어를 메모리에서 읽어 온 뒤 프로그램 카운터를 증가시킨 뒤 명령어에 대한 정보를 파이프라인 구조체(se3208_pipeline1)에 저장한다.

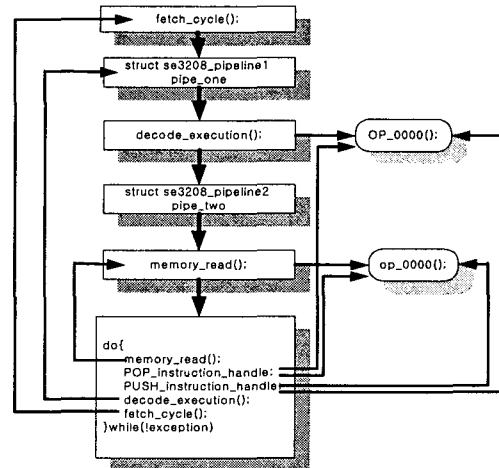


그림 3. 명령어 시뮬레이터의 흐름도

두 번째 클럭에서 수행하는 Te단계는 명령어마다 다르게 동작하므로 각각의 모든 명령어의 실행을 구현한 함수(OP_0000())를 호출하며, 이에 필요한 명령어 정보를 파이프라인 구조체에서 읽는다. 실행한 명령어의 결과정보를 파이프라인 구조체(se3208_pipeline2)에 저장한다. 마지막으로 Tm단계에서는 Te단계에서 저장된 파이프라인을 읽어 이 명령어의 메모리 동작을 구현한 함수(op_0000())를 호출한다. 한번의 루프가 한 클럭으로 동작하고, 여러 단계가 필요한 PUSH, POP 명령어는 따로 처리하여야 한다.

III. HW/SW 혼합 검증 환경

HW/SW 혼합 설계 환경에서 하드웨어와 소프트웨어를 동시에 검증하는 일은 매우 어려운 과정이다. 따라서 프로세서 내장형 혼합 설계 환경에서는 프로세서에 따른 하드웨어 소프트웨어 혼합 검증 환경이 필수적이다. 기존의 Mentor Graphics사의 Seamless CVE에서 제공하는 PSP (Processor Support Packages)는 ARM, M-core, Intel-i960, IBM PowerPC등이 있다[4]. 본 논문에서는 새로운 컴포넌트 코어인 SE3208 RISC 코어의 CA-ISS를 Seamless CVE의 인터페이스 형식을 이용하여 통합함으로써 SE3208 RISC 코어를 위한 혼합 설계 및 검증 환경을 구현하였다.

3.1 구성도

SE3208 RISC 코어를 위한 통합 설계 및 검증 환경의 전체적인 구성도는 그림 4와 같다. SE3208의 CA-ISS를 Seamless CVE에 통합하기 위해서는 각 인터페이스 모델을 설계해야 하는데 이는 크게 ISM(Instruction Set Model)과 BIM(Bus Interface Model) 및 HSI(Hardware Simulator Interface)로 구성된다.

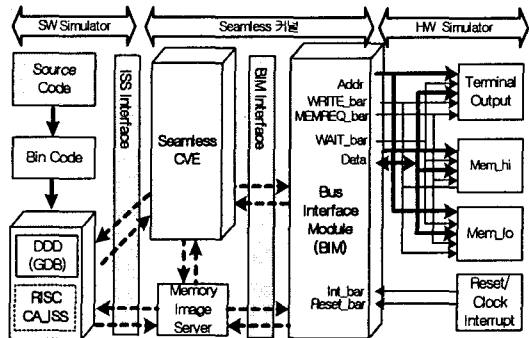


그림 4. RISC 코어의 설계 및 검증 환경

(1) BIM(Instruction Set Model) 설계

SE3208용 ISM 인터페이스는 RISC 코어의 기능적 소프트웨어 모델인 CA-ISS와 디버거가 Seamless CVE 커널을 통하여 프로세서의 BIM과 데이터를 교환할 수 있도록 한다. 이러한 소프트웨어 시뮬레이터 인터페이스는 CA-ISS와 소프트웨어 디버거 사이에서 동작하는 'front-end' 인터페이스와 CA-ISS와 CVE 커널, 궁극적으로는 BIM과 동작하는 'back-end' 인터페이스로 이루어진다. CA-ISS에서 실행되는 프로그램이 하드웨어와 인터페이스를 통해서 명령어가 실행되는 과정을 검증하고 디버깅하기 위해서 GDB와 DDD를 사용한다. DDD(Data Display Debugger)[5]는 GDB와 같은 디버거 프로그램에 GUI 환경을 제공하는 툴이다. 기존의

Seamless CVE에서 사용하는 소프트웨어 디버거인 XRAY-debugger 대신에 DDD를 사용할 수 있도록 통합하였다. 소스코드의 각 명령어를 읽고 하드웨어와 인터페이스하면서 명령어의 실행되는 과정을 DDD를 통해서 보여준다.

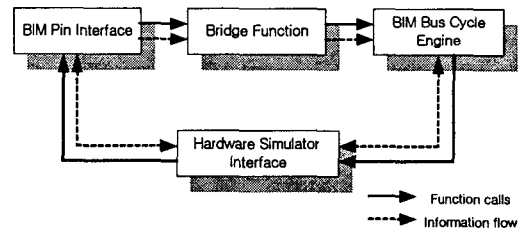


그림 5. Bus Interface Model

(2) BIM(Bus Interface Model) 설계

SE3208용 BIM은 하드웨어 디자인에 하나의 컴포넌트로 놓여질 수 있는 프로세서의 버스 cycle의 정확성을 갖는 모델로서, 하드웨어 디자인의 다른 부분과의 인터페이스는 프로세서의 외부의 핀들로 이루어진다. BIM은 그림 5와 같이 Bus Cycle Engine, Pin Interface, Bridge Function으로 구성되어 있다. Bus Cycle Engine은 하드웨어 소프트웨어 시뮬레이터 사이의 통신, 인터럽트 인식, 모든 버스 cycle을 포함한다. Pin Interface는 하드웨어 시뮬레이터에 연결된 핀을 가지고 있다. Bridge Function은 핀 정보를 가지고 Bus Cycle Engine을 기동한다.

(3) HSI(HW Simulator Interface) 설계

HSI는 하드웨어 시뮬레이터 인터페이스는 하드웨어 시뮬레이터의 특정한 기능과 버스 인터페이스와 메모리 모델을 위한 핀 인터페이스에 신호에 접근한다.

3.2 예제에 의한 실험 결과

SE3208용 CA-ISS를 Seamless CVE에 통합하여 구성된 검증 환경의 동작을 검증하기 위해서 HW/SW 모듈로 구성된 간단한 혼합 설계 예제를 사용하였다. 본 예제의 하드웨어 모듈은 명령어 처리 과정을 출력하기 위한 터미널모듈, 메모리모듈, reset, clock 인터럽트모듈로 구성되어 있고 소프트웨어모듈은 quicksort 프로그램을 수행하였다. 그림 6은 예제에 대한 HW/SW 혼합 검증 과정 및 결과를 보여주고 있다. gcc로 컴파일된 SE3208용 binary 데이터는 메모리에 적재된 후 각 명령어가 하나씩 CA-ISS에서 수행된다. DDD에서는 프로그램 디버깅 환경을 제공하고, 터미널을 통해서 각 명령어들이 3-단계 파이프라인으로 처리되는 과정과 프로그램 실행 중간 결과, 메모리 및 레

지스터의 값과 명령어 수행의 통계 값들이 출력된다. 하드웨어 모듈은 Mentor Graphics사의 Modelsim에 의해서 시뮬레이션되고 파형도에 의해 인터페이스 결과를 보여준다.

IV. 결론

본 논문에서는 정보기기의 SOC 설계를 위한 컴포넌트 코어 설계 기술의 구축을 위하여 (주)ADChips의 EISC 계열인 SE3208 RISC 코어[2]의 Cycle Accurate 하게 실행되는 명령어 시뮬레이터인 CA-ISS를 개발하고, 이를 Seamless CVE에 이식하여 RISC 코어의 동작을 cycle 레벨에서 검증함으로써 정보기기 온칩을 위한 설계 및 검증을 위한 환경을 구현하였다. SE3208과 같은 새로운 내장형 RISC 코어에 대한 소프트웨어 개발 환경을 제공하고 HW/SW 검증 환경을 제공한다. 향후 새로운 재구성이 가능한 내장형 프로세서가 개발되면, 동일한 방법으로 Seamless CVE와 같은

틀을 이용하여 새로운 프로세서에 대한 혼합 검증 환경을 구성할 수 있다.

참고문헌

- [1] Felice Balarin, et al, Hardware-Software Co-Design Of Embedded Systems, The POLIS Approach, Kluwer Academic Publishers, 1997.
- [2] Asia Design Co., EISC Microprocessor SE3208 Core Manual Ver1.0, 2000.
- [3] Mentor Graphics Co., Getting Started with the Seamless Co-verification Environments. (available in <http://www.mentor.com/seamless>)
- [4] Mentor Graphics Co., Seamless CVE Instruction Set Simulator Interface Specification. (available in <http://www.mentor.com/seamless>)
- [5] User's Guide and Reference Manual First Edition, for DDD Version 3.2 (available in <ftp.gnu.org/gnu/ddd>)

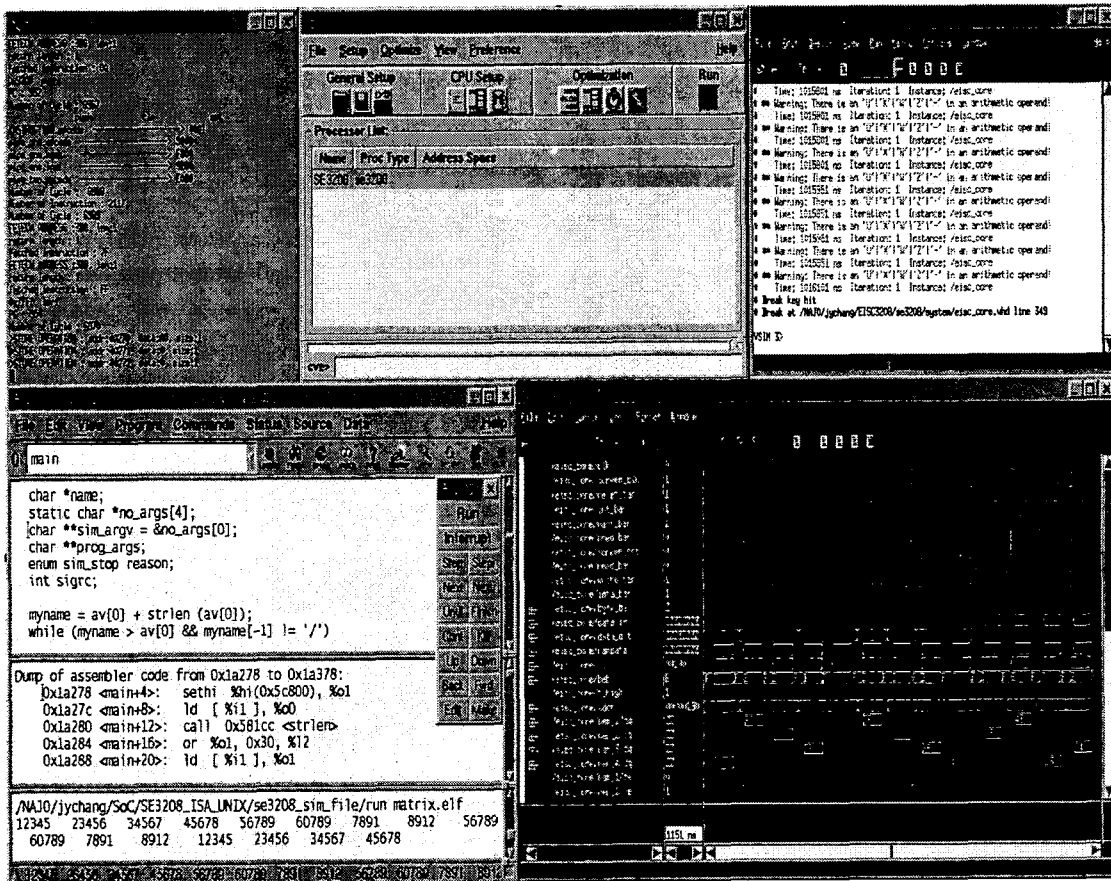


그림 6. SE3208 RISC 코어를 이용한 HW/SW 혼합 검증 결과