

# SOC 설계를 위한 저전력 32-비트 RISC 프로세서의 재사용 가능한 설계

이세환, 광승호, 양훈모, 이문기  
연세대학교 전기전자공학과 VLSI&CAD연구실  
전화 : 02-2123-4731

## Resuable Design of 32-Bit RISC Processor for System On-A Chip

Se-Hwan Lee, Sung-Ho Kwak, Hoon-Mo Yang, Moon-Key Lee  
Dept. of Electrical and Electronic Engineering, Yonsei University  
E-mail:{geni, iris, slover}@spark.yonsei.ac.kr, mkleee@yonsei.ac.kr

### Abstract

*A 32-bit RISC core is designed for embedded applications and DSP. This processor offers low power consumption by fully static operation and compact code size by efficient instruction set. Processor performance is improved by using conditional instruction execution, block data transfer instruction, multiplication instruction, banked register file structure. To support compact code size of embedded applications, It is capable of executing both 16-bit instructions and 32-bit instructions through mixed mode instruction conversion. Furthermore, for fast MAC operation for DSP applications, the processor has a dedicated hardware multiplier, which can complete a 32-bit by 32-bit integer multiplication within seven clock cycles. These result in high instruction throughput and real-time interrupt response. This chip is implemented with 0.35 $\mu$ m, 4-metal CMOS technology and consists of about 50K gate equivalents.*

### I. 서론

현재의 인터넷/네트워크 통신을 기반으로 하는 개인/가정 멀티미디어 시스템은 컴퓨터와 커뮤니케이션의 결합에 의한 복합 시스템의 형태의 포터블한 터미널 장치가 되어가고 있다.<sup>[1]</sup> 포터블한 복합 시스템을 위한

효율적인 해결책으로 SOC (System-On-A-Chip)이 가능한 CPU가 반드시 필요하며 포터블 복합 시스템은 저전력 뿐만 아니라 고성능의 사양을 요구하고 있다. 한정된 메모리를 이용하기 위한 간결한 코드 크기, 응용 시스템의 빠른 스펙 변화에 대응하기 위한 프로그램 용이성, 다양한 주변장치에 대한 빠른 인터럽트 반응, 집적성 등 일반적인 마이크로프로세서와는 다른 특성이 필요하며, 따라서 SOC설계에 있어서 프로세서의 특성은 시스템의 성능을 결정하는 핵심이다.

본 논문에서는 이러한 요건을 충족시킬 수 있는 다목적 내장형 32-비트 프로세서를 설계하였다. 디자인의 재사용을 고려하여 상위 수준에서 구조를 정의하고 설계하였다. Top-down 방식의 ASIC 설계에 있어서 합성 가능한 형태로 HDL 모델을 구현할 때 기능 모듈의 구성을 체계화함으로써 하위 시스템으로 설계된 블록의 integration, synthesis, verification을 수행하는 시간을 줄일 수 있다.

설계된 프로세서는 0.35 $\mu$ m, 사중 금속 CMOS 표준 라이브러리를 이용하여 구현되었으며 최악의 경우에 40MHz의 속도로 동작한다

### II. 마이크로아키텍처

설계된 프로세서는 32비트 Load/Store RISC 구조이다. 프로세서는 그림 1과 같이 내부 오퍼랜드를 저장하기 위한 레지스터 파일과 연산을 수행하기 위한 ALU(Arithmetic and Logical Unit), 32비트 쉬프트, 32비트 곱셈기, 그리고 이러한 데이터 패스와 파이프라

인을 제어하기 위한 제어기로 구성되어 있다. 메모리 오퍼랜드는 Load/Store 명령어에 의해서만 접근 가능하다. 메모리를 접근할 때 C/C++과 같은 상위 레벨 언어에 적합하도록, 간접 레지스터 어드레싱, 상대 PC(Program Counter) 어드레싱 모드, 자동 증가/감소 어드레싱 모드, pre-indexing과 post indexing 등 다양한 어드레싱 모드를 제공함으로써 사용자가 프로그래밍하기 쉽도록 하였다.<sup>[2][3]</sup>

모든 명령어는 기본적으로 32비트로 구성되어 있다. 따라서 레지스터 파일의 크기나 오프셋의 길이에 있어서 충분한 하드웨어를 이용할 수 있도록 비트를 할당할 수 있다. 특히 분기명령어는 24비트의 오프셋을 사용함으로써 프로그램의 대부분의 영역으로 분기가 가능하다. 더 큰 오프셋이 필요한 경우에는 레지스터를 이용할 수 있다.

그러나 32비트 명령어 포맷의 가장 큰 단점은 Load/Store RISC구조에서 코드 크기가 증가하는 것이다. 이에 대한 해결책으로 간결한 코드 크기를 유지하기 위해 16비트의 축약된 명령어를 수행할 수 있는 모드를 가지고 있다. 이 모드에서는 사용할 수 있는 하드웨어는 한정되지만 프로그램의 크기를 줄임으로써 명령어 페치를 위한 전력소비를 최소화할 수 있다. 파이프라인의 디코드 단계에서는 이 모드의 명령어를 해석하기 위한 그림 2와 같이 하드웨어가 더 필요하기 때문에 페스 지연시간은 어느 정도 증가하지만 16비트 모드 명령어를 정규화 함으로써 최소화할 수 있다.<sup>[5][6]</sup>

분기명령어는 파이프라라인된 RISC 프로세서의 성능을 악화시킨다. 특히 코드상에서 반복되는 작은 루프는 프로그램의 순차성을 떨어뜨리게 되며 파이프라인의 정규적인 수행을 방해한다. 따라서 작은 루프를 피하고 이 루프를 순차적인 명령어들로 대체함으로써 전체적인 성능을 향상시킬 수 있다. 설계된 프로세서는 모든 명령어를 조건부적으로 수행하여 작은 루프를 피하는 것이 가능하다.<sup>[7]</sup>

또한 명령어의 특성상 저전력 프로그래밍이 가능하다. 마이크로컨트롤러를 기반으로 하는 응용 시스템의 전력소비감소는 저전력 소프트웨어를 설계함으로써 가능한데 수행되는 명령어 수를 줄이거나 명령어 당 수행되는 클럭 사이클을 줄이기 위한 방법으로 특정 명령어에 의한 성능 향상과 CPI(Cycle Per Instruction)를 되도록 작게 유지하는 것을 생각할 수 있다.<sup>[4]</sup> 예를 들어 소프트웨어 곱셈을 수행할 경우와 하드웨어로 구현된 곱셈을 비교할 때 후자가 에너지 소비 측면에서 우월하다. 설계된 프로세서는 추가되는 하드웨어를 고려하여 32\*32비트 전체 곱셈기를 구현하지 않고 32\*8비트의 곱셈기와 ALU를 이용하여 최대 7사이클 동안 MAC(Multiplication and Accumulation)을 이용한 64비트 결과를 얻을 수 있도록 하였다. 또한 대다수의 응용 프로그램에서 데이터의 크기가 16비트 미만인 점을 고려하여 승수의 상위 비트를 확인하여 0인 경우

곱셈 사이클이 조기 종료될 수 있도록 하였다. 이외에도 컨텍스트 스위칭이 빈번히 발생하는 응용 시스템의 경우에 컨텍스트 이동이 단일 블록 전송 명령어에 의해 수행될 수 있도록 하였다. 그리고 3단 파이프라라인(FETCH-DECODE-EXECUTION)을 적용함으로써 가능한 모든 명령어가 단일 사이클에 수행되도록 설계되어 CPI를 작게 유지할 수 있다. 좋은 MIPS(=f / CPI) 성능을 위하여 주파수를 상승시키는 것보다는 CPI를 작게 하는 것이 저전력에 유리하다. 즉 전력소비 P(=CV<sup>2</sup>f)는 동작 주파수에 비례하기 때문에 낮은 CPI를 유지함으로써 저속의 클럭에서도 높은 성능을 유지할 수 있으며 전력 소비를 줄일 수 있다.

다양한 내장형 응용을 고려하여 기능의 확장이 쉽도록 단순하지만 고성능의 코프로세서 인터페이스를 지원한다. 코프로세서 명령어와 메모리 어드레스를 주프로세서에서 제공함으로써 인터페이스의 일관성을 유지하고 16개까지의 코프로세서를 확장할 수 있다.

프리스타이스 인터럽트 지원되며 익셉션이 발생할 경우 현재 상태를 메모리에 저장하고 익셉션 처리의 종결 후 현재 상태의 손실없이 중단된 프로그램 수행을 계속 진행할 수 있다.

전력소비의 많은 부분을 차지하는 메모리 액세스를 최소화하기 위해 큰 레지스터 파일을 내부에 두는 것이 바람직하다. 설계된 프로세서는 16개의 일반 내부 레지스터를 이용할 수 있고 또한 인터럽트 처리를 빠르게 하기 위해 프로세서의 동작모드에 따라 16개의 레지스터를 추가로 할당한 뱅크 구조를 채택하고 컨텍스트 스위칭을 줄였다.

### III.저전력 설계

내장형 프로세서 설계에 있어서 저전력 소비는 매우 중요한 관점이 되고 있다. 설계된 프로세서에서는 gated clock을 데이터 및 제어용 레지스터에 적용하여 사용되지 않는 값이 레지스터를 불필요하게 갱신하지 못하게 하였다. 이것은 각 명령어가 수행될 때 오직 유용한 값만이 파이프라라인을 거쳐서 수행되므로 파이프라라인 구현을 위해 동작할 기능 유닛의 불필요한 동작과 디코딩을 원천적으로 막게 된다. 또한 gated clock이 파이프라라인 구조와 결합되어 사용될 수 있다. 즉 gated clock이 적용된 기능 블록을 구현하기 위한 입력과 제어 레지스터는 파이프라라인 레지스터로써 이용될 수 있다. 기능 블록의 입력단에 각각의 블록킹 래치를 적용함으로써 동작할 필요가 없는 블록에 입력이 들어가는 것을 막았다. 그림 3은 guarded operation을 적용한 프로그램 카운터의 구조이다.

회로전체를 완전 정적 회로로 설계함으로써 프로세서 코어 수준 혹은 콤포넌트 수준의 다양한 전력 소모 방지기술을 적용할 수 있다. 코어의 활동이 전혀 필요 없는 경우에는 코어에 들어가는 클럭을 완전히 멈추는

## SOC 설계를 위한 저전력 32-비트 RISC 프로세서의 재사용 가능한 설계

정지 모드, 필요에 따라 클럭을 늦추는 기법 등을 시스템 설계자가 쉽게 구현할 수 있다.<sup>[8]</sup>

### IV. 재사용 가능한 설계

프로세서를 HDL로 모델링할 때 모듈의 계층구조를 단순화하고 정규화함으로써 디자인의 합성과 검증을 쉽게 수행할 수 있다. 그림 4는 구현된 프로세서의 모듈 구조이다. 모듈을 파이프라인별로 구분하고 특히 클럭 발생을 각 파이프라인 별로 지역화함으로써 gated clock에 의한 클럭 스퀘 문제를 상위 수준에서 고려하여 해결할 수 있다.

그림 6과 7은 설계된 프로세서의 검증 방법이다. 검증은 테스트 벡터에 따라 크게 세 가지로 구분할 수 있다. 첫 번째는 direct self-checking 기능을 포함한 test vector를 사용하여 HDL 모델을 검증하는 것이고 두 번째는 random하게 발생된 벡터를 C로 모델링된 cycle accurate simulator와 HDL 모델에서의 결과를 비교하여 design engineer가 고려하지 못한 부분에 대한 검증을 수행할 수 있다. 또 마지막으로 실제 프로그램인 real code를 테스트 벡터로 사용함으로써 디자인의 신뢰성을 높일 수 있다.<sup>[9][10]</sup>

### V. 결론

설계된 프로세서는 폰 노이먼 구조의 32비트 RISC 형태의 Load/Store 아키텍처이다. 16/32비트의 혼합된 포맷의 명령어를 이용하여 내장형 응용에서 문제가 되는 코드 밀도 문제를 해결하였다. 하드웨어적인 곱셈 명령을 지원하며 DSP와 같은 응용 시스템에도 적용할 수 있다. 또한 코프로세서 인터페이스를 통해 기능 및 성능을 쉽게 확장할 수 있다.

프로세서는 Verilog-HDL을 이용하여 합성 가능한 수준으로 설계 및 검증되고 Synopsys의 Design Compiler를 이용하여 합성되었다. 0.35um, 사중급속 CMOS 프로세스를 이용하여 설계되었고, 3.0V 25 C에서 83MHz의 동작속도를 얻었다.

표 1에 설계된 프로세서의 물리적 특성을 요약하였다. 그림 8은 Apollo II를 이용하여 automatic P&R을 한 레이아웃이다.

### 참고문헌

[1] Kenneth Hinz and Daniel Tabak, *Microcontrollers : Architecture, Implementation, and programming*. New York: McGraw-Hill, 1992.  
 [2] John L. Hennessy and David A. Patterson, *Computer Architecture: A Quantitative Approach*. San Mateo : Morgan Kaufmann, 1990.  
 [3] Michael J. Flynn, *Computer Architecture: Pipelined and Parallel Processor Design*, Jones and Bartlett Publishers, 1995

[4] Christian Piguet and et al., "Low Power Design of 8-b Embedded CoolRISC Microcontroller Cores," in *IEEE Journal of Solid-State Circuits*, Vol.32, NO.7, pp1067-1078, 1997  
 [5] S. Senars and et al., "Embedded control problems, thumb and the ARM7TDMI," *IEEE MICRO*, pp.22-30, Oct. 1995  
 [6] J. Bunda, D. Fussell, W. C. Athas, and R. Jenevein. "16-bit vs. 32-bit Instructions for Pipelined Microprocessors," *Proc. Intl Symp. Computer Architecture (ISCA)*, pp.237-246, May 1993  
 [7] Pnevmatikatos D. N and Sohi G. S., "Guarded Execution and Branch Prediction in Dynamic ILP Processors," *Proc. 21 ISCA*, pp.120-129, 1994  
 [8] 조상연, 박상현, 김상우, 김용천, 정세웅, 정봉영, 노형래, 이창호, 양훈모, 곽승호, 이문기, "CalmRISC™-32 : A 32-bit low power MCU core," *Proc. of AP-ASIC'2000*, 285-290, August 2000, Cheju, Korea  
 [9] 이창호, 양훈모, 곽승호, 이문기, 박상현, 조상연, "Efficient random vector verification method for an embedded 32bit RISC Core," *Proc. of AP-ASIC'2000*, pp.291-294, August 2000, Cheju, Korea  
 [10] Prasenjit Biswas and Andy Freeman, "Functional Verification of the Superscalar SH-4 Microprocessor," *Proc. Intl Symp. Computer Architecture (ISCA)*, pp.115-120, 1997

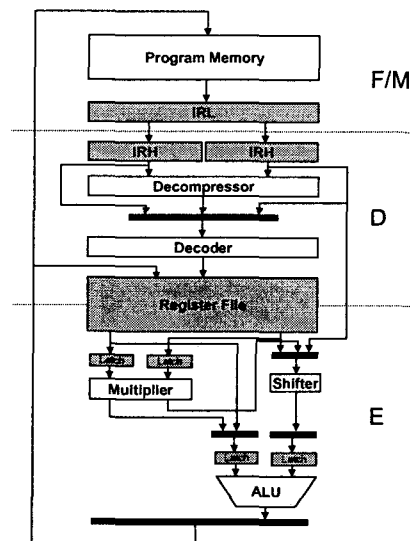


Figure 1. Pipelined Data Path

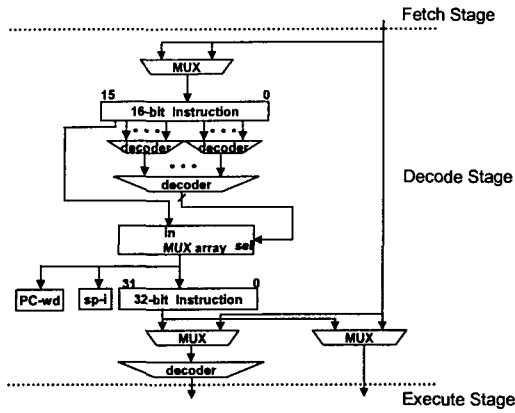


Figure 2. Instruction Decompressor

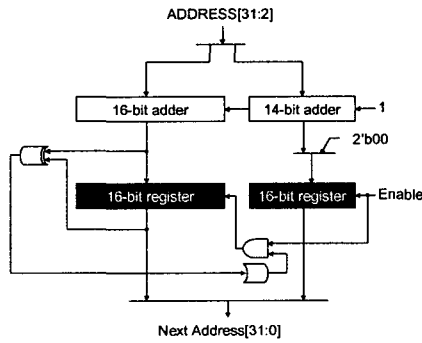


Figure 3. Low Power Program Counter Using Guarded Operation

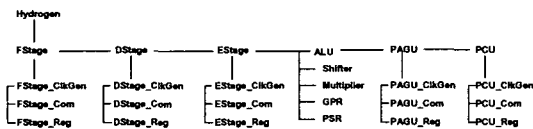


Figure 4. Top-down Module Hierarchy

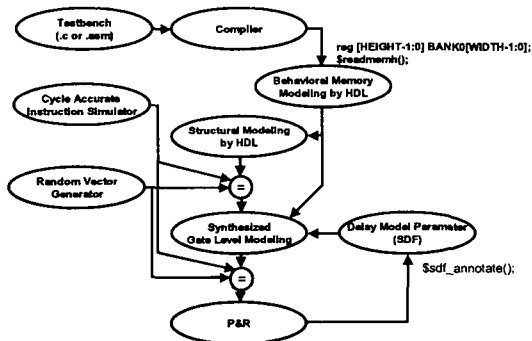


Figure 6. Function Verification Methodology Using Random Vector

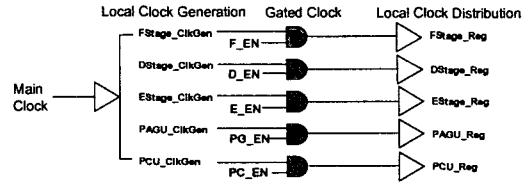
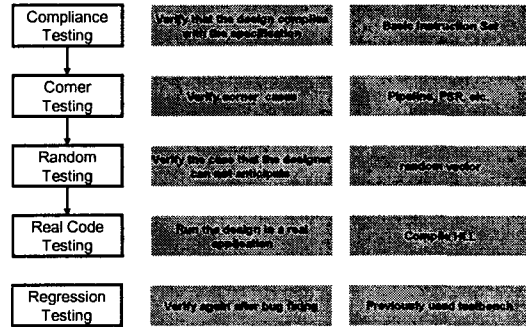


Figure 5. Localized Clock Distribution



\* Self-checking testbench with a clear pass/fail and error report

Figure 7. Systematic Test Vector

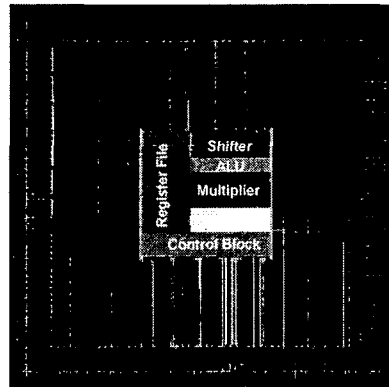


Figure 8. Layout with Functional Overlay

Table 1. Macro Characteristics

Technology	0.35um, 4-metal process
Power Supply	3.0V
Clock Frequency	40 ~ 83MHz
Power Consumption	300mW(Active)
Core Area	3.59mm²(core)
Gate Count	About 50,000
Pin Interface	Total: 208
	Input: 38
	Output: 86
	Bidirectional: 32
	VDD: 28 VSS: 24