

## 저전력 CMOS 기준전류 발생회로

김 유환, 권 덕기, \*이 종렬, 유 종근  
인천대학교 전자공학과, \*(주)FCI  
전화 : 032-770-8450

### A Low-Power CMOS Current Reference Circuit

Y. H. Kim, D. K. Kwon, J. R. Lee, C. G. Yu  
Department of Electronics Engineering, University of Incheon  
E-mail: schang74@orgio.net

#### Abstract

In this paper, a simple low-power CMOS current reference circuit is proposed. The reference circuit includes parasitic pnp BJTs and resistors. Temperature compensation is made by adding a current component proportional to a thermal voltage to a current component proportional to a base-to-emitter voltage. The designed circuit has been simulated using a 0.25 $\mu$ m n-well CMOS process parameters. The simulation results show that the reference current is  $34.96\mu\text{A} \pm 0.04\mu\text{A}$  in the temperature range of  $-20^{\circ}\text{C}$  to  $120^{\circ}\text{C}$ . The reference current varies less than 0.6% when the power supply voltage changes from 2.5V to 3.5V. For  $V_{DD}=5\text{V}$  and  $T=30^{\circ}\text{C}$  the power consumption is  $520\mu\text{W}$  during normal operation but reduces to  $0.1\text{mW}$  during power-down mode.

트랜지스터와 저항만을 사용한 기준전압 발생회로에 대한 연구가 활발히 이루어지고 있다.[5] 그러나 실제 IC에 필요한 기준전원은 대부분 전류전원이며, 이러한 기준전류를 구현하기 위해 많이 사용하는 방법은 밴드갭 기준전압을 이용하는 것이다. 기준전압을 이용하여 기준전류를 발생시키기 위해서는 추가적인 회로가 필요하며, 추가되는 소자들에 의해 기준전류의 온도 특성이 나빠지게 된다.

따라서, 본 논문에서는 기준전압을 사용하지 않고 직접 기준전류를 발생시키기 위한 저전력 CMOS 기준전류 발생회로를 설계하였다. 음의 온도 특성을 갖는 기생 pnp BJT의 베이스-에미터 전압을 포함하는 전류 성분과 양의 온도 특성을 갖는 열전압을 포함하는 전류 성분을 더해서 온도 변화에 대한 보상을 하였으며, 저전력 소모 특성과 power-down 모드 특성을 갖도록 설계하였다. 설계된 회로의 동작 특성과 SPICE 모의 실험 결과를 제시하였다.

#### I. 서론

기존에 on-chip 기준전압 발생회로로는 바이폴라 공정의 BJT[1,2]나 CMOS 공정의 기생 BJT[3,4]를 이용한 밴드갭(bandgap) 기준회로가 많이 사용되고 있다. 또한 최근에는 증식형(enhancement-mode) MOS

본 연구는 인천대학교 멀티미디어 연구센터의 RRC 과제 지원과 IDEC 지원에 의해 일부 수행되었음.

#### II. 기준전류 발생 원리

제안된 기준전류 발생 회로의 원리를 그림 1에 나타내었다. 열전압  $V_T$ 는 온도에 비례적으로 증가하며  $+0.087\text{mV}/^{\circ}\text{C}$ 의 온도계수를 갖는다. 반면 pnp BJT의 에미터와 베이스 사이의 전압  $V_{EB}$ 는 온도에 따라 비례적으로 감소하며 약  $-1.5\text{mV}/^{\circ}\text{C}$ 의 온도계수를 갖는다. 따라서 이 두 성분을 합하면 온도에 둔감한 기준전류

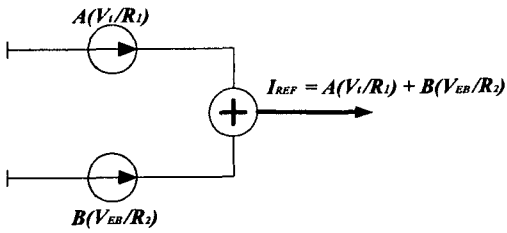


그림 1 기준전류 발생회로의 개념도  
Fig 1. Principle of the current reference circuit

를 얻을 수 있다. 그림 1에서 기준전류  $I_{REF}$ 는 다음 식으로 주어진다

$$I_{REF} = I_P + I_N = A \left( \frac{V_t}{R_1} \right) + B \left( \frac{V_{EB}}{R_2} \right) \quad (1)$$

여기서  $I_P$ 는 온도에 비례하는 전류성분이고,  $I_N$ 은 온도에 반비례하는 전류성분이다.  $I_P$ 와  $I_N$ 은 다음 식에서와 같이 각각 양의 온도계수와 음의 온도계수를 갖는다.

$$\frac{\partial I_P}{\partial T} = I_P \left( \frac{1}{V_t} \frac{\partial V_t}{\partial T} - \frac{1}{R_1} \frac{\partial R_1}{\partial T} \right) > 0 \quad (2)$$

$$\frac{\partial I_N}{\partial T} = I_N \left( \frac{1}{V_{EB}} \frac{\partial V_{EB}}{\partial T} - \frac{1}{R_2} \frac{\partial R_2}{\partial T} \right) < 0 \quad (3)$$

따라서, 저항 값을 조절하여 기준전류 값을 변화시킬 수 있으며,  $A$ 와  $B$ 의 값을 조절하여 기준전류의 온도계수를 향상시킬 수 있다.

### III. 기준전류 발생 회로

#### 3.1 양의 온도특성을 갖는 전류발생 회로

양의 온도특성을 갖는 전류를 발생하기 위한 회로를 그림 2에 보였다. 기본적으로 이 회로는 PTAT (Proportional To Absolute Temperature) 전류발생 회로와 일치한다. M1과 M2로 구성된 전류복사 회로가 양쪽 path의 전류를 같게 만들고, M3와 M4의 소스(source) 전압을 같게 만든다. 따라서, Q1이 Q2보다  $n$  배 큰 면적을 갖는 경우 Q1 또는 Q2에 흐르는 전류는 다음과 같다.

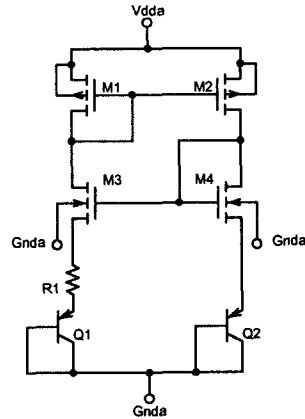


그림 2 양의 온도특성을 갖는 전류발생회로  
Fig. 2 Current reference circuit with a positive temperature coefficient

$$I_P = \ln(n) \frac{V_t}{R_1} \quad (4)$$

여기서  $V_t = kT/q$  이다. 저항은 온도에 따라 증가하는 특성을 갖지만, 그 증가율이  $V_t$ 의 증가율보다는 작기 때문에  $I_P$ 는 양의 온도 특성을 갖는다.

#### 3.2 음의 온도특성을 갖는 전류발생 회로

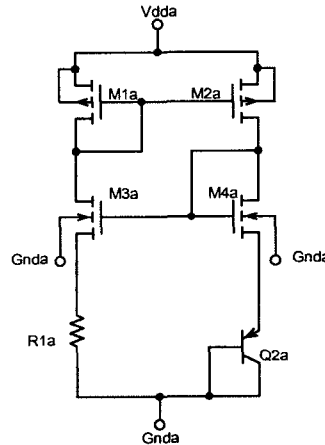


그림 3 음의 온도특성을 갖는 전류발생회로  
Fig. 3 Current reference circuit with a negative temperature coefficient

## 저전력 CMOS 기준전류 발생회로

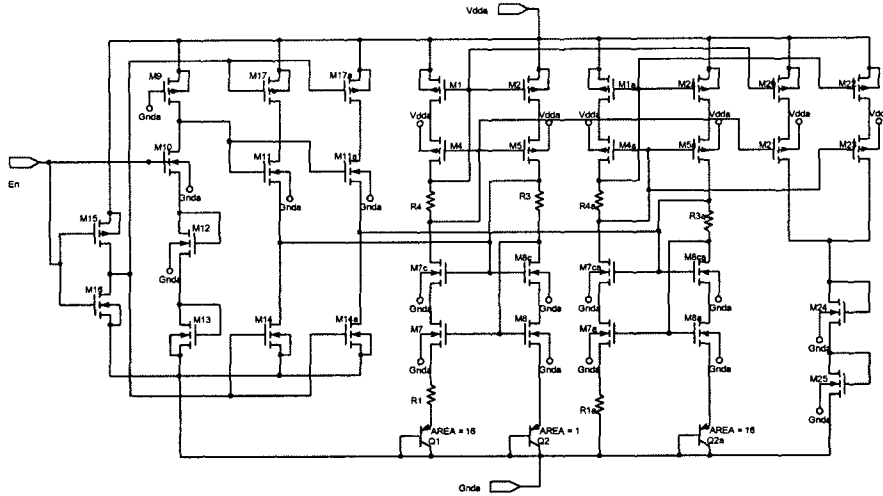


그림 4 제안된 CMOS 기준전류 발생회로  
Fig. 4 Proposed CMOS current reference circuit

음의 온도특성을 갖는 전류를 발생하기 위해 그림 3의 회로를 사용하였다. 그림 2의 회로에서와 마찬가지로 M1a과 M2a로 구성된 전류복사 회로가 양쪽 path의 전류를 같게 만들고, M3a와 M4a의 소스(source) 전압을 같게 만든다. 따라서, R1a 또는 Q2a에 흐르는 전류는 다음 식과 같으며 음의 온도 특성을 갖는다.

$$I_N = \frac{V_{EB2a}}{R_{1a}} \quad (5)$$

### 3.3 기준전류 발생회로 구현

위에서 얻어진 양의 온도특성을 갖는 전류와 음의 온도특성을 갖는 전류를 더하면 온도에 대한 보상을 할 수 있다. 이 원리를 사용하여 설계된 기준전류 발생회로의 회로도도 그림 4에 보였다. 발생된 기준전류의 전원전압에 대한 민감도를 줄이기 위해, 그림 2의  $I_P$  발생회로와 그림 3의  $I_N$  발생회로에서 사용된 간단한 전류복사 회로 대신 self-biased cascode 전류복사 회로[6]를 사용하였다.

그림 4에서 Q1, Q2, R1 그리고 self-biased cascode 회로로 구성된 회로가  $I_P$ 를 발생시키기 위한 회로이며, R1a, Q2a 그리고 self-biased cascode 회로로 구성된 회로가  $I_N$ 를 발생시키기 위한 회로이다. 오른쪽 부분의 M20~M25로 구성된 회로는  $I_P$ 와  $I_N$ 을 더해주기 위한 합(summing)회로이고, 왼쪽 부분은 시동

(start-up)회로와 power-down mode를 위한 회로이다.

그림 4에서 M25에 흐르는 기준 전류는 다음과 같다

$$I_{REF} = \frac{Z_{20}}{Z_1} \ln(n) \frac{V_t}{R_1} + \frac{Z_{22}}{Z_{1a}} \frac{V_{EB2a}}{R_{1a}} \quad (6)$$

여기서  $Z_i = W_i/L_i$  이다.  $Z_{20}/Z_1$ 이 식 (1)의  $A$ 에 해당하며,  $Z_{22}/Z_{1a}$ 가  $B$ 에 해당한다. 따라서 트랜지스터의 크기를 조절하여 온도특성을 향상시킬 수 있으며, 저항 값을 변화시켜 기준전류 값을 조절할 수 있다.

## IV. 시뮬레이션 결과

설계된 기준전류 발생회로를 0.25 $\mu$ m n-well CMOS 공정변수를 사용하여 SPICE 시뮬레이션한 결과를 그림 5, 6, 7에 나타내었다. 저항의 온도계수는 2000ppm/ $^{\circ}$ C를 사용하였다.

그림 5에서 온도에 따라 증가하는  $I_P$  특성, 온도에 따라 감소하는  $I_N$  특성, 그리고 이 두 전류가 더해져서 온도에 따라 거의 일정한 기준전류  $I_{REF}$  특성을 확인할 수 있다.  $-20^{\circ}$ C~ $120^{\circ}$ C의 온도 범위에서  $I_{REF}$ 는  $34.96\mu$ A $\pm$  $0.04\mu$ A의 특성을 보인다. 그림 6은 전원전압 변화에 따른 기준전류와 M24, M25의 게이트 전압의 변화로서 전원전압이 2.2V 이상인 경우 상당히 일

정한 특성을 보인다. 2.5V~3.5V의 전원 전압 범위에서  $I_{ref}$ 의 변화는 0.6%이다.

그림 7은 과도상태 응답으로 전원전압이 인가된 후 약 10 $\mu$ s가 지나면 안정된 기준전류가 발생함을 알 수 있고, power-down mode시, 즉 En 신호가 'low'가 되면 기준전류가 0으로 감소하는 것을 알 수 있다. 설계된 회로는 3V의 전원전압에서 약 520 $\mu$ A의 전력을 소모하며 power-down mode시의 전력소모는 0.1nW이다.

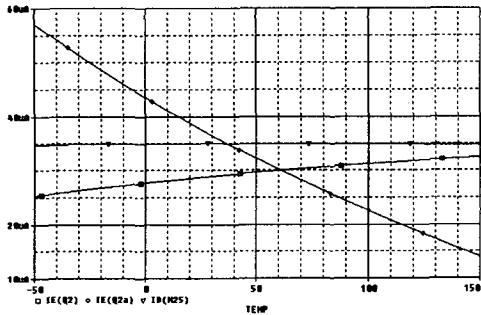


그림 5 온도에 따른 기준전류 특성

Fig 5. Reference current versus temperature

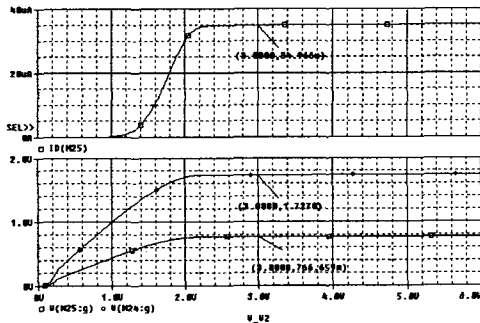


그림 6. 공급전압에 따른 기준전류 특성

Fig 6. Reference current versus supply voltage

### V. 결론

본 논문에서는 저전력 CMOS 기준전압 발생 회로를 제안하였다. 온도에 비례하는 전류( $V_T$ 에 비례하는 항)와 온도 반비례하는 전류( $V_{EB}$ 에 비례하는 항)를 합하여 온도에 대한 보상을 얻었다. 설계된 회로를 시

뮬레이션한 결과, 제안된 기준전류회로는 -20 $^{\circ}$ C~120 $^{\circ}$ C의 온도 범위에서 34.96 $\mu$ A $\pm$ 0.04 $\mu$ A의 안정된 기준전류를 발생하며, 2.5V~3.5V의 전원 전압 범위에서 기준전류의 변화는 0.6%이다. 또한 27 $^{\circ}$ C의 온도와 3V의 공급전압에서 전력소모는 정상모드시 520 $\mu$ W, power-down 모드시 0.1nW로 상당히 작기 때문에 저전력 응용 분야에 유용하게 사용될 수 있다.

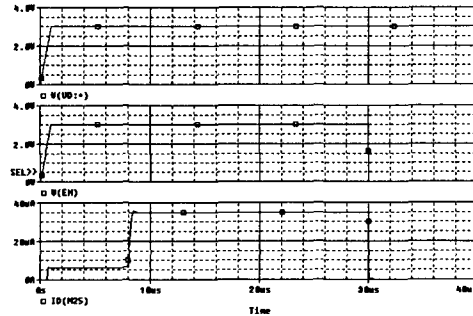


그림 7 과도상태 응답

Fig. 7 Transient response

### 참고문헌

- [1] R. J. Widlar, "NEW developments in IC voltage regulators," *IEEE J. Solid-State Circuits*, vol. sc-6, pp. 2-7 Feb. 1971.
- [2] A. P. Brokaw, "A simple three-terminal IC bandgap reference," *IEEE J. Solid-State Circuits*, vol. sc-9, pp. 388-393, Dec. 1974.
- [3] Bang-sup Song and Paul R. Gray, "A low-power differential CMOS bandgap reference," *IEEE J. Solid-State Circuits*, vol. sc-18, pp. 634-643 Dec. 1983.
- [4] Khong-Meng Tham and Knishnaswami Nagarij, "Low supply voltage high PSRR voltage reference in CMOS process," *IEEE J. Solid-State Circuits*, vol. 30, pp. 586-690, May 1995.
- [5] 권덕기, 박종태, 유종근, "저전력 CMOS On-Chip 기준전압 발생회로," 전기전자학회 논문지, 제4권, 제2호, pp.9-19, Dec., 2000.
- [6] T. Brooks and A. L. Westwina, "Low-power differential CMOS bandgap reference," *ISSCC Dig. of Tech. Papers*, pp.248-249, Feb. 1994.