

차세대 연결망용 2.5Gbps급 고속 드라이버

남기현, 김수원

고려대학교 전자공학과

전화 : 02-923-2081 / 핸드폰 : 018-258-4482

A 2.5Gbps High speed driver for a next generation connector

Kee-Hyun Nam, Soo-Won Kim
Dept. of Electronics Engineering, Korea University
E-mail : sevensky@asic.korea.ac.kr

Abstract

With the ever increasing clock frequency and integration level of CMOS circuits, I/O(input/output) and interconnect issues are becoming a growing concern. In this thesis, we propose the 2.5Gbps high speed input driver. This driver consists of four different blocks, which are the high speed serializer, PECL(pseudo emitter coupled logic) Line Driver, PLL(phase lock loop) and pre-emphasis signal generator. The proposed pre-emphasis block will compensate the high frequency components of the 2.5Gbps data signal. Using the pre-emphasis block, we can obtain 2.5Gbps data signal with differential peak to peak voltage about 900 mV_{p-p}. This driver structure is on fabrication in 2.5v/0.25um 1poly, 5metal CMOS process.

I. 서론

현재 상용화된 마이크로프로세서의 클럭 주파수는 이미 1Ghz를 넘어가고 있으며, 주기억장치로 사용되는 DRAM의 집적도 역시 256Mbit에 이르고 있다. 하지만 이렇게 각 부품에 대한 발전이 눈부시게 이루어지는 것에 비하여, 부품들의 합으로 이루어지는 시스템의 성능은 상대적으로 뒤떨어져 있는 상태이다. 현재 컴퓨터에서 마이크로프로세서와 주기억장치 사이의 정보

전달을 위해 사용되는 클럭의 최고 주파수는 133Mhz이며, 이는 각 부품의 발달이 더 이상 시스템의 발달로 이어지기 어렵다는 것을 의미하는 것이다. 따라서, 이러한 문제를 개선하기 위해서는 고속으로 동작하는 각 부분들의 성능을 보장할 수 있는 시스템 차원에서 전기적인 설계가 필요하며, 이는 적절한 전력의 분배, 잡음에 대한 내성, 신호전달 방법, 그리고 타이밍 및 동기화에 대한 고려가 요구되게 되었다. 본 논문에서는 2.5Gbps의 속도로 데이터를 전송하는 고속 드라이버를 설계하고자 한다. 고속 드라이버의 구성은 parallel to serial을 처리하는 Serializer 블록과 신호의 고주파 성분을 보상하는 Pre-emphasis 신호 생성기 및 PECL(pseudo emitter coupled logic) Line 드라이버 그리고 다중위상(Multi Phase) PLL로 크게 구성되어 있다.

II. 고속 드라이버의 전반

2.1 전송방식

2.1.1 전류모드(Current Mode) 전송

전송방식은 크게 전압모드 전송과 전류모드 전송으로 나눌 수 있으며, 이번에 시도한 전류모드 전송방식의 경우 전류원의 출력 임피던스가 전송선로의 임피던스와 병렬로 연결되어 전류를 분배하는 구조로, 효율적인 신호의 전달을 위해서는 매우 큰 값의 출력 임피

던스가 필요한 방식이다. 전류모드 전송방식은 전송단의 전압원 잡음으로부터 큰 출력 임피던스에 의해 격리되어 있는 장점을 갖는다. 수신단의 Termination 저항 값은 선로의 임피던스 Z_0 와 같은 값으로 하며, 이와 같은 구조를 병렬 Termination 구조라 하기도 한다. 회로적인 구현방법에는 Open Drain형을 많이 사용하는데 그림1에서 보듯이 전송단에서의 NMOS에 흐르는 전류량을 조절하여 Receiver 수신노드의 Swing 전압이 전류량과 termination 저항과의 곱($V=I \cdot R_T$)으로 결정되는 원리이다

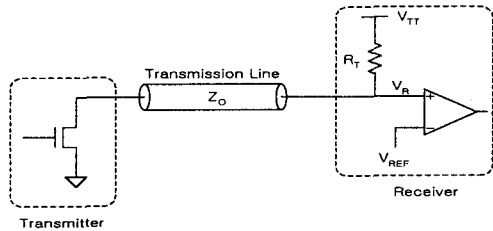


그림 1. Open Drain형 전류모드 전송방식

2.1.1 AC Coupled 전송방식

AC Coupled 전송방식의 경우 서로 다른 곳의 전원을 사용하여 두 곳 사이의 신호 전달을 할 때 국소 접지간에 종종 수십 Volt의 전압차이로 인한 문제를 해결하고자 전송단과 수신단 사이의 어느 한 곳에 DC Blocking 커패시터를 직렬로 연결하여 DC 전압의 전달을 차단하는 방식이다. 이 방법을 사용하기 위해서는 몇 가지 주의할 점은 신호가 수신단 입력에서의 DC 옵셋을 방지하기 위하여 DC-Balanced (1과 0의 개수가 같은 상태) 되어야 하고, 더불어 Termination 저항과 직렬로 연결된 Coupling 커패시터로 구성되는 High Pass Filter의 차단 주파수(Cutoff Frequency)보다도 신호의 가장 낮은 주파수 성분이 더 높아야만 전송선로를 통해 전달된다는 것이다. 이를 위하여 신호를 보내기 전에 미리 위의 조건을 만족하도록 Coding 하여 전송해야 하는데 현재 가장 많이 사용되는 Coding방법으로는 8b/10b Coding방식이 있다.

2.2 드라이버의 구현

2.2.1 PECL(Pseudo Emitter Coupled Logic)

PECL(Pseudo Emitter Coupled Logic) Line 드라이버는 Open 드레인 구조의 전류구동방식으로 작은 입력신호의 변화에 빠르게 반응하고 작은 스윙폭의 고속 동작이 가능하다는 점에서 현재 고속 드라이버로 많이

사용되고 있다. 기존의 바이폴라 트랜지스터를 이용한 ECL Logic이 고속동작이 가능하다는 사실을 CMOS에 적용한 것으로 집적이 용이하고 고속동작은 물론 저전력의 구현이 가능하게 한 것이다. PECL 구조의 드라이버는 아래의 그림2와 같이 구현된다.

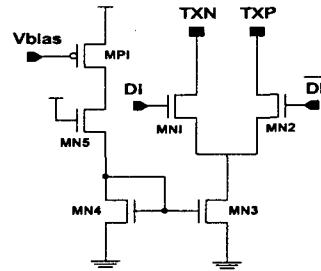


그림 2. PECL Line 드라이버

2.2.2 고속 Serializer 설계

Multiplexing 전송단의 구조는 대역폭의 제한이 되는 고속신호의 처리부분을 전송단 전체가 아닌 신호전송부분에만 국한시키므로 이 부분을 제외한 나머지 구조, 예를 들어 PLL 및 8b/10b Encoder등과 같은 블록들은 낮은 주파수에서 동작하게 하므로 대역폭의 제한을 최소화 하였다. 이로 인해 Parallel한 낮은 속도의 신호들을 이용하여 고속의 Serial 신호로 전환시켜주는 Serializer가 필요하게 되었다. 전반적인 구조는 그림3과 같이 PMOS Load단과 NMOS Switch단으로 구성된다. PMOS Load단은 ground로 접지되어 항상 Turn On 되므로 출력단이 항상 High로 Charge되어 있으며, 이때 아래 NMOS Switch단의 입력신호에 따라 출력단의 상태가 결정되는 원리이다.

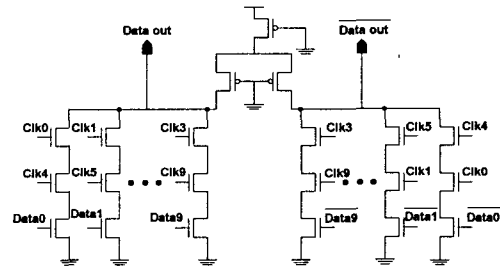


그림 3. 기존의 고속 Serializer 구조

2.5Gbps신호의 경우 PLL에서 생성되는 250Mhz의 10개의 Clock들이 각각 400 pico의 Delay를 갖고 입력되고, 이를 순서대로 그려보면 그림4의 파형에서 보듯이 Clock0 와 Clock4 가 동시에 High인 구간이 400p동안

차세대 연결망용 2.5Gbps급 고속 드라이버

생기게 된다. 이와 동시에 Data0에 High 신호가 입력 되면 3개의 NMOS Switch단이 모두 Turn On되므로 High로 Charge 되어있는 Data Out 노드가 Discharge 되어 0의 상태를 갖게 되고 반대로 옆 노드는 High의 상태가 유지되어 1의 상태를 갖게 된다. 마찬가지로 Clock1과 Clock5의 구간에서 Data1의 상태에 따라 출력값이 결정되고 동일한 원리로 나머지 Data2부터 Data9까지의 신호 역시 400pico 구간동안 1 또는 0의 상태를 갖게 되므로 결과적으로 400pico의 시간마다 계속해서 Differential 데이터가 나오는 2.5Gbps 신호 생성기가 되는 것이다.

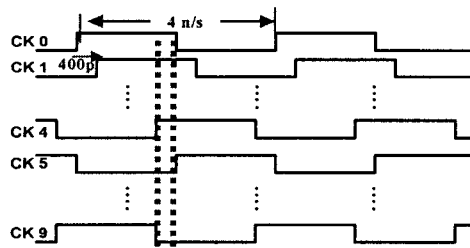


그림 4. Serializer 클럭 파형

이번 설계에서는 이러한 기존의 Serializer 구조를 약간 변형하여 PECL Line 드라이버의 입력으로 2.5Gbps의 Full Swing 신호를 입력하고자 기존의 고속 Serializer 구조에서 문제가 되었던 3단의 NMOS Switch단을 2단으로 줄였다. 즉 간단한 AND 논리 회로를 적용하여 동시에 High인 400Pico의 구간에서만 High 신호를 얻도록 한 것이다. 이로써 Data 패턴에 의한 영향을 덜 받게 됨과 동시에 최종 출력의 Swing을 Full Swing 신호로 구현하기가 용이하게 되었다.

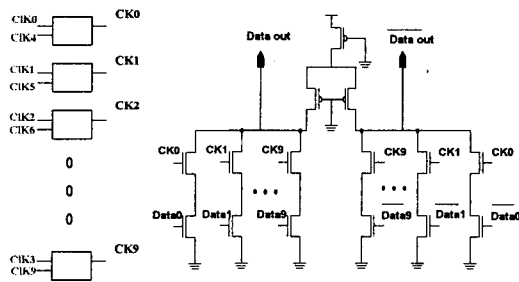


그림 5. 변형된 Serializer 구조

2.2.3 Pre-emphasis 입력신호 발생기 설계

고속 신호의 전송시 기존의 저속 신호의 전송에서는

볼 수 없었던 고주파 성분의 감쇄 현상이 발생한다. 다시 말하면, 고주파 성분의 신호가 가장 많이 모여있는 Rising Edge와 Falling Edge부근의 신호들이 Package나 전송선로의 특성에 의해 감쇄되어 수신단에서의 신호의 복원이 제대로 이루어지지 못하게 되는 것이다. 이와 같은 현상을 방지하고자 Pre-emphasis 혹은 Equalization과 같은 방법이 사용되고 있으며, 최근에는 이와 같은 Pre-emphasis 나 Equalization 블록을 전송단에 구성함으로써 수신단을 보다 간략하게 구성하고 있다. 본 논문에서는 기존의 Pre-emphasis 원리를 보다 효과적으로 개선한 회로로서 새로운 pre-emphasis 입력신호 발생기 회로를 제안하였다.

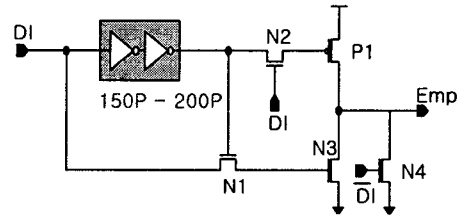


그림 6. Pre-emphasis 신호 발생기 회로

이 회로는 입력 데이터 신호의 고주파 성분이 모여 있는 Rising Edge부분에서의 신호 손실을 감안하여 신호를 미리 보상해 주고자 그림6에서와 같이 Low에서 High로의 전이시 High의 Pre-emphasis 신호를 발생시킨다. 입력 데이터 DI가 Low에서 High로 전이할 때, N1의 왼쪽 입력노드는 바로 High가 되지만, N2의 왼쪽노드는 첫 번째 Delay단의 150p~200p정도의 Delay 시간 동안 기존의 상태를 유지하게 된다. 이 150p~200p동안 DO의 High 신호가 N2를 On시켜 N2의 왼쪽노드의 Low 신호에 의한 P1 트랜지스터가 Turn on 되어 그 결과로 출력노드 emp가 High의 상태로 되게 된다. 다음으로 150p~200p의 Delay후에 입력 High 신호가 N2를 거쳐 P1 트랜지스터를 Off 시키게 되고 이와 동시에 N1이 On되어 입력 High 신호에 의한 N3의 Turn On에 의해 출력 노드가 Low로 떨어지게 된다. 입력신호가 계속하여 High인 구간 동안에는 출력노드가 Low의 상태를 유지하고 있다가 다시 입력 신호가 High에서 Low로 전이가 되면 N3이 Off 되나 이때 입력신호 Low의 반전신호인 \overline{DI} 신호의 High에 의해 N4이 On 되어 출력 노드를 계속하여 Low인 상태로 유지시키게 된다. 마찬가지로 입력신호가 Low로 있는 동안 N4에 의해 Low의 상태가 유지된다. 이로써 우리가 원하는 입력신호의 Low에서 High로의 전이시 High의 Pre-emphasis 신호를 생성할 수 있는 것이다.

III. 모의실험 방법 및 결과

모의실험에 있어서 전송선로는 HSPICE에서 제공하는 10cm길이의 0.1n Delay를 갖는 Lossless 전송선로를 사용하였고, 패키지 및 전송선로에서의 기생 커패시터 성분을 고려하여 10 Pico의 커패시터를 달았다. 안정적인 Termination을 위해 전송단과 수신단 양단에 저항 50 Ohm을 달아 Off Chip Termination 하였으며, 실제로 이 저항들은 Chip 외부에 구현할 것이다.

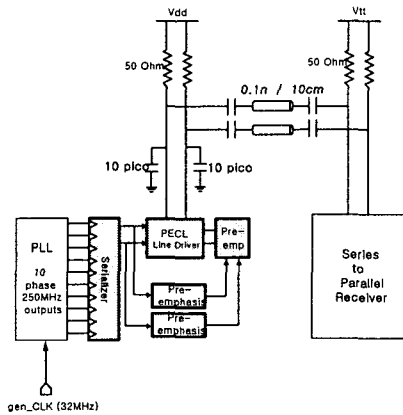


그림7. 모의실험 방법

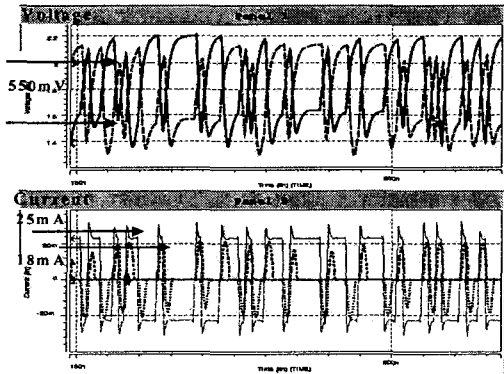


그림 8. 드라이버 출력 파형

그림8은 임의의 데이터 패턴에 대하여 얻어진 전송단에서 본 차동전압(Differential Voltage) V_{P-P} 과 전류량이다. Pre-emphasis 신호에 의한 전류량은 약 18mA 정도임을 볼 수 있다. 구현된 Serial to Parallel 수신단은 차동 신호의 피크치가 100mV이상이면 감지할 수 있는 10개의 Sense-amp로 구성되므로 그림8의 최종

파형의 550mV이상의 V_{P-P} 로 수신단에서 데이터를 충분히 복원할 수 있었다. 수신된 데이터의 Eye Diagram은 제작된 칩 실험 결과를 통해 얻고자 한다.

V. 결론

본 논문에서는 2.5Gbps급 신호 전송을 위한 고속 드라이버를 설계하여 보았다. PECL 구조의 Line 드라이버를 사용하여 고속동작이 가능하도록 하였으며, 이와 동시에 Pre-emphasis 회로를 적용하여 고주파성분의 감쇄를 보상하였다. 클럭 발생기는 PLL을 기반으로 만들어졌으며 32MHz의 입력 주파수를 이용하여 500MHz의 출력 주파수를 만들고 이를 다시 2분주하여 250MHz의 50% duty를 가지는 클럭을 발생시킨다. 현재 MOSIS에서 제공하는 0.2um 1Poly-5Metal TSMC 공정에 칩 제작을 의뢰 하였으며 Post-Layout 시뮬레이션을 통한 모의실험 결과 총 흐르는 전류량은 pre-emphasis 구조를 적용하였을 시 대략적으로 40mA 정도의 전류량에 수신단의 전압 피크치(V_{P-P})가 최소 550mV이고 최대 1V정도의 결과를 볼 수 있었다. 앞으로의 연구내용으로는 이번 제안해본 Serializer 구조와 Pre-emphasis 구조의 장점을 검증하고자 구현해본 칩 실험을 통해 I/O 드라이버의 전력소모 및 다양한 신호패턴의 Eye Diagram을 구해보고, 이를 현재 상용화 되어 있는 다른 고속 I/O 드라이버와 비교해 보고자 한다.

참고문헌(또는 Reference)

- [1] Hormoz Djahanshahi, Flemming Hansen, and C. Andre T. Salama, "Gigabit-per-Second, ECL-Compatible I/O Interface in 0.35-um CMOS", IEEE Journal of Solid-State Circuit, vol.34, No 8, August 1999.
- [2] B. Nikolic, V. Oklobdzija, V. Stojanovic, W. Jia, J. Chiu, and M. Leung, "Improved Sense-Amplifier-Based Flip-Flop: Design and Measurements," IEEE J. Solid-State Circuits, vol. 35, No. 6, 876 (2000).
- [3] Kyeongho Lee, Sungjoon Kim, Gijun Ahn, Deog-Kyoon Jeong, "A CMOS Serial Link for Fully Duplexed Data Communication" IEEE Journal of Solid-State Circuit, vol. 30, No 4, April 1995.
- [4] Sudha Nagavarapu Arthi N. Iyer, Dr Rabdall L. Geiger, "A 1.0625 Gbps PECL Line Driver" IEEE, 1997.
- [5] D. Pendery, J. Eunice, "InfiniBand Architecture," Research Note, www.illumina.com (2000).