

SiC CMOS 게이트 산화막에 관한 연구

최재승, 이원선, 신동현, 김영석, 이형규, 박근형

충북대학교 반도체공학과

전화 : 043-276-3410 / 핸드폰 : 011-491-3692

Study of The SiC CMOS Gate Oxide

J.S. Choi, W.S. Lee, D.H. Shin, H.G. Lee, Y.S. Kim, K.H. Park

School of Electronics and Electrical Engineering, Chungbuk National University

E-mail : khp@chungbuk.ac.kr

Abstract

In this paper, the thermal oxidation behaviors and the electrical characteristics of the thermal oxide grown on SiC are discussed. For these studies the oxide layers with various thickness were on SiC in wet O₂ or dry O₂ at 1150°C and the MOS capacitors using the 350Å gate oxide grown in wet O₂ were fabricated and electrically characterized. It was found from the experimental results that the oxidation rate of SiC with the Si-face and with the carbon-face were about 10% and 50% of oxidation rate of Si. The C-V measurement results of the SiC oxide showed abnormal hysteresis properties which had ever been not observed for the Si oxide. And the hysteresis behavior was seen more significant when initial bias voltage was more negative or more positive. The hysteresis property of the SiC oxide was believed to be due the substantial amount of the deep level traps to exist at the interface between the oxide and the SiC substrate. The leakage of the SiC oxide was found to be one order larger than the Si oxide, but the breakdown strength was almost equal to that of the Si oxide.

I. 서론

SiC와 같이 큰 밴드갭을 갖는 물질들은 고온, 고전압 반도체 소자를 위한 기판 재료로서의 가능성을 인정받고 있다. 특히 SiC는 양질의 산화막을 만들 수 있는 특성으로 인해 MOSFET의 제작이 가능하기 때문에 전력 소자와 전력 소자를 구동시키기 위한 논리부문을 동일 기판 위에서 구현할 수 있는 장점을 갖고 있다. 이로 인해 최근 SiC를 이용한 MOSFET 형성기술에 대한 연구 결과가 세계적으로 많은 저널을 통해 발표되고 있다. SiC MOSFET 소자의 게이트 산화막은 일반적으로 습식 방법으로 성장시키고 있는데, 현재까지 보고된 연구 결과에 따르면 게이트 산화막의 interface state density가 약 10^{11} - 10^{12} cm⁻²eV⁻¹ 정도로써 Si MOSFET에 비해서 약 1-2 order 큰 것으로 나타나고 있다. 따라서 현재 세계 각 국에서는 SiC MOSFET 게이트 산화막의 interface state density를 낮추기 위한 방안에 대한 연구가 활발히 진행 중이다.

본 논문에서는 국내에서 아직 보고되지 않은 SiC 기판 위에서 성장된 게이트 산화막의 전기적 특성에 대한 연구 결과를 논의하고자 한다.

II. 실험 과정

MOSFET에서 게이트 절연막으로 사용되는 산화막

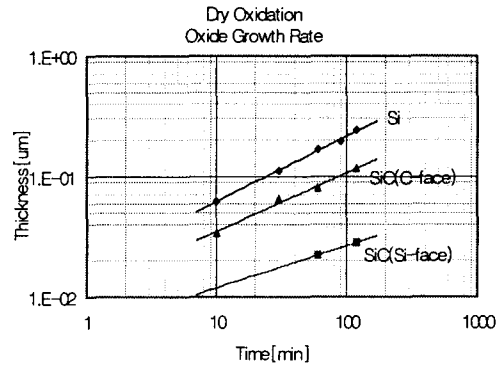
은 우수한 신뢰성을 갖고있어야 한다. 본 연구에서는 SiC 기판에 성장되는 산화막의 특성을 높이기 위해 습식 산화 후 산화 온도를 유지하면서 argon 분위기에서 열처리를 추가로 진행하여 게이트 산화막을 성장시켰다. RCA 세정과 HF 및 순수 세정을 수행한 nitrogen이 도핑된 6H-SiC 기판을 800℃에서 N₂분위기를 유지하고있는 전기로에 넣고 N₂ 분위기를 유지하면서 1150℃까지 온도를 증가시켰다. 1150℃에서 안정화시간 이후에 O₂ 캐리어 개스를 사용한 bubbler를 사용하여 습식 산화를 수행하였다. 습식 산화 후 산화 온도를 유지하면서 argon 분위기에서 열처리를 추가로 진행하고 이후 N₂ 분위기에서 온도를 800℃까지 온도를 감소시켰다. 성장된 산화막의 두께는 ellipsometer를 사용하여 광학적으로 측정하였고 SiC에 대해서 $N(\text{refractive index}) = 2.61$ 과 $Ks(\text{absorption coefficient}) = -0.05$ 를 사용하였다. 광학적으로 측정된 두께 대해 HP4284A LCR meter를 이용하여 전기적으로 확인하였다

SiC 기판에 MOS 커패시터를 제작하여 정전 용량 및 누설전류를 분석하여 SiC 산화막을 평가하고자 하였다. Nitrogen이 도핑된 400um 두께의 6H-SiC 위에 $3 \times 10^{15} \text{cm}^{-3}$ 으로 nitrogen이 도핑된 5um 두께의 SiC 에 피층을 갖는 기판을 사용하여 MOS 커패시터를 제작하였다. 이와 같은 6H-SiC를 기판으로 두께가 평균 35nm인 SiC 게이트 산화막을 성장시켰다. 기판에 바이어스를 인가하기 위하여 시편의 뒷면에 Ni를 증착하고 950℃에서 10분간 열처리를 진행하여 ohmic contact을 형성하였다. 기판의 뒷면에 Ni를 증착하기 전에 코팅된 PR을 Ni 증착 후 열처리 전에 제거하였다. 기판 뒷면에 ohmic contact을 형성한 시편에 여러 가지 크기의 dot shadow mask를 이용하여 알루미늄 게이트를 형성하였다. 제작된 MOS 커패시터에 대해 HP4284A LCR meter를 이용하여 전압 변화에 대한 고주파 커패시턴스 특성을 측정하였고 HP4156A parameter analyzer를 이용하여 전압 변화에 대한 누설 전류 특성을 확인하였다.

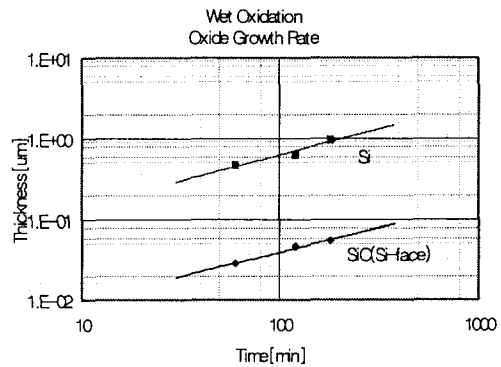
III. 실험 결과 및 논의

SiC 기판 위에 성장된 건식 산화막과 습식 산화막에 대해 산화 시간에 따른 산화막 두께를 평가하여 동일한 조건에서 Si 기판 위에 성장된 산화막과 비교하였다. 기판 및 산화조건에 따른 성장률을 그림 1에 나타내었다. 산화 시간에 따른 산화막 두께를 측정하여 산화막의 성장률을 평가한 결과 N형 불순물이 도핑된 SiC 기판에서 성장된 열산화막은 Si 기판에서 성장된

열산화막에 비해 Si-face에서는 약 1/10 정도 C-face에서는 약 1/2정도의 낮은 성장률을 갖는 것으로 나타났다. 따라서 소자 isolation을 위한 field 산화막과 같이 두꺼운 산화막을 기르는 경우 산화 시간이 매우 길어지는 문제가 있으나 이온 주입 버퍼나 회생 산화막으로 사용하기 위한 얇은 두께의 열산화막이나 게이트 산화막을 성장시키는 것은 전혀 문제가 없는 것으로 나타났다. SiC 기판과 Si 기판에서 산화막의 성장 속도의 차이는 있지만 SiC 기판에서의 산화막 성장률이 Si 기판에서의 산화막 성장률에 대한 경향과 거의 유사하게 나타나고 있어 SiC 기판에서의 산화기구가 Si 기판에서의 산화기구와 거의 유사한 것으로 추정되었다.



(b) SiC에 대한 건식 산화 결과



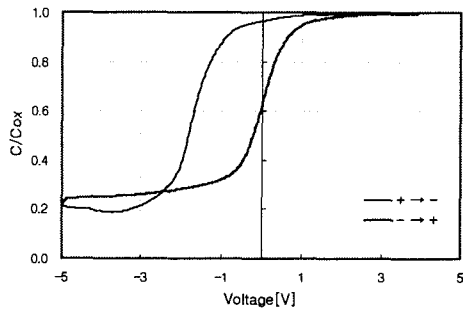
(a) SiC에 대한 습식 산화 결과

<그림 1> 기판 및 산화조건에 따른 성장률

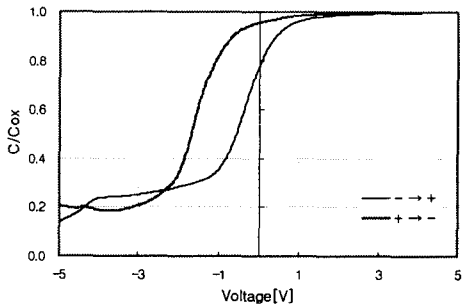
측적 커패시턴스 값과 ellipsometer를 이용하여 광학적으로 측정된 산화막의 두께 350Å를 이용하여 계산된 SiC 산화막의 유전율은 ~4.1로서 Si 기판에서 성장된 열산화막의 유전율과 유사한 값을 나타내었다. 그림 2에 인가 전압에 대한 커패시턴스 특성을 나타내

SiC CMOS 게이트 산화막에 관한 연구

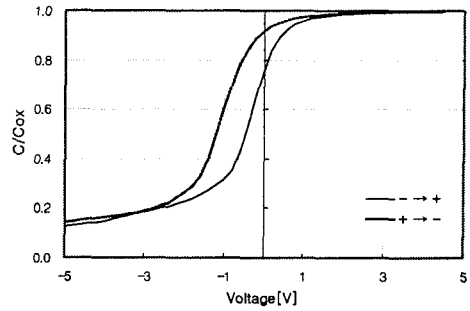
었다. 약 2V 정도의 인가 전압 구간에서 플랫-밴드 전압이 inversion으로 전이되어 이 구간에서 커패시턴스-전압 곡선의 기울기가 완만하게 나타났다. 이러한 완만한 기울기는 interface trap에 의한 것으로 알려져 있다. 인가 전압의 sweep 방향을 달리하여 커패시턴스 값을 반복 측정할 경우 SiC MOS 커패시터의 플랫-밴드 전압이 이동하는 hysteresis 곡선이 관측되었다. 그림 2의 (a)와 같이 처음에 양 전압에서 시작하여 음 전압 쪽으로 전압을 인가한 뒤 다시 양 전압 쪽으로 전압을 인가한 경우나 그림 2의 (b)와 같이 먼저 음 전압에서 시작하여 양 전압 쪽으로 전압을 인가한 뒤 다시 음 전압 쪽으로 전압을 인가한 경우 모두 동일한 경향이 관측되었다. 양 전압에서 시작하여 음 전압 쪽으로 전압을 인가하면서 커패시턴스를 측정할 경우에 SiC MOS 커패시터의 플랫-밴드 전압, V_{FB} 가 음 전압 방향으로 이동하는 것으로 나타났다. 그림 2의 (c)에 나타난 것과 같이 전압 가변 시에 인가 전압의 step을 크게 하여 가변 속도를 빠르게 한 경우에는 동일한 경향을 보이나 플랫-밴드 전압, V_{FB} 의 이동량의 크기가 감소하였다.



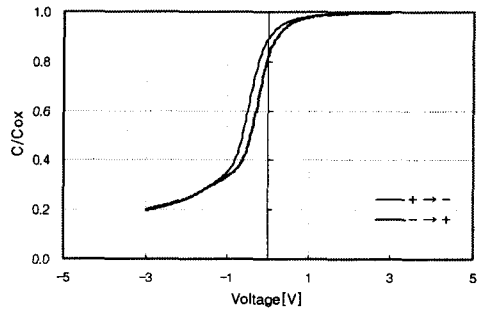
(a) 5V → -5V → 5V의 전압(0.02V step) 인가 시 고주파 커패시턴스



(b) -5V → 5V → -5V의 전압(0.02V step) 인가 시 고주파 커패시턴스



(c) 5V → -5V → 5V의 전압(0.2V step) 인가 시 고주파 커패시턴스



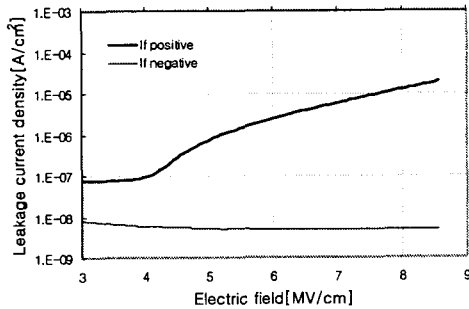
(d) 3V → -3V → 3V의 전압(0.02V step) 인가 시 고주파 커패시턴스

<그림 2> SiC MOS 커패시터의 전압 변화에 따른 고주파 커패시턴스 특성

그림 2의 (d)와 같이 최대 인가 전압 및 최소인가 전압을 감소시킨 경우에도 동일한 경향이 관측되었으나 플랫-밴드 전압, V_{FB} 의 이동량의 크기는 상당히 감소하였다. 이러한 결과는 3V 이상의 전압에서 주로 trapping이 발생하는 것을 보여주고 있다. 플랫-밴드 전압, V_{FB} 가 음 전압 방향으로 이동하는 것은 존재하는 interface trap이 hole trap으로 작용한다는 것을 의미하며 인가 전압의 가변 속도에 따라 나타나는 플랫-밴드 전압, V_{FB} 의 이동량의 차이로부터 존재하는 trap이 상대적으로 deep level인 경우, 혹은 trap이 공간적으로 계면에서 멀리 존재하는 경우라고 예상할 수 있다.

그림 3은 SiC MOS 커패시터의 전류 전압 특성을 평가하여 조사한 게이트 산화막의 누설전류 특성을 나타내었다. MOS 커패시터의 게이트에 양 전압을 인가하며 누설 전류를 측정할 경우 보고된 연구 결과에 비해 다소 높은 누설전류가 관측되었다. 커패시턴스 특성에서 확인된 것과 마찬가지로 산화막 내에 존재하는 trap에 의해 누설전류가 약간 높게 나타나는 것으로

추정하고 있다. MOS 커패시터의 게이트에 음 전압을 인가하며 측정된 누설전류의 경우 8M 이상의 전계에서도 낮은 값을 나타내고 있다. 이러한 특성에 대해 정확히 규명하지 못하고 있는 상태로서 향후 계속 조사할 예정이다. SiC MOS 커패시터의 게이트에 양 전압을 인가하는 경우 38V에서 항복 전압이 발생하였고 음 전압을 인가 시에는 -40V까지 항복전압이 발생하지 않았다. 항복 전압 측면에서 SiC 산화막은 양호한 특성을 나타내었다.



<그림 3> SiC MOS 커패시터의 전압 변화에 따른 전류 특성

IV. 결론 및 추후 연구

6H-SiC 기판 위에 1150°C에서 습식 산화를 통해 두께 35nm의 SiC MOSFET 용 게이트 산화막을 성장시켰다. SiC 게이트 산화막의 누설전류가 다소 높지만 항복전압은 38V 이상으로 양호한 것으로 나타났다. 본 실험에서 동일한 조건으로 Si 기판과 SiC 기판에 성장된 산화막과의 성장물을 비교하여 SiC의 산화기구가 Si의 산화 기구와 유사함을 확인하였다. 본 실험을 통하여 SiC MOSFET 게이트 산화막 계면에 상당량의 deep level trap이 존재하고 있음이 발견되었다. 이러한 deep level trap은 Si 기판에서 잘 나타나지 않는 특성으로 상세한 전기적 특성은 SiC MOSFET 제작 완료 후 이를 이용한 추가분석을 통해 계속 진행할 계획이다.

본 연구는 한국과학재단 목적기초연구(과제번호 : 2000-2-30200-010-3) 및 산업자원부 산업기반기술개발사업(공고번호 : 990-17-03)의 지원으로 수행되었음.

참고문헌

[1] J. N. Shenoy et al., "Recent advances in silicon

carbide MOS technology", *Inst. Phys. Conf. Ser. No.* 142, p.745, 1996.

[2] S. Ryu et al., "Digital CMOS IC's in 6H-SiC operating on a 5-V power supply", *IEEE Trans ED*, Vol. 45(1), 45, 1998.

[3] Janes A. Cooper, "Oxides on SiC" *High Speed Semiconductor Devices and Circuits*, 1997 Proceedings 1997 IEEE Concepts in, 1997 236-243

[4] Dale M. et al., "SiC MOS interface characteristics", *IEEE Transaction on Electron Device*, Vol. 41(4), 618, 1994.

[5] Dev Alok et al., "Thermal Oxidation of 6H-Siicon Carbide at Enhanced Growth Rates" *IEEE Electronic Device Letter*, Vol. 15(10), 424, 1994.